

SoC体系结构的重要性

Architecture Matters: Choosing the Right SoC FPGA for Your Application

This white paper presents and explains various methods to help system architects, engineers and managers decide if SaaS ERP is a fit for their application and, if so, which vendor's services may be best suited. Key aspects of this paper are also highlighted in an online video series, A Look Inside SaaS ERP.

Introduction

the TPCA device integrate both processes and TPCA and TPC into a single device. Merging the two technologies provides a variety of benefits including higher throughput, lower power, smaller device size, and higher bandwidth communication between the processor and TPCA. This integration device exploits the unique advantage of a merged processor and TPCA, remains while retaining the benefits of a stand-alone processor and TPCA approach.

SoC FPGAs Available Today

At present, there are generally three "AC" PPGAs on the market, as shown in Table I. The polymers in these devices are fully saturated, "nonionic" permanent copolymers, but a well established property (27) was implemented in the PPGAs fabric. All three of these devices function employ a full-saturated AAMF polymer with a complete monomer identity and dedicated compounds that largely meet, not, and not the use "normal" AAMF polymer.

The Microsemi SmartFusion2 SoC FPGAs are based around the ARM Cortex™-M3 embedded processor, primarily targeting microcontroller applications. The ARM SoC FPGAs and Nios II™/FPGA devices are a dual-core ARM Cortex-M3 application processor in addition to the processor, as SoC FPGAs include a rich set of peripheral, on-chip resources, as FPGAs-style logic arrays, and standard I/O. Refer to Table 1.

Table 1. Commercially Available Solid HPLCs (Part 1 of 2)

	Slingshot VPSs	Slingshot 1000 G20	Microsoft Azure
Processor	6000 (Core i5)	6000 (Core i5)	6000 (Core i5)
Processor Core	Approximate processor	Approximate processor	Approximate processor
Memory in GB	8GB	8GB	8GB
Storage	10GB	10GB	10GB
Network	10GB	10GB	10GB
OS	Windows Server 2012 R2	Windows Server 2012 R2	Windows Server 2012 R2
License	Windows Server 2012 R2	Windows Server 2012 R2	Windows Server 2012 R2
Support	24/7	24/7	24/7
Price	\$100	\$100	\$100

ARCHITECTURE MATTERS

PDF



体系结构的重要性： 为您的应用选择合适的 SoC FPGA

白皮书



101 Innovation Drive
San Jose, CA 95134
www.altera.com

WP-01202-1.0

文档发布日期：2013 年 11 月



© 2013 Altera Corporation. All rights reserved. ALTERA, ARRIA, CYCLONE, ENPIRION, HARDCOPY, MAX, MEGACORE, NIOS, QUARTUS and STRATIX are Reg. U.S. Pat. & Tm. Off. and/or trademarks of Altera Corporation in the U.S. and other countries. All other trademarks and service marks are the property of their respective holders as described at www.altera.com/common/legal.html. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.



引言	1-1
目前可以提供的 SoC FPGA	1-1
优势, 相对于处理器和 FPGA 分立的设计	1-3
优势, 相对基于处理器的 ASIC	1-3
优势, 相对于其他处理器或者微控制器	1-4
怎样为特定应用选择合适的 SoC FPGA	1-4
系统性能	1-4
L3 互联的重要性: 提高性能的中心交换架构	1-5
处理器至 FPGA 互联: 发挥了集成器件的优势	1-6
DDR 存储器控制器性能	1-8
FPGA 与处理器子系统中 DDR 存储器控制器的连接	1-11
硬件加速和高速缓存一致性	1-13
更多的存储器控制器提高了系统最大性能	1-13
系统可靠性和灵活性	1-14
采用 ECC 保护存储器内容	1-14
共享存储空间的存储器保护	1-16
看门狗复位及其对 FPGA 逻辑的影响	1-17
失效安全启动和配置	1-18
灵活性	1-18
处理器启动和 FPGA 配置的多种选择	1-19
多个启动镜像	1-20
片内 FPGA 接口	1-21
引脚兼容布局密度/收发器/特性移植	1-23
系统成本	1-24
集成功能	1-24
高速收发器	1-24
电源供电成本	1-25
电源	1-25
通过集成降低功耗	1-25
低功耗模式	1-26
上电/关电顺序要求	1-27
未来发展路线图	1-27
Altera 的三代处理器发展路线图	1-28
基础: 硅片工艺技术	1-28
FinFET 技术	1-29
工具发展路线图	1-30
开发工具	1-31
开发工具面临的挑战	1-33
ARM 兼容性是既有的; FPGA 实现则突出了优	1-33
全芯片调试	1-33
FPGA 自适应调试	1-34
ARM 和 FPGA 开发只需要一条调试电缆	1-34
硬件和软件之间的交叉触发	1-35
跟踪并监视硬件和软件事件	1-35
分析 CPU 和 FPGA	1-36
多核调试	1-36
标准工具和流程	1-37
Altera 版 ARM DS-5 工具包	1-37
开发工具总结	1-38

结论	1-38
详细信息	1-39
致谢	1-39
文档修订历史	1-39

本白皮书介绍并分析了各种指标参数，以帮助系统设计人员、工程师和管理人员确定 SoC FPGA 是否适合他们的应用，如果适合，那么应该选择哪家供应商的器件。也有相关在线视频系列“深入了解：SoC FPGA”，重点介绍了本白皮书中的关键内容，请选择观赏。

引言

我们把在一个器件中同时集成了处理器和 FPGA 的这一类芯片叫做 SoC FPGA。将两种技术合并起来具有很多优点，包括更高的集成度、更低的功耗、更小的电路板面积，以及处理器和 FPGA 之间更大的通信带宽等等。这一类器件的最优方案应该发挥处理器与 FPGA 系统融合的优势，同时还应保留独立处理器和 FPGA 设计的优点。

目前可以提供的 SoC FPGA

目前，市场上主要有三种 SoC FPGA，它们的处理器都是完全专用的“硬核”处理器子系统，而不是 FPGA 架构中的软核 IP。所有这三种器件都采用了全功能 ARM® 处理器，具有完整的存储器层次结构，以及专用外设。其启动、运行和工作都与“普通”的 ARM 处理器一样。

Microsemi SmartFusion2, 该 SoC FPGA 基于 ARM Cortex™-M3 处理器，这个 SoC FPGA 主要面向微控制器应用。Altera SoC 和 Xilinx Zynq-7000 器件使用了双核 ARM Cortex-A9 应用处理器。除了处理器，SoC FPGA 还有丰富的外设、片内存储器、FPGA 逻辑阵列，以及大量的 I/O。请参考表 1。

表 1. 商用 SoC FPGA

	Altera SoC FPGA	Xilinx Zynq-7000 EPP	Microsemi SmartFusion2
处理器	ARM Cortex-A9	ARM Cortex-A9	ARM Cortex-M3
处理器类型	应用处理器	应用处理器	微控制器
单核或者双核	单核或者双核	双核	单核
处理器最大频率	1.05 GHz	1.0 GHz	166 MHz
L1 高速缓存 (Cache)	数据：32 KB 指令：32 KB	数据：32 KB 指令：32 KB	没有数据高速缓存 指令：8 KB
L2 高速缓存 (Cache)	统一：512 KB, 支持纠错码 (ECC)	统一：512 KB	不支持

表 1. 商用 SoC FPGA

	Altera SoC FPGA	Xilinx Zynq-7000 EPP	Microsemi SmartFusion2
存储器管理单元 (MMU)	是	是	是
浮点单元/ NEON™ 多媒体引擎	是	是	不支持
加速一致性端口 (ACP)	是	是	不支持
中断控制器	通用 (GIC)	通用 (GIC)	嵌套、矢量化 (NVIC)
片内处理器 RAM	64 KB, 支持 ECC	256 KB, 没有 ECC	64 KB, 没有 ECC
直接存储器访问 (DMA) 控制器	8 通道 ARM DMA330 32 路外设可申请 (FPGA + 硬核处理器系统)	8 通道 ARM DMA330 4 路外设可申请 (仅 FPGA)	1 通道 HPDMA 4 路可申请
外部存储器控制	是	是	是
支持的存储器类型	LPDDR2、DDR2、DDR3L、 DDR3	LPDDR2、DDR2、DDR3L、 DDR3	LPDDR、DDR2、DDR3
外部存储器 ECC	16 位, 32 位	16 位	8 位, 16 位, 32 位
外部存储器总线最大 频率	400 MHz (Cyclone® V SoC), 533 MHz (Arria® V SoC)	533 MHz	333 MHz
处理器外设	1x 四路 SPI 控制器, 具有 4 路片选信号 1x NAND 控制器 (单级和多级 单元 - MLC 或者 SLC) 2x 10/100/1G 以太网控制器 2x USB 2.0 On-the-Go (OTG) 控制器 1x SD/MMC/SDIO 控制器 2x UART 4x I ² C 控制器 2x CAN 控制器 2x SPI 主机, 2x SPI 从机控 制器 4x 32 位通用定时器 2x 32 位看门狗定时器	1x 四路 SPI 或者两个四路 SPI 控制器, 具有 2 路片选 信号 1x 静态存储器控制器 (NAND-SLC, NOR, 或者 SSRAM) 2x 10/100/1G Ethernet 控制器 2x USB 2.0 OTG 控制器 2x SD/SDIO 控制器 2x UART 2x I ² C 控制器 2x CAN 控制器 2x SPI 控制器 (主机或者从 机) 2x 16 位三重模式定时器/ 计数器 1x 24 位看门狗定时器	1x 10/100/1G Ethernet 控制器 2x USB 2.0 OTG 控制器 2x UART 2x I ² C 控制器 1x CAN 控制器 2x SPI 2x 通用定时器 1x 看门狗定时器 1x 实时时钟 (RTC)
FPGA 架构	Cyclone V, Arria V	Artix-7, Kintex-7	Fusion2
FPGA 逻辑密度范围	25 K 至 462 K LE	28 K 至 444 K LC	6 K 至 146 K LE
FPGA 中的硬核存储器 控制器	最大 3, 支持 ECC	不支持	不支持
高速收发器	所有密度都支持	仅高密度器件支持	仅高密度器件支持

表 1. 商用 SoC FPGA

	Altera SoC FPGA	Xilinx Zynq-7000 EPP	Microsemi SmartFusion2
模拟混合信号 (AMS)	不支持	2 x 12 位, MSPS 模数转换器 (ADC)	不支持
启动顺序	处理器先启动, 或者 FPGA 先启动, 或者同时启动	只支持处理器先启动	处理器启动, FPGA 非易失

下一代设计适合采用 SoC FPGA 吗?以下三个问题会有助于系统设计人员、规划人员以及硬件管理人员做出决定:

- 现有设计使用了 FPGA 和独立的微处理器吗?
- 目前产品是自己研发的含有微处理器的专用 ASIC 吗?
- 目前使用了微处理器, 如果能够针对应用来更好的定制外设, 这能带来更大的优势吗?

优势, 相对于处理器和 FPGA 的分立的设计

对于已经使用了 FPGA 和分立微处理器的设计, 完全应该考虑这些器件。

SoC FPGA 的功能和性能与这些分立器件相当甚至是更好, 但是减小了电路板面积, 降低了功耗和系统成本——有时甚至高达 50% 以上。通过把这些技术集成到同一个硅片中, 避免了塑料封装的成本问题, 与两个器件相比, 一个器件节省了很多电路板面积。如果设计中的 CPU 和 FPGA 使用分立的外部存储器, 那么, 应该将这些合并到一个存储器件中, 进一步降低系统成本和功耗, 减小电路板面积。处理器和 FPGA 之间的信号现在是在同一个硅片中, 它们之间通信消耗的能耗要比使用分立芯片低很多。而且, 处理器和 FPGA 之间有数千路内部连接, 与双芯片解决方案相比, 这种单芯片解决方案能够有效的提高带宽, 降低延时。

优势, 相对基于处理器的 ASIC

如果您目前的设计使用自己研发的含有微处理器的专用 ASIC 会怎样? 目前使用 ASIC 技术的大部分设计团队可能都研究过 FPGA, 在原型开发或者仿真阶段使用过 FPGA。对于很多 ASIC 设计人员而言, 以前由于缺少高性能 ARM 处理器导致无法使用 FPGA 技术来全面投产。采用目前的 28 nm 工艺技术, 新一类 SoC FPGA 具有全功能、全兼容、高性能双核 ARM Cortex-A9 处理器, 运行速度高达 1 GHz, 从而解决了这一问题。

由于 SoC FPGA 集成了可编程逻辑技术, 它具有传统 FPGA 相对于 ASIC 的所有优势, 例如:

- 没有昂贵的掩膜费用或者最小购买量要求——您开发并销售一个高性价比 SoC FPGA 解决方案, 也可以将其复制成数百万个这样的方案。
- 产品更迅速面市——没有制造交付时间, 主要电子代理商都可以提供货架器件。
- 风险更低——随时对 SoC FPGA 重新编程, 甚至是产品发售之后。支持在现场更新。
- 能够适应市场需求的变化以及新出现的标准。
- 不需要对嵌入式处理器、高速收发器或者其他高级系统技术支付额外的许可或者版税。

优势,相对于其他处理器或者微控制器

最后一个场景是，如果系统通常使用分立的微处理器或者高端微控制器，但是没有 FPGA，仍然能够受益于这些新的 SoC FPGA。为什么？很多设计人员研究了现有的处理器，通常会选择一款比较接近自己应用的器件——所选择的处理器可能缺少以太网端口、USB 通道、中断线路，等等。这些 SoC FPGA 功能强大之处在于——就在自己的桌面上您可以立即开发最适合自己应用的 ARM 微处理器产品。由于缺少现有处理器产品而不得不做出牺牲的系统设计现在可以用定制的产品来满足应用的需求。这样，设计在硬件和软件上都能够突出优势，竞争对手很难复制或者仿造。

怎样为特定应用选择合适 SoC FPGA

表面上，表 1 中来自各家供应商的可编程 SoC 产品看起来都一样。它们都在一个器件中集成了 ARM 处理器、各种外设和 FPGA。而实际上，仔细的评估这些器件，更深入的了解数据资料是非常关键的。应针对具体应用来评估底层体系结构。SoC FPGA 体系结构非常重要。仔细的检查和思考会发现在体系结构上有很多明显的不同。

那么，设计人员应怎样选择呢？本白皮书介绍了在为应用选择最佳可编程 SoC 时应进行的设计考虑，综合考虑后作出工程决定。选择标准主要集中在以下六个方面：

- 系统性能
- 系统可靠性和灵活性
- 系统成本
- 功耗
- 未来发展路线图
- 开发工具

系统性能

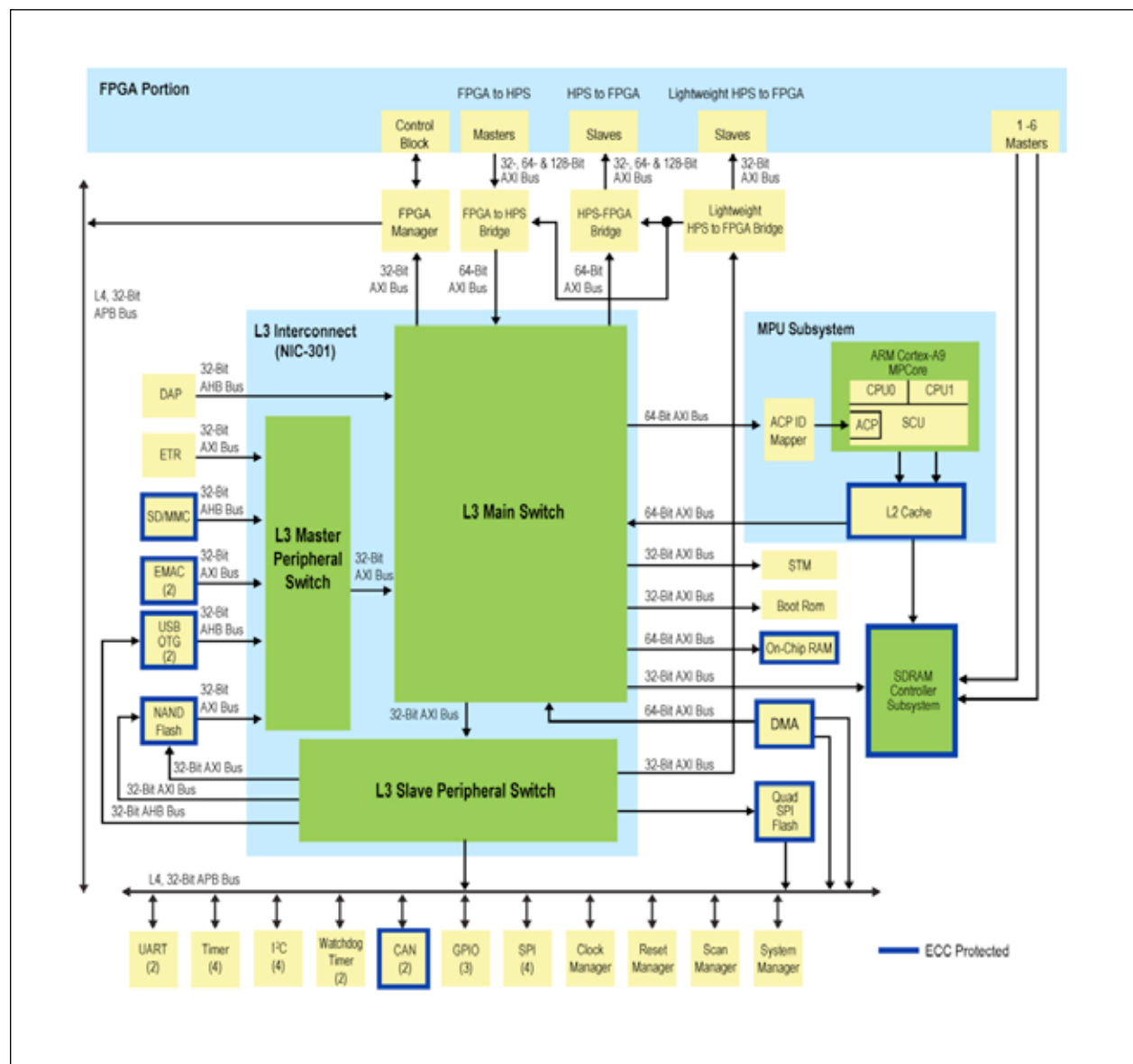
SoC FPGA 体系结构的两方面决定了在不同的单元之间能否高效的传送数据：

- 互联
- 片内和片外存储器带宽

L3 互联的重要性提高性能的中心交换架构

SoC 体系结构要考虑的第一项是 Level-3 (L3) 互联。顾名思义, L3 是 L1 和 L2 Cache 之下的一级数据传输层。L3 互联的重要性体现在, 它是提高性能的交流中心。表 2 列出了 SoC FPGA 供应商在 L3 系统互联上的特性对比。

图 1. Altera SoC FPGA 的互联体系结构



Altera SoC FPGA 提供由三种交换架构构成的 L3 系统互联 —— L3 主交换、L3 主机外设交换、L3 从机外设交换，使用 ARM 的 AMBA®NIC-301 网络互联基础结构来实现，如图 1 所示。

Altera SoC 使用精简分层总线，无阻塞交换体系结构减小了延时。互联设计支持来自多个主机的同时多路会话，提供足够的带宽，因此，每一主机能够连续运行（“无阻塞”）。对于仲裁，能够为每一主机分配优先级，指导总线仲裁。使用最近使用（LRU）算法对优先级相同的主机进行仲裁。

其他厂家的 SoC FPGA 体系结构可能使用多级层次，这需要分布式仲裁，但这会带来延时。分布式仲裁类似于有多个数据流仲裁。这种方法要求使用中心服务质量（QoS）模块以确保主机不会拥塞。分布式仲裁也有调整问题，会与 DDR 存储器控制器端口仲裁冲突。

表 2. SoC FPGA 器件的 L3 系统互联特性对比

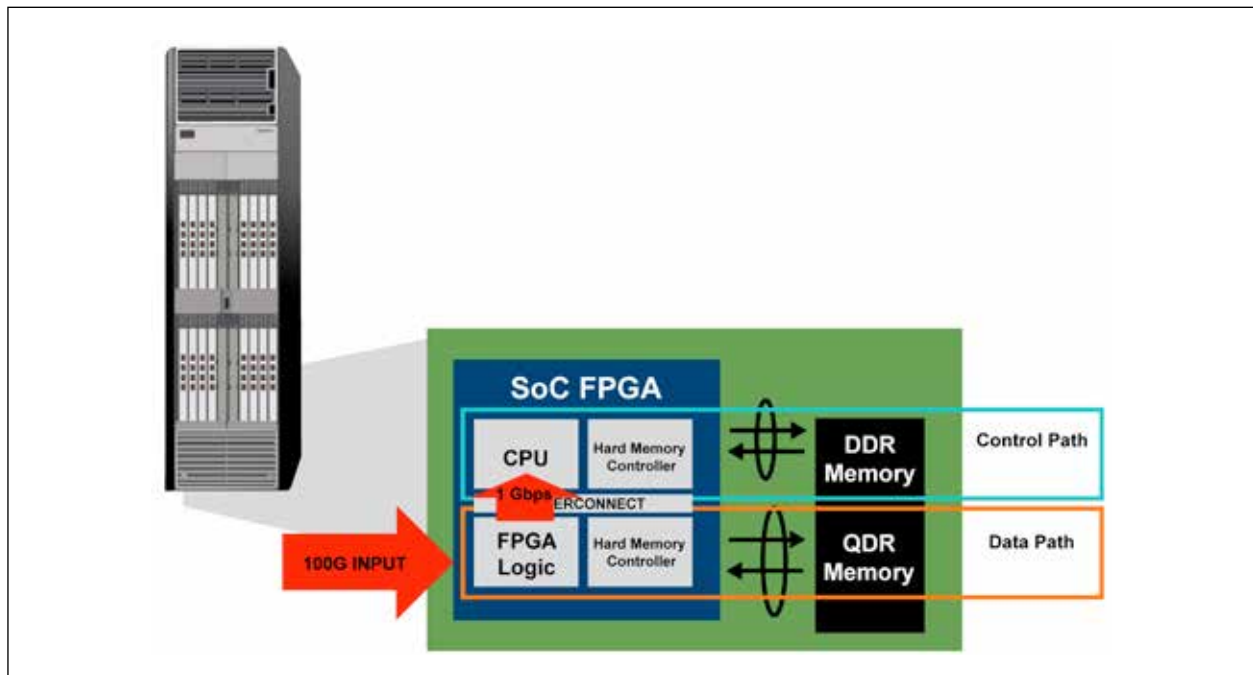
功能 / 特性	Altera SoC FPGA	供应商 B
基础结构	ARM AMBA NIC-301	ARM AMBA NIC-301
总线层次	精简层次	多级
仲裁	为每一主机提供可设置优先级。为同等优先级申请提供 LRU。	分布式，由 QoS 模块控制。

处理器至 FPGA 互联发挥了集成器件的优势

SoC FPGA 体系结构最显著的优势是处理器与 FPGA 的片内紧密耦合。为实现这种性能优势，处理器至 FPGA 互联应有足够的带宽(宽度和速度)，选择类型合适的互联也非常重要，这不能成为系统数据传输的瓶颈。

为说明这一点，对于一个通信线路卡应用，如图 2 所示，每秒要处理 100gigabits 的网络数据。而 FPGA 能够灵活的处理输入数据。但是，即使处理器只处理 1% 的数据流，FPGA 逻辑和处理器之间的互联上也会有 1 Gbps 的数据流过。好在目前的 SoC FPGA 支持 FPGA 逻辑和处理器之间 125 Gbps 甚至更高的吞吐量，完全能够满足这类应用需求。

图 2. 通信线路卡在 FPGA 和处理器之间需要 100 Gbps 以上的互联带宽



在结构方面，在其他厂家 SoC FPGA 器件中，数据通路和控制通路会竞争并占用带宽。处理器需要访问 FPGA 逻辑中硬件加速器并对其进行设置。如果这些控制会话管道与数据流出现竞争，那将会阻塞大吞吐量数据流，连续数据处理的过程会出现中断。相应的，宽带数据流会延长控制信号传递的时间，增加了控制延时。

为防止出现这种情况，Altera SoC FPGA 采用了第二个无阻塞“轻量”互联桥接。处理器通过这一简单的 32 位 ARM Advanced eXtensible Interface (AXI™) 接口来访问 FPGA 中的控制寄存器，不会阻塞或者影响大吞吐量数据流，如图 3 中的蓝色部分所示。同时，处理器和 FPGA 之间的宽带数据连接支持 32 位、64 位以及 128 位宽度会话，如图 3 中的红色部分所示。表 3 显示了所有数据通路的配置。

图 3. Altera SoC FPGA 含有大吞吐量数据通路和无阻塞低延时控制通路

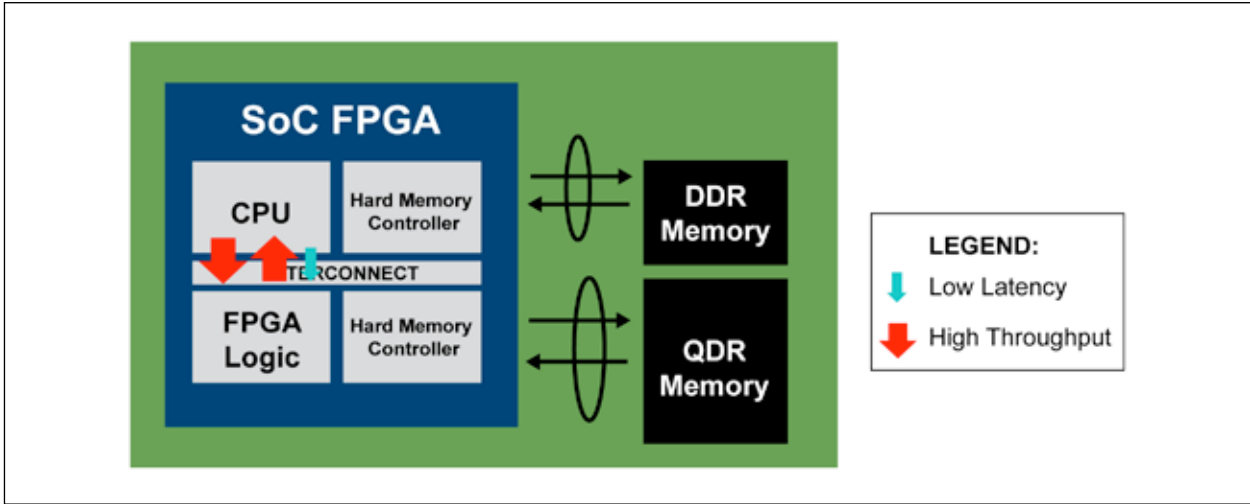


表 3. SoC FPGA 中的处理器至 FPGA 的系统互联特性

功能 / 特性	Altera SoC FPGA	供应商 B
宽带处理器/FPGA 互联	1x 32/64/128 位 AXI (CPU → FPGA) 1x 32/64/128 位 AXI (FPGA → CPU)	2x 32 位 AXI (CPU → FPGA) 2x 32 位 AXI (FPGA → CPU)
轻量处理器/FPGA 互联	1x 32 位 AXI (CPU → FPGA)	必须使用宽带总线中的一条
处理器/FPGA 互联最大理论带宽 ⁽¹⁾	10.8 GB/s	4.8 GB/s
处理器/FPGA 互联数据宽度	x32、x64 或者 x128	固定 x32
处理器/FPGA 会话缓冲	16 位写 + ECC 16 位读 + ECC	8 位写 8 位读

注释:
(1) 假设互联总线速度为 150 MHz。理论最大值是总线速度乘以数据宽度。考虑到协议和缓冲开销，实际带宽会低一些。

DDR 存储器控制器性能

为设计选择 DDR DRAM 时，一般会假设实际性能的决定因素是存储器速度(参见表 4)。但是，实现存储器数据智能传送的其他因素还包括优先级、调度和处理，这些因素对存储器总体性能有显著影响。

为说明这些影响，考虑具有不同存储器总线速度的两款不同厂家的 SoC FPGA 器件，如图 4 所示。它们都有一个双核 ARM Cortex A9 处理器，运行频率都是 667 MHz。但是，一个器件使用了速度是 400 MHz 的外部存储器，而另一个使用了运行速度是 533 MHz 的外部存储器。表面上，由于存储器性能更高一些，因此，一般会认为具有 533 MHz 存储器的系统性能会高出 33%。但是，存储器控制器体系结构的优势产生了明显不同的结果。

图 4. SoC FPGA 存储器性能对比

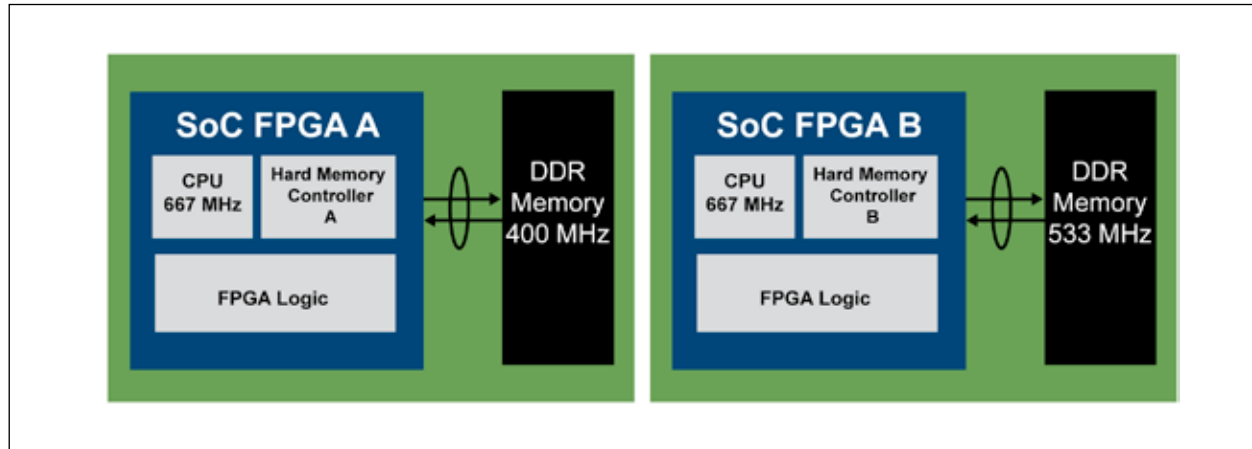
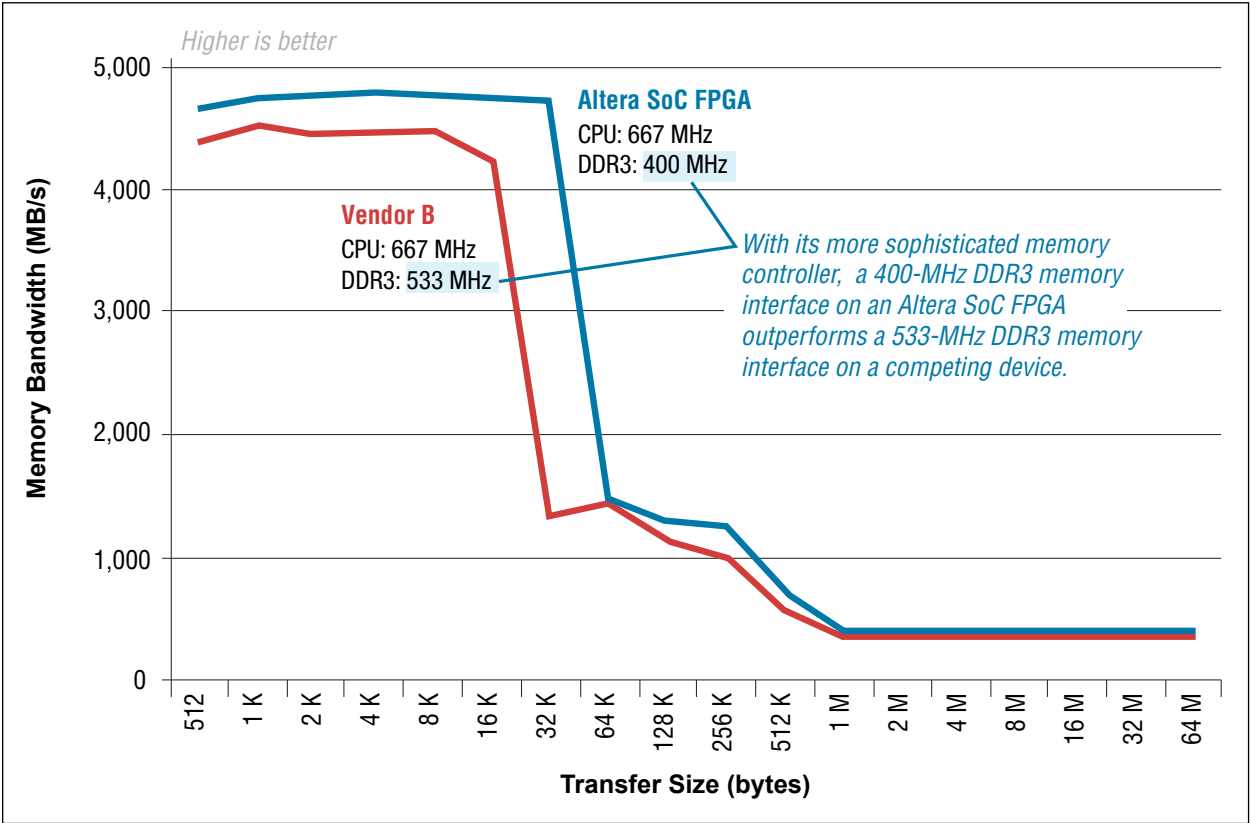


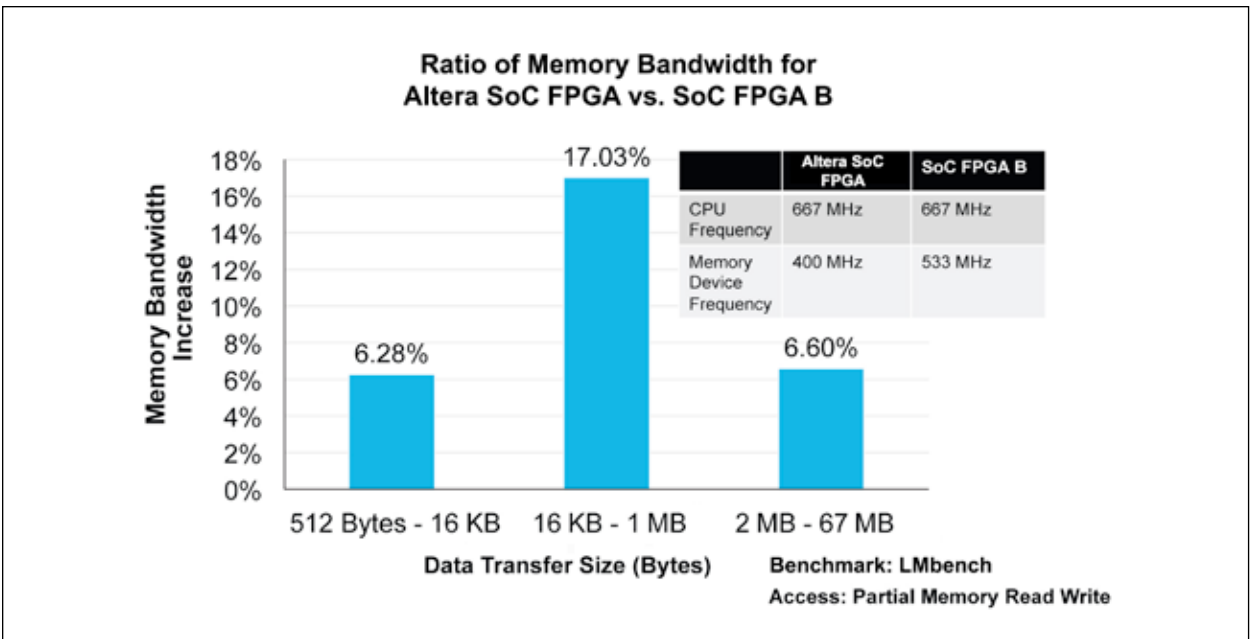
图 5 显示了名为 LMBench 的系统性能基准测试结果。Altera 之所以选择 LMBench，是因为这是业界标准基准测试方法 (www.bitmover.com/lmbench)，以检查存储器系统性能而知名。部分读/写案例介绍了一个使用 LMBench 版本 3 的典型嵌入式应用。

图 5. Lmbench 部分读/写存储器带宽测试，演示了高级控制器的优点。



当数据从 L1 高速缓存传送至 L2 高速缓存，然后传送至外部存储器时，观察到带宽在下降。

图 6. Lmbench 存储器带宽的不同，以数据传送容量进行分组。



如图 6 所示，在对存储器小规模、中等规模和大规模数据的所有访问中，具有高级存储器控制器的 SoC FPGA —— Altera SoC FPGA 虽然存储器工作频率稍低一些，但存储器带宽高出 17%。

这些结果表明，对比 SoC FPGA 时，最重要的是检查目标存储器的系统性能，而不仅仅是存储器总线规范。这是体系结构非常重要的另一个例子。现代存储器控制器采用了复杂的算法来提高存储器系统的效率。如缺陷加权轮询等复杂算法，这些算法管理会话优先级、对命令和数据重新排序、调度未完成的会话等等，从而提高了存储器带宽。您也可以通过软件定制存储器控制器，以很好的满足系统定制数据指标，设置优先级，分配端口或者会话通道，减少它们之间共享的带宽，从而进一步提高了性能。更好的存储器控制器不仅提高了存储器带宽，而且支持以较低的频率运行存储器，从而降低了功耗。

表 4. 外部存储器控制器支持对比

功能 / 特性	Altera SoC FPGA	供应商 B	供应商 C
为处理器系统提供的增强外部存储器控制器	是	是	是
支持的最大地址空间	4G	1G	4G
支持的存储器类型	LPDDR2, DDR2, DDR3L, DDR3	LPDDR2, DDR2, DDR3L, DDR3	LPDDR, DDR2, DDR3
数据宽度配置模式	x8 x16 x16+ECC x32 x32+ECC	x16 x16+ECC x32	x8 x8+ECC x16 x16+ECC x32 x32+ECC
集成 ECC 支持	16 位, 32 位	16 位	8 位, 16 位, 32 位
外部存储器总线最大频率	400 MHz (Cyclone V SoC), 533 MHz (Arria V SoC)	533MHz	333 MHz

FPGA 与处理器子系统中的 DDR 存储器控制器的连接

为降低 SoC FPGA 应用的成本，FPGA 可以选择通过处理器中的 DDR 存储器控制器来访问系统主存储器。但是，共享处理器的存储器控制器有可能限制处理器或者 FPGA 的性能。相应的，必须针对带宽来优化从 FPGA 到处理器存储器控制器的连接。

如表 5 所示，Altera SoC FPGA 以及供应商 B 提供的器件在 FPGA 和处理器存储器控制器之间都有 256 位总宽度。在供应商B的器件中，四个 64 位端口中的两个连接至存储器控制器，而四个 64 位端口中的其他两个连接至片内存储器 (OCM)。在 Altera SoC FPGA 中，256 位端口的线都直接连接至处理器存储器控制器，最多可以配置为 6 个独立的命令/响应端口，四个读端口，或者四个写端口。共享 256 位接口的每个端口，能够支持不同的总线协议，不同的数据宽度，以及不同的配置。例如，在 Altera SoC FPGA 上，FPGA 连接至处理器的 DDR 存储器控制器，同时支持一个 128 位 Avalon® 存储器映射接口和两个 64 位 AXI 端口。在最大接口时钟速率时，Altera FPGA 至 DDR 存储器接口支持最大 9,600 MB/ 秒峰值带宽。

另外，更高的带宽源自 FPGA 和处理器中存储器控制器之间的直接连接，没有受到中间交换或者互联层的妨碍。直接连接支持每一存储器端口实现最大带宽，非常灵活的对这些会话进行优先级处理。作为对比，供应商 B 接口的四个端口必须复用，连接至处理器存储器控制器的只有两个端口，这降低了最大带宽。

这些连接到处理器存储器控制器的 FPGA 接口还支持数据流的相对优先级。Altera SoC FPGA 提供 8 个绝对优先级，以定制实现器件中的通信。可以对来自 FPGA 的会话分别进行动态优先级处理。供应商 B 的 SoC FPGA 具有两个绝对优先级。

表 5. FPGA 与处理器 DDR 存储器控制器的连接

功能 / 特性	Altera SoC FPGA	供应商 B
FPGA 至 DDR 存储器互联通路	256 位, AXI/Avalon-MM 接口 (FPGA → DRAM)	4x 64 位 AXI (FPGA → DRAM 和片内 RAM)
每一端口容量选择	8/16/32/64/256 位	32/64 位
FPGA 至互联端口最大数量	6 个命令/响应端口 4 个读端口 4 个写端口	4 x64 个读端口 4 x64 个写端口
处理器 DDR 硬核存储器控制器端口最大互联	6 个命令/响应端口 4 个读端口 4 个写端口	2 x64 个读端口 2 x64 个写端口 (从四个端口复用得到)
连接	直接	开关 (在存储器互联中, 四个 FPGA 端口复用为两个 DDR 存储器端口)
FIFO 大小	16x256 = 512 B + ECC	128x64 = 1 KB
相对数据流优先级	是	是
绝对优先级	8	2
AXI 专用存储器共享最大端口	所有端口上, 所有 ID	1 个端口, 2 个 ID

具有 ARM Cortex-A9 处理器的 SoC FPGA 还支持 ARM 的 AXI 专用特性——实际上，是一种特殊的，基于硬件的信号量操作，在工作期间，没有将总线专用于某一主机。AXI 专用信号量的工作不会影响总线访问延时，或者最大带宽。在 Altera SoC FPGA 器件上，AXI 专用特性支持所有 DDR 存储器端口的会话。在其他厂家的器件中，只能在端口到端口的操作上使用这一特性。

硬件加速和高速缓存一致性

集成处理器和 FPGA 系统的另一优点是可以将需要大量计算的功能放在 FPGA 逻辑中进行加速，从而提升了系统性能。处理器基本上可以将所有需要加速的任务分载到 FPGA 中进行加速——从循环冗余校验 (CRC) 计算到实现整个 TCP/IP 堆栈，从而分担处理器的负荷。当基于 FPGA 的加速器计算出结果时，它需要尽快将其传递回处理器，因此，处理器可以马上更新收到的数据。

基于 ARM Cortex-A9 的 SoC FPGA 具有名为加速器一致性端口 (ACP) 的特性。通过 ACP，基于 FPGA 的硬件加速器产生的新数据通过低延时直接连接，被直接传送至处理器的 L2 高速缓存——不仅快，而且保持了一致性。

由于 ACP 逻辑自动维持了一致性，因此，一致性数据传送需要大约 30 个周期。保证数据一致性的替代方法是刷新 L2 高速缓存，需要大约数百个周期才能完成。如表 6 所示，Altera SoC FPGA 同时支持基于 FPGA 的功能和处理器外设的一致性会话。其他厂家的 SoC FPGA 通过一个专用端口，只支持 FPGA 功能，不支持来自处理器外设的会话。

ARM 最初面向全定制芯片系统器件设计了 ACP 接口，这类器件一般只有几个专用加速器，或者少量需要 ACP 支持的外设。相应的，ARM ACP 接口一次只支持 8 个执行会话或者待定会话。但是，由于 SoC FPGA 具有灵活的可编程体系结构，会有更多的硬件加速器需要一致性支持。为支持 8 个以上这类功能，Altera SoC FPGA 采用了一个 ACP ID 映射器，在支持 8 个会话的同时，支持的待定会话数量不受限制。

表 6. SoC FPGA 中加速器一致性端口的不同

	Altera SoC	供应商 B
ACP 支持的基于 FPGA 的主机	是	是
ACP 支持的处理器外设主机	是	否
ACP ID 映射器	是	否
支持的 ACP 在执行会话	8	在执行或者待定总共 8 个
支持的 ACP 待定会话	无限制	在执行或者待定总共 8 个
ACP 端口配置	x64 AXI	x64 AXI
ACP 端口时钟源	½ CPU 时钟 (400 MHz)	FPGA (150 MHz)

更多的存储器控制器提高了系统最大性能

SoC FPGA 都含有一个专用 DDR 硬核存储器控制器，作为处理器子系统的一部分，主要用于为处理器存储和重新得到代码和数据。出于节省成本的目的，FPGA 中的逻辑功能还可以共享处理器的存储器控制器。

然而，为提高某些应用的性能，最好能够分开处理器和 FPGA 的存储器控制器，如表 7 所示。如果应用软件有特殊要求，那么，处理器应该有自己单独的存储器阵列。同样的，宽带 FPGA 应用也最好有自己的专用存储器阵列。

表 7. 为各种类型的应用提供处理器和 FPGA 存储器接口

应用类型	处理器存储器控制器	FPGA 存储器控制器
降低成本	处理器和 FPGA 功能使用处理器的存储器控制器，共享一个公共 DDR 存储器子系统。	未使用
处理器和 FPGA 共享较大的公共存储器区域	处理器和 FPGA 功能使用处理器的存储器控制器，共享一个公共 DDR 存储器子系统。	其他 FPGA 功能支持
要求较高的计算系统	处理器的存储器控制器专用于为处理器提供服务	任何 FPGA 功能使用 FPGA 存储器控制器来分担 HPS 存储器控制器的负荷
高带宽 FPGA 功能	处理器使用处理器的存储器控制器，可以与其他低带宽 FPGA 功能共享这些控制器。	FPGA 独占 FPGA 存储器控制器

如表 8 所示，Altera 的 28 nm SoC FPGA 还含有一个或者三个独立硬核 DDR 存储器控制器，专门用于 FPGA 逻辑功能。这些硬核 DDR 存储器控制器与处理器的存储器控制器具有同样先进的特性和功能。所有商用 SoC FPGA 都还可以在 FPGA 架构中支持更多的软核存储器控制器，由可编程逻辑实现。缺点是这些软核控制器会与其他应用逻辑竞争使用 FPGA 资源。设计软核存储器控制器并达到时序收敛会占用宝贵的设计时间，而这些时间可以用于开发更有价值的专用 IP。

表 8. 专属硬核存储器控制器和 FPGA 中实现软核存储器控制器

功能 / 特性	Altera SoC FPGA	供应商 B	供应商 C
FPGA 架构中的硬核存储器控制器	取决于器件，1 到 3 个	不支持	不支持
FPGA 架构中的软核存储器控制器	是，使用了 FPGA 逻辑	是，使用了 FPGA 逻辑	是，使用了 FPGA 逻辑

系统可靠性和灵活性

高度集成的 SoC FPGA 还有助于建立更可靠的系统。两个重要的方面体现了 SoC FPGA 器件的不同之处。

- 系统中有多少存储器保护？
- SoC FPGA 怎样应对软件缺陷？

采用 ECC 保护存储器内容

对错误探测、纠正和监视的需求已经成为当今设计的发展趋势。随着存储器容量和密度的不断增长，对错误检查和纠正的需求也在增长，也越来越重要。大部分现代系统包括专用硬件来帮助实现数据完整性。

 如果需要了解详细信息，请参考“[基于 SoC FPGA 的存储器系统中的纠错码](#)”白皮书。

从 SoC FPGA 角度看，这包括纠错码，即 ECC 保护——它不仅仅是存储器控制器保护的一部分，而且还集成在处理器的片内存储器、高速缓存，以及外设缓冲中。ECC 电路使系统更可靠，系统不受意外数据错误或者数据损坏的影响。

对于数据完整性非常关键的应用，及时和必要的反应是在系统主存储器中增加 ECC，而最重要的是，能保护的都应受到保护。除了主存储器，同样重要的是确保 L2 高速缓存和片内 RAM 也受到 ECC 保护。这是体系结构非常重要的另一方面。设计良好的体系结构考虑了数据传送通路上的每一步，在每一步都包括相应的保护。除非内置到器件中，否则很难进行 ECC 保护，会增加很高的成本。

表 9 总结了 Altera SoC 的硬件 ECC 与其它厂家的对比。

表 9. SoC FPGA 中的 ECC

	Altera SoC FPGA	供应商 B
L1 高速缓存	奇偶校验 (Cortex-A9 实现的一部分)	奇偶校验 (Cortex-A9 实现的一部分)
L2 高速缓存	是	没有 ECC
外部 DDR 存储器控制器 (单个错误纠正，两个错误探测)	x16 x32	仅 x16
片内 RAM	是	奇偶校验，没有 ECC
Quad SPI 控制器	是	没有 ECC
NAND 控制器	512 字节 ECC 段大小 (4 位、8 位或者 16 位纠错) 1,024 字节 ECC 段大小 (24 位纠错)	1 比特硬件支持，其他只能由软件帮助
SD/MMC/SDIO 控制器	是	没有 ECC
DMA 控制器	是	没有 ECC
10/100/1G 以太网控制器	是	没有 ECC
USB 2.0 OTG 控制器	是	没有 ECC

L1 高速缓存是 ARM Cortex-A9 处理器不可分割的组成。出于性能原因，并且由于其较小的容量，ARM 实现的 L1 高速缓存使用了奇偶校验来探测单比特错误，但是不包括全 ECC。

值得重点介绍的另一方面是 NAND 闪存。NAND 闪存适用于文件系统存储，但有时候可靠性不如 NOR 闪存。因此，NAND 闪存的 ECC 被用于纠错。早期版本的 NAND 闪存控制器包括单比特 ECC 保护。这虽然有一些优点，但是 CPU 必须参与其中，CPU 必须通过软件管理 ECC，导致对性能有明显的影晌。大部分现代 NAND 闪存控制器都包括多比特 ECC 保护。特别是，在 Altera SoC FPGA 中实现的 NAND 闪存控制器包括对 512 字节段的 4 比特、8 比特和 16 比特硬件纠错，以及对 1,024 字节段的 24 比特硬件纠错。这实现了功能更强的保护功能，而且不会降低性能。

共享存储空间的存储器保护

存储器保护通常是先进的处理器具有的一种特性。不论是被称为存储器管理单元 (MMU) 还是存储器保护单元 (MPU)，处理器的存储器保护单元都能够防止错误或者非法的处理器会话读取或者损害其他的存储器区域。在 Cortex-A9 处理器中，ARM 的 TrustZone® 技术扩展了这一保护概念，为安全敏感的系统提供了系统级方法。

某些 SoC FPGA 将存储器保护扩展到了 FPGA。为什么这一存储器保护来自 FPGA，又用于 FPGA 呢？处理器和 FPGA 可以共享一个外部 DDR 存储器接口，以便降低成本，减小电路板空间，节省功耗。假设定制 FPGA 逻辑恰好覆写了一段属于处理器数据、应用程序代码，或者操作系统 (OS) 内核的存储器，那么会怎样呢？这会导致系统故障或者将处理器指向错误的方向。

为防止出现这种情况，为操作系统和嵌入式应用软件指定了特定的存储器区域，而其他存储器区域可以专门用于基于 FPGA 的功能，如图 7 所示。通过存储器保护，基于 FPGA 的功能不会损坏操作系统或者嵌入式软件区域。

图 7. DDR 存储器保护，处理器和 FPGA 共享公共的存储器。

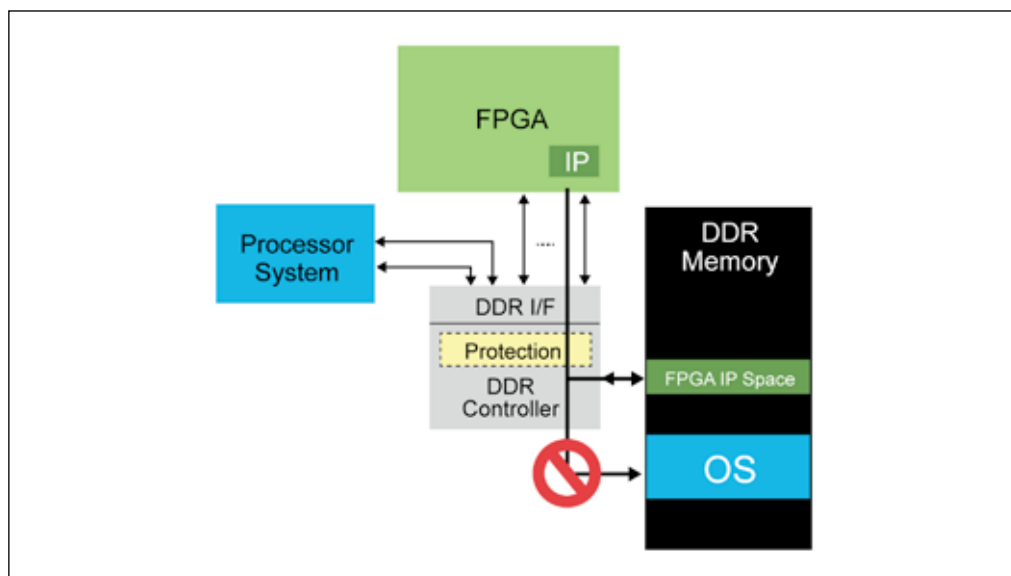


表 10. 总结了 FPGA 访问外部存储器的存储器保护功能。

功能 / 特性	Altera SoC FPGA	供应商 B
TrustZone 安全	是	是
TrustZone 区域大小粒度	1 MB 边界	64 MB 边界
存储器保护	20 个用户定义的保护规则。每一条规则定义了 TrustZone 地址范围 主机 ID 范围 端口范围 (模板) 包含/独占	TrustZone

所有 SoC FPGA 都支持 ARM 的 TrustZone 安全特性；但是，Altera SoC FPGA 保护区的粒度更精细，小到 1 MB。而且，Altera SoC FPGA 为特定的区域提供 20 条用户定义的保护规则。这实现了更精细的调整，更精确的控制，可以防止 FPGA 主机访问不应访问的区域。

看门狗复位及其对 FPGA 逻辑的影响

看门狗定时器可以防止出错的软件将系统阻塞。在以前的双芯片分立方案，即处理器加 FPGA 的解决方案中，如果处理器运行出错导致看门狗复位，FPGA 仍然能够运行。体系结构设计良好的 SoC FPGA 必须支持同样的“独立”行为，而且还提供选择给系统设计人员来决定是否重新配置 FPGA。在很多情况下，很关键的是当处理器自己复位时，FPGA 逻辑需要继续监视并响应外部激励。因此，在这种条件下，检查 FPGA 怎样重新配置非常重要。

Altera SoC 支持处理器和 FPGA 的复位电路单独工作。由系统设计人员决定是否在 CPU 复位时重新配置 FPGA。而其他厂家的 SoC FPGA 则在处理器复位时必须重新配置 FPGA。

如表 11 所示，Altera SoC FPGA 中的复位电路与分立设计应用相一致。处理器和 FPGA 的复位电路虽然可以选择互相通知复位事件，但是独立工作。开发人员确定 FPGA 部分应怎样响应 CPU 复位，可以通过简单的重新设置配置过的 FPGA 逻辑，也可以完全重新配置 FPGA，或者完全忽略它。对于 SoC FPGA 供应商 B，当出现 CPU 复位时，总是重新配置 FPGA 逻辑。

表 11. SoC FPGA 中的 CPU 复位

功能 / 特性	Altera SoC FPGA	供应商 B
FPGA 对 CPU 复位的响应	用户可定义： 按照用户设计的设定，复位 FPGA 逻辑中的触发器， 或者重新配置 FPGA 逻辑， 或者不响应。	总是重新配置 FPGA

失效安全启动和配置

作为全面可编程的单芯片系统，SoC FPGA 必须能够成功启动处理器，在 FPGA 开始工作前，配置好它。在启动或者配置失败时，SoC FPGA 提供了失效安全恢复方法——这是支持远程在现场系统更新的系统的一项关键特性。如表 12 所总结的，SoC FPGA 提供的“失效安全”恢复特性应能在配置期间进行物理探测。如果配置头文件或者配置镜像本身出现了 CRC 错误，SoC FPGA 器件自动装入替代配置镜像。

Altera SoC FPGA 还针对其他的逻辑故障提供失效安全恢复功能。Altera SoC FPGA 成功的启动后，启动加载软件置位一个比特，指示成功的进行了配置。但是，如果启动加载失败，没能置位该比特，那么，看门狗定时器触发热复位，重新开始启动过程。当 Altera SoC FPGA 重新开始启动过程时，处理器看到以前的启动尝试都失败了，会选择最近一次的好镜像。

表 12. SoC FPGA 器件中的失效安全处理器启动/FPGA 配置

功能 / 特性	Altera SoC FPGA	供应商 B
对于物理启动故障，失效安全重新启动	是	是
对于逻辑启动故障，失效安全重新启动	是	否

灵活性

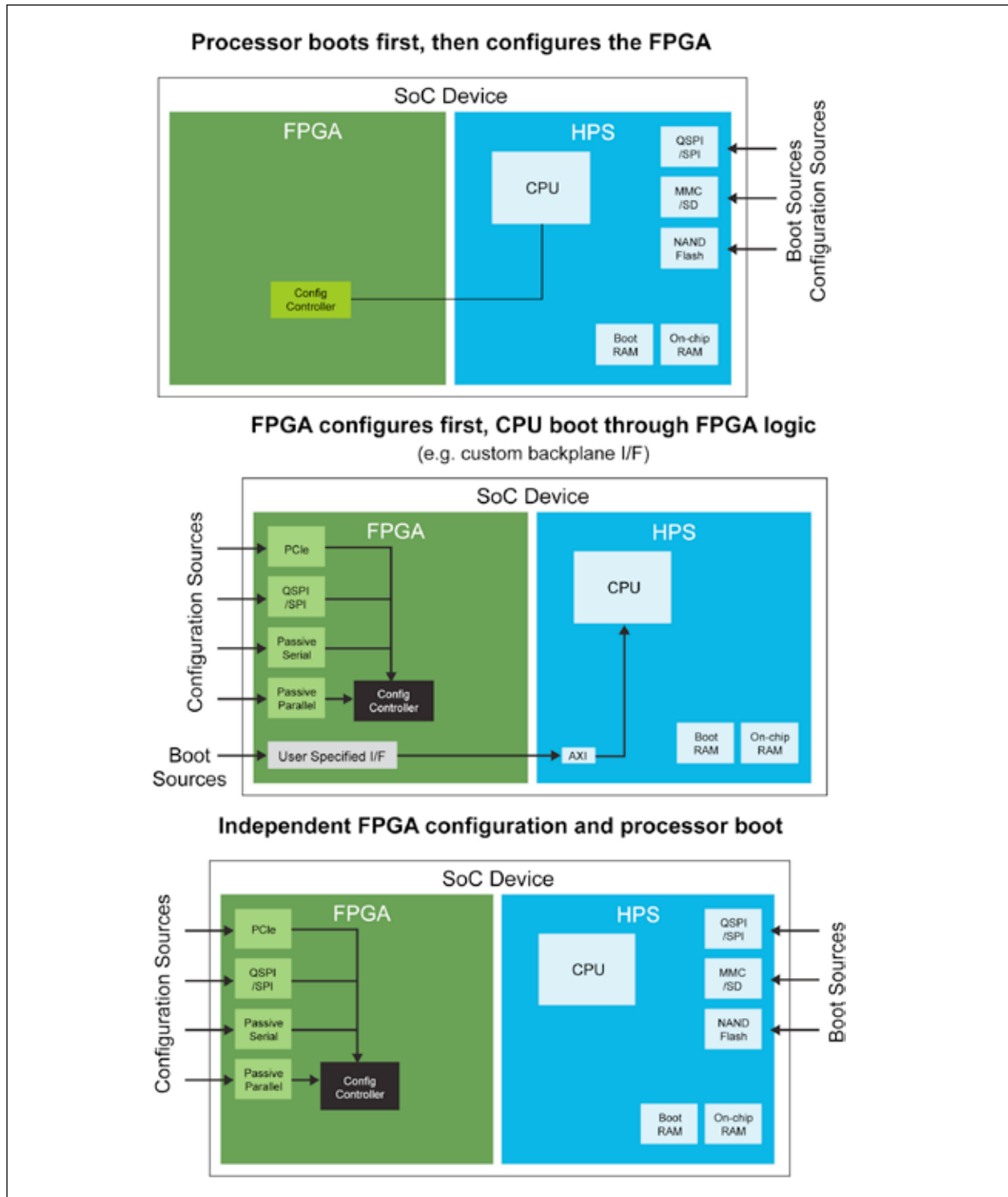
灵活性是很多设计人员选择使用 FPGA 的主要原因之一。可全面编程的 SoC 将设计灵活性扩展到了系统级。选择 SoC FPGA 时要考虑的三种体系结构：处理器启动和 FPGA 配置优先级可选、片内 FPGA 接口、封装引脚兼容。

- 处理器启动和 FPGA 配置选择
- 片内 FPGA 接口
- 公共封装引脚

处理器启动和 FPGA 配置的多重选择

对灵活性的需求首先从启动开始。SoC FPGA 中有三种：“CPU 最先启动”方式；或者先配置 FPGA，再通过 FPGA 逻辑启动 CPU 方式；以及完全独立的处理器启动和 FPGA 配置机制的方式。目前，Altera SoC FPGA 是唯一设计支持所有这三种选择的 ARM Cortex-A9 处理器 SoC FPGA。如图 8 所示。

图 8. SoC FPGA 处理器启动和 FPGA 配置选择



所有 SoC FPGA 都支持“CPU 最先启动”方法(图 8，上部)，先启动处理器，然后在软件控制下配置FPGA。这种模式工作起来就像一般的处理器启动，只是处理器把 FPGA 作为一个大“外设”器件来进行配置。这种模式的优点是，它与传统的先启动处理器方法相一致，比较容易移植现有的启动代码；这种方法的缺点是，如果系统对配置时间有限制，那么不能承受处理器启动延时，处理器还在启动时，FPGA 不能开始工作而发挥它的优势。

第二种选择(图 8，中间)是先配置 FPGA，然后通过 FPGA 逻辑启动 CPU。使用这种方法的好处是您可以将处理器的代码导入 FPGA 中先进行加解密，以及其他安全检测，确保安全后再由 FPGA 启动 CPU。另一种会使用这种方式的场景是先配置 FPGA，以例化一个定制的背板接口，FPGA 通过这个接口加载 CPU 代码。

第三种选择(图 8，底部)是完全独立的处理器启动和 FPGA 配置机制。在这个例子中，处理器从一个闪存启动。同时独立地，FPGA 从它的一个数据源启动。这样 FPGA 子系统启动非常快——只有 13 ms，并且支持 PCI Express® (PCIe®) 接口配置 FPGA 的其他部分。

表 13. SoC FPGA 中的处理器启动和 FPGA 配置选择

功能 / 特性	Altera SoC FPGA	供应商 B
CPU 先启动，由 CPU 配置 FPGA	是	是
FPGA 先配置，通过 FPGA 架构或者背板启动 CPU	是	否
CPU 独立启动，FPGA 独立配置	是	否

表 13 显示了两 种 SoC FPGA 支持的不同的启动模式。目前，Altera SoC FPGA 是唯一设计支持所有这三种选择的 ARM Cortex-A9 处理器 SoC FPGA。

多个启动镜像

很多 SoC 开发人员喜欢将其启动镜像存储在 Quad SPI 闪存中，这是因为该器件固有的可靠性 (NOR 技术)，相对较低的成本，以及最小的 I/O 要求。在处理器负责配置 FPGA 的系统场景中，闪存启动镜像会同时含有硬件 (FPGA) 和软件 (CPU) 代码内容，包括：

- CPU 启动代码
- 操作系统 (OS)/ 实时操作系统 (RTOS)
- 应用程序代码和数据
- FPGA 配置

很多场合下，系统需要多个“启动镜像”：一个用于存放工厂默认镜像，至少有一个用于存放系统更新。总是要存储工厂默认镜像，以防更新失败的情况。系统可以会自动先切换到已知的好镜像，重新尝试开始更新。

根据“最小”和“基本”软件需求来估算全部启动镜像，低密度、中等密度和高密度 FPGA 的硬件镜像列在表 14 中。

对于 Quad SPI 器件，与所选择的 SoC 供应商有关，所需要的存储量可能会成为问题。

Altera 提供支持 4 GB 地址范围的 Quad SPI 接口，以及四个片选。供应商 B 的 Quad SPI 支持 16 MB 地址范围，提供两个片选，启动镜像总容量被限制为 32 MB。

表 14. 启动镜像容量要求以及 Quad SPI 器件映射

软件要求	最小			基本		
用户空间代码 (MB)	5	5	5	50	50	50
Linux 内核 (MB)	3	3	3	5	5	5
启动代码 (MB)	0.5	0.5	0.5	0.5	0.5	0.5
用 FPGA 密度	小	中等	大	小	中等	大
FPGA 硬件镜像 (MB)	2.4	6.1		2.4	6.1	14.4
需要的总存储						
一个镜像 (MB)	11	15	23	58	62	70
两个镜像 (MB)	22	29	46	116	123	140
Altera SoC FPGA						
一个镜像 (# Quad SPI 器件)	1	1	1	1	1	1
两个镜像 (# Quad SPI 器件)	1	1	1	1	1	2
供应商 B						
一个镜像 (# Quad SPI 器件)	1	1	2	N/A	N/A	N/A
两个镜像 (# Quad SPI 器件)	2	2	N/A	N/A	N/A	N/A

如表中所示，Altera SoC FPGA 能够支持多个大规模启动镜像。供应商 B 的 SoC FPGA 在启动镜像容量以及数量上都有限。估算是基于容量为 1 Gb (128 MB) 的最大 Quad SPI 器件进行的。)

片内 FPGA 接口

灵活性也扩展到片内 FPGA 接口上。有时候应用程序需要特性丰富的标准接口；有时候则要求简单或者可定制接口。

对于需要高级功能的应用，SoC FPGA 使用了 ARM 的 AXI 接口来连接处理器、硬核外设和 FPGA 逻辑。AXI 标准使用成熟的业界标准，提供高速宽带接口。但是，对于不需要 AXI 所有特性的 IP 内核应该怎样处理呢？可扩展特性更重要时，又会该怎样处理呢？需求的一个极端可能是定制的 1000 线接口；而另一个极端则只需要一条线来点亮 LED 或者读取一个开关。

为满足这种变化的需求，除了 AXI 接口，Altera SoC FPGA 还支持 Avalon® 存储器映射 (Avalon-MM) 接口，以及 Avalon 流 (Avalon-ST) 接口。这些可扩展的 Altera 接口标准非常适合要求较低或者其他的特殊功能需求。这样，IP 设计人员可以为每一功能选择最优接口。这也支持现有 Altera FPGA 客户继续使用现有的 IP，不一定要移植到 AXI。

 关于 Avalon 接口的详细信息，请参考 [Avalon 接口规范](#)。

表 15 总结了 FPGA IP 接口。

表 15. SoC 器件支持的 FPGA IP 接口

功能 / 特性	Altera SoC FPGA	供应商 B
FPGA IP 接口	AXI Avalon-MM Avalon-ST	AXI

引脚兼容布局密度/收发器/特性移植

封装引脚兼容布局进一步提高了设计、开发和实施阶段的灵活性。开发人员很容易在具有不同逻辑密度的器件之间移植设计，这些 Altera SoC 器件有相同的封装引脚布局。此外，开发人员可以在封装引脚兼容布局范围内，在具有收发器和不具有收发器的器件之间进行移植。为进一步降低成本，提供无收发器版本，它支持双核或者单核处理器。这些选择使得一个印刷电路板平台满足了不同的成本和特性应用。

图 9. Altera Cyclone V SoC 的密度/封装移植

Altera: Devices without Transceivers						Vendor B: Devices without Transceivers					
Device Family	KLE	484	672	896	Pins	Device Family	KLC	100	400	484	Pins
		19 x 19	23 x 23	31 x 31	Package Size			17 x 17	17 x 17	19 x 19	Package Size
		0.8mm	0.8mm	1.0 mm	Ball Pitch			0.8mm	0.8mm	0.8mm	Ball Pitch
A	25	66	138		I/O Count	A	28	54	100	200	I/O Count
	40	66	138				85		125		
	85	66	138	288							
	110	66	138	288							
HPS I/O ⁽¹⁾		161	188	188		PS I/O ⁽¹⁾		86	130	130	

Altera: Devices with Transceivers							
Device Family	KLE	672	896	896	1,152	1,517	Pins
		23 x 23	31 x 31	31 x 31	35 x 35	40 x 40	Package Size
		1.0mm	1.0 mm	1.0 mm	1.0 mm	1.0 mm	Ball Pitch
Cyclone V SoC FPGA	25	145, 6					I/O Count (I/O, Transceiver)
	40	145, 6					
	85	145, 6	288, 9				
	110	145, 6	288, 9				
Arria V SoC FPGA				178, 12	350, 18	528, 30	
				178, 12	350, 18	528, 30	
HPS I/O ⁽¹⁾		161	188	216	216	216	

Vendor B: Devices with Transceivers							
Device Family	KLC	485	484	676	900	1,156	Pins
		19 x 19	23 x 23	27 x 27	35 x 35	35 x 35	Package Size
		0.8mm	1.0 mm	1.0 mm	1.0 mm	1.0 mm	Ball Pitch
A	74	150, 4					I/O Count (I/O, Transceiver)
B	125	150, 4	163, 4	250, 8			
	350			250, 8	362, 16	362, 16	
	444				362, 16	362, 16	
PS I/O ⁽¹⁾		157	130	130	130	130	

Note:
1. Includes DRAM dedicated I/O.

系统成本

目前发售的每一系统几乎都面临越来越高的成本压力。而 SoC FPGA 是具有先进特性的创新产品，Altera 设计其 SoC FPGA 时同时考虑了组件和系统成本。一片 SoC FPGA 的成本要比其替代的组件低 50%，同时也能够降低系统成本。表 16 对比了系统成本因素。

当考虑 SoC FPGA 成本时，应重视以下三个关键方面：

- SoC 中已经集成了多少等效功能？
- 应用需要高速收发器吗？如果需要，需要多少？
- 相关的电源供电成本有多大？

集成功能

SoC FPGA 解决方案的集成度有多高？取决于应用，一片 SoC FPGA 会含有系统等效的处理器、所有外设、多个 DSP、大量的片内存储器、高速收发器、时钟管理以及丰富的定制逻辑。不管怎样，都会有很多问题。

- 同时提供单核和双核处理器版本吗？
- 除了 ARM 处理器内核，还集成了哪些外设？
- 它有多少硬核存储器控制器？
- 它有集成锁相环 (PLL) 吗？
- 您有办法通过配置选项来降低成本吗？
- SoC FPGA 为 FPGA 应用提供硬核存储器控制器，或者您需要为控制器提供额外的 FPGA 逻辑资源吗？
- 有封装引脚兼容布局来优化平台成本吗？

高速收发器

高速收发器是对设计成本有显著影响的另一关键特性。Altera SoC FPGA 在全系列产品线上提供高速收发器选择。特别是，低端入门级器件以及容量最大的全功能器件都有高速收发器。高速收发器是 PCIe 等应用的关键因素。否则，会需要外部接口元器件，这增加了系统材料成本 (BOM)。另一方面，某些嵌入式设计不一定需要高速收发器，Altera 提供不含有高速收发器的 SoC FPGA 型号，从而降低了 SoC FPGA 元器件成本。

电源供电成本

电源电压轨数量和容量对设计的成本和复杂度有非常明显的影响。所有 SoC FPGA 都需要多个电压轨，但是有的要比其他少很多。而且，某些 SoC FPGA 有严格的上电和关电顺序控制，要采用更复杂——而且昂贵的电源供电。特别是，由于可能会出现各种掉电条件，导致很难进行关电顺序。理想情况是，最好能够避免上电或者关电要求，特别是这些要求影响器件长期可靠性的时候。Altera SoC FPGA 没有任何上电或者关电顺序要求。请参考表 16。

表 16. SoC FPGA 系统成本因素对比

功能 / 特性	Altera SoC FPGA	供应商 B
单核和双核处理器选择	是	否 (仅双核)
处理器系统和 FPGA 架构中的 硬核存储器控制器	有 (处理器系统中有 1 个， FPGA 中有 3 个)	无 (处理器系统中有 1 个， FPGA 中没有)
所有器件都具有高速收发器 (集成 PCIe 需要)	是	否 (6 个中的 2 个没有高速收发器)
集成模拟混合信号	否	是 (2 x 12 位，1 MSPS ADC)
相对数据流优先级	是	是
逻辑密度范围	25, 40, 85, 110, 350, 460 KLE	28, 74, 85, 125, 350, 444 KLC
管脚兼容	是	有限制
关电顺序要求	无	有 (需要额外的外部电路)

电源

即使不是推动因素，低功耗也成为很多设计中越来越重要的因素。

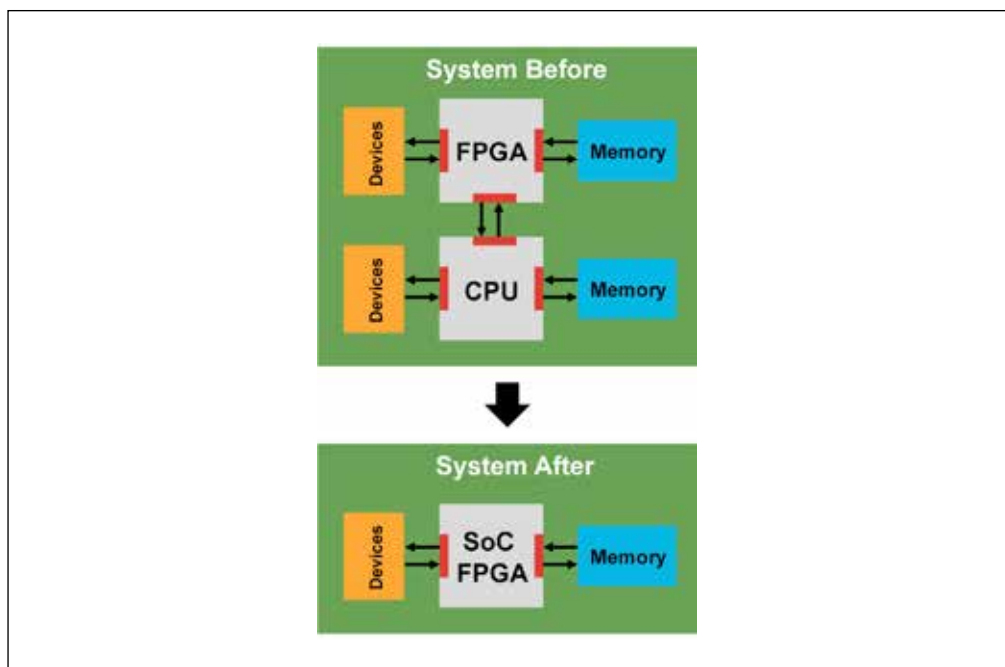
在 SoC FPGA 器件之间进行选择时，与功耗相关的重要因素有三个：

- 集成
- 低功耗模式
- 上电/关电顺序要求

通过集成降低功耗

如图 10 所示，在一片 SoC FPGA 中集成处理器和 FPGA 元器件能够把系统功耗降低 10% 到 30%。I/O 在器件之间传送信号，通常需要较高的电压，是应用中最耗能的组件。

图 10. 在一片 SoC FPGA 中集成处理器和 FPGA 减少了高功耗的芯片间 I/O 连接



正如第 8 页“DDR 存储器控制器性能”所介绍的，智能的存储器控制器也降低了功耗。由于能够更高效的传送数据，一个智能存储器控制器的时钟频率更低，而且不会牺牲存储器带宽。例如，如图 5 所示，采用智能存储器控制器的 400 MHz DDR3 的性能与使用传统存储器控制器的 533 MHz DDR3 差不多，甚至超过它。更高的效率以及更低的时钟速率大幅度降低了系统功耗预算。

低功耗模式

SoC FPGA 具有各种低功耗和低成本特性。由于功耗的主要来源是器件的 FPGA 部分，因此，处理器系统和 FPGA 有分开独立的电源平面非常重要。为降低功耗，处理器可以通过软件控制将 FPGA 置于低功耗模式。

此外，处理器可以控制其他的低功耗特性，包括：

- 关掉当前不使用的功能的时钟(时钟域选通)
- 设置 PLL 和时钟分频器控制，根据当前的处理要求来调整时钟频率。
- 将处理器置于一种睡眠模式，以后通过中断来唤醒处理器。
- 将 DDR 存储器控制器置于一种低功耗模式。



如果需要了解更多的信息，请参考“采用低功耗 28-nm FPGA 实现最低系统功耗”白皮书。

上电/关电顺序要求

为保证器件的可靠性，或者确保某种上电状态，硅片供应商会提出特殊的上电和关电顺序要求，如表 17 所示。上电顺序要求是很常见的，而通过关电规范来保护器件却很少见。这意味着，必须在电源上增加额外的电路，否则系统生产商会面临长期可靠性问题。

对于有关电顺序要求的器件，必须要非常小心，以避免每一电源轨失效，导致违反规范。这就要求采用比较模拟电路来监视电压轨，必须增加相应的保护电路。为保证正确的关电顺序，还需要有足够的功率存储。

Altera SoC FPGA 内置了内部器件保护功能，因此，可以接受任意顺序的上电或者关电。Altera 的确推荐了上电顺序，但只是作为系统电源供电设计人员的指南，帮助他们降低成本，并不影响可靠性。其他厂家的 SoC FPGA 供应商的确有上电和关电顺序要求，如果经常违反，会导致器件的长期可靠性问题。

Altera SoC FPGA 保证使 I/O 进入三态，避免了电路板级驱动竞争问题。如果违反了上电顺序要求，其他厂家的 SoC FPGA 供应商器件不能保证这些。

而且，Altera SoC FPGA 支持“热插拔”，器件可以插入到已经上电的电路板中。其他 SoC FPGA 供应商并不提供这一功能。

表 17. SoC FPGA 上电和关电顺序要求

功能 / 特性	Altera SoC FPGA	供应商 B
上电顺序	无	当 I/O 块驱动 3.3V 外设时，需要顺序，以便维持器件的可靠性。
使 I/O 进入三态的上电顺序	无	需要上电顺序以保证 I/O 进入三态
关电顺序	无	当 I/O 块驱动 3.3V 外设时，需要顺序，以便维持器件的可靠性。
热插拔功能	是	不确定

未来发展路线图

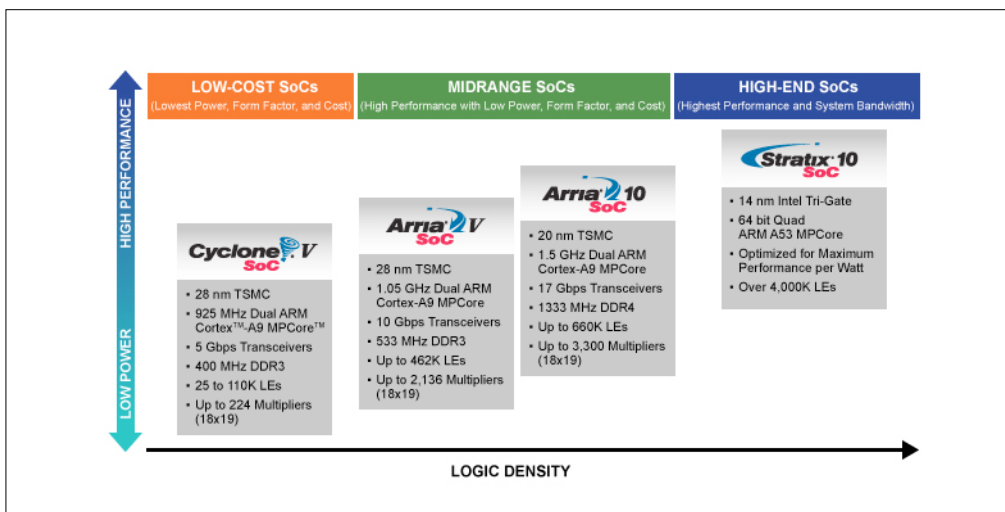
选择新处理器体系结构是关键的决定。供应商的产品路线图能否满足未来应用需求，突出系统优势，长期看系统是否具有竞争优势，对此进行评估非常重要。考虑到较大的软件投入，基本软件能够轻松移植到未来产品上也非常重要。因此，不仅要知道 SoC 供应商在下一代产品上有哪些承诺，而且还要提出以下问题：

- 在这一产品线上打算有多大规模的投入？
- 今后对提高系统设计的竞争力会有多大帮助？
- 工具有没有发展路线图？

Altera 的三代处理器发展路线图

为满足 SoC FPGA 的目标应用需求 (通信基础设施、工业、汽车、高性能计算、军事、航空航天、医疗、多功能打印机, 等等), Altera 制定了三代处理器发展路线图, 如图 11 所示。

图 11. Altera SoC 系列产品发展路线图



发展路线图从 28 nm Cyclone V 和 Arria V SoC FPGA 开始, 这也是本文关注的重点。在 20 nm 第二代, Arria 10 SoC FPGA 处理器子系统仍然一样, 含有双核 ARM Cortex-A9 MPCore 处理器。双核 ARM A9 保持了软件的兼容性, 很容易进行软件移植, 由于采用了 20 nm 工艺技术, 处理器性能比第一代提高了 87%。第二代还增强了安全特性和存储器支持。Stratix 10 SoC FPGA 中集成了四核 ARM Cortex-A53 处理器, 第三代 SoC FPGA 处理器子系统进一步提高了高端器件的性能。64 位 A53 有效的提高了性能, 同时仍然是低功耗器件。如果需要, 四个内核中的两个可以运行在 32 位模式下, 以维持与第二代软件的兼容性, 而其他两个内核可以运行在 64 位模式下, 以支持新应用。

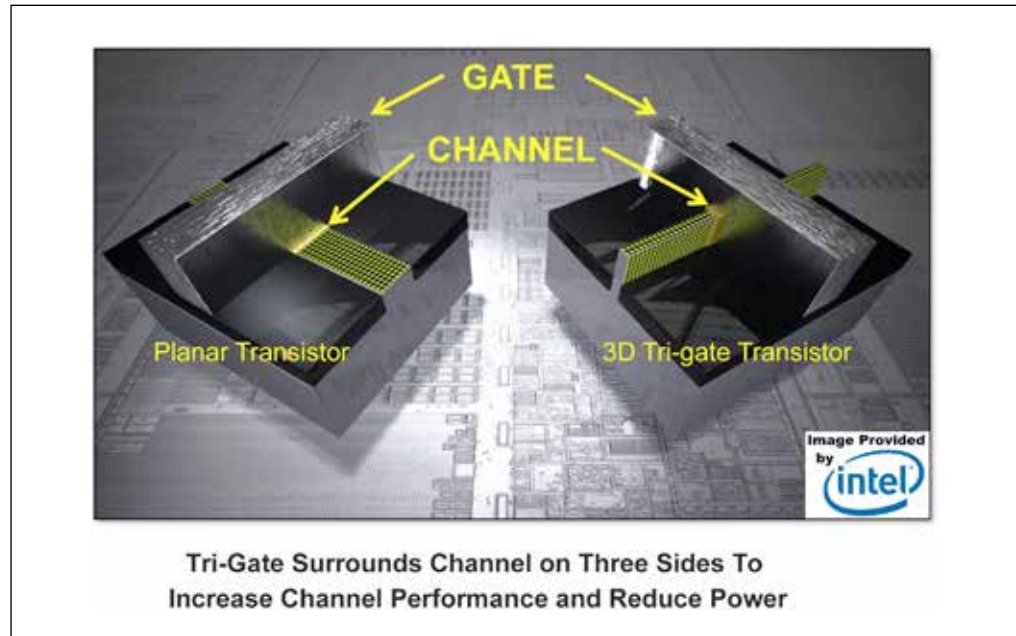
基础: 硅片工艺技术

所有硅片元器件发展路线图的基础都是硅片工艺技术。今天, 大部分 SoC FPGA 都采用了 28 nm 硅片工艺进行制造。工艺技术的下一主要发展方向是 FinFET 技术。

FinFET 技术

FinFET 晶体管将沟道翻转至侧面，二维设计转变为三维设计，推动了半导体行业的革命，如图 12 所示。

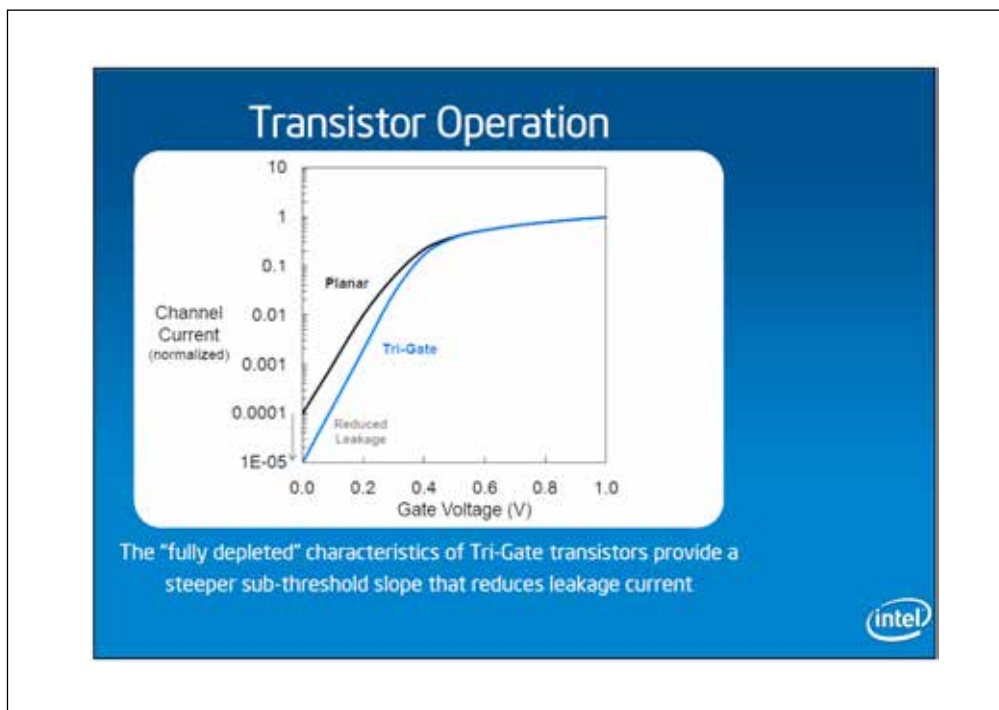
图 12. FinFET 的三维结构减小了功耗、泄漏和面积



(图片经过 Intel 公司的授权)

这种新结构的优点在于密度更高、泄漏更小，有源功耗更低。如图 13 所示，Intel 的三维 FinFET 设计方法名为“三栅极”，泄漏比传统二维平面技术低一个数量级。

图 13. FinFET 设计减小了泄漏电流



(图片经过 Intel 公司的授权)

Intel 真正的引领了 FinFET 技术。Intel 的第一代采用了 22 nm，他们现在的第二代“三栅极”技术则在 14 nm 上实现。Altera SoC FPGA 将在 14 nm 工艺节点上采用三栅极技术。

关于 Altera 实现 FinFET 技术的规划的详细信息，请参考“[FPGA 采用三栅极技术，实现突破性优势](#)”白皮书。

工具发展路线图

对于调试和开发工具，Altera 与 ARM 达成了长期战略合作关系。2012 年 12 月，两家公司宣布了独家协议，共同开发 ARM DS-5™ 嵌入式软件开发工具包，为 Altera SoC FPGA 提供 FPGA 自适应调试功能。Altera 版 ARM Development Studio 5 (DS-5) 工具包消除了集成双核 CPU 子系统与 Altera SoC 器件中 FPGA 架构的调试壁垒。ARM 体系结构最先进的多核调试器与 FPGA 逻辑自适应能力相结合，这一新工具包通过标准 DS-5 用户接口，为嵌入式软件开发人员提供了前所未有的全芯片可视化和控制功能。双方会继续合作，进一步增强特性和性能，在 Altera 未来硅片发展路线图中含有 FPGA 自适应调试功能，这包括 Stratix 10 SoC FPGA。

与此同时，Altera 在 FPGA 上采用了 OpenCL™ 标准，与目前的其他硬件体系结构 (CPU、GPU，等) 相比，能够大幅度提高性能，同时降低了功耗。OpenCL 采用了扩展 ANSI C，与使用 Verilog 或者 VHDL 等底层硬件描述语言 (HDL) 的传统 FPGA 开发方法相比，使用 OpenCL 标准、基于 FPGA 的异构系统 (CPU + FPGA) 具有明显的产品及时面市优势。Altera 于 2010 年加入 Khronos 集团，为即将发布的 OpenCL 2.0 规范做出了积极贡献。Altera 开发了面向 OpenCL 的 SDK，提供编译器将 OpenCL 代码编译为 HDL。编译器处理内核代码，生成编程文件。然后，编程文件下载到 FPGA 中，运行硬件加速或者其他功能。

2013 年 10 月，Altera 宣布其面向 OpenCL 的 SDK 符合 OpenCL 1.0 标准，名列 Khronos 集团的 OpenCL 一致性产品名录中。Altera 是当时唯一能够提供 FPGA 最优 OpenCL 解决方案的公司，支持软件开发人员充分利用 FPGA 大规模并行体系结构来实现系统加速。Altera 在 OpenCL 和多核、异构、并行处理方面的创新在今后会不断进步，通过 SoC FPGA 增强性能，提高设计人员的效能。

 关于 Altera 为 SoC FPGA 提供的 OpenCL 产品的详细信息，请参考“[采用 OpenCL 标准实现 FPGA 设计](#)”白皮书。

开发工具

SoC FPGA 为实现更快、更便宜、能效更高的电子产品开辟了新途径。但是，伴随着硬件创新，开发和调试工具也应该不断创新。软件最终决定了设计人员能否成功的使用这些器件。为实现更广泛的应用，软件开发人员必须找到合适的 SoC FPGA，掌握其特性，就像独立处理器那样轻松高效的使用它们。[表 18](#) 总结了 Altera SoC 嵌入式设计套装 (EDS) 开发环境 —— 使用了 ARM DS-5 Altera 版工具，与供应商B提供的调试工具之间的不同之处。

表 18. SoC FPGA 器件的在系统调试和开发工具特性

功能 / 特性	Altera SoC EDS (ARM DS-9 Altera 版)	供应商 B 的调试工具
对比的版本	13.1	2013.3
FPGA 自适应调试	是	否
所有 ARM 处理器和 FPGA 工具采用一条 USB 电缆来调试和工作	是	否
外设寄存器自动显示	是	否
VFP 和 Neon 寄存器显示	是	否
调试：单步、观察点，等等	是	是
CPU↔FPGA CoreSight 兼容交叉触发	是	否 供应商专有

表 18. SoC FPGA 器件的在系统调试和开发工具特性

功能 / 特性	Altera SoC EDS (ARM DS-9 Altera 版)	供应商 B 的调试工具
CPU↔FPGA 交叉触发, 提供时间戳和跟踪数据流。	是, ARM CoreSight™ 兼容, 使用了系统跟踪宏单元 (STM)	否, 需要购买其他的第三方硬件和软件。
处理器跟踪支持	是	否, 需要其他的第三方硬件和软件。
跟踪缓冲	32 KB	4 KB
转发跟踪数据包到其它目的地 (例如, DRAM 或者高速收发器)	是 Coresight 嵌入式跟踪转发模块	否
转发跟踪数据包到外部跟踪探头	是	是
ARM 跟踪数据流中含有 FPGA 信息	是 使用 ARM CoreSight STM	是 供应商专有解决方案
硬件辅助跟踪支持原生的 Linux 开发	是 内核和应用	否
同时多内核调试	是 ARM DS-5 专门为多内核系统设计	否
不对称多处理 (AMP) 应用的多核调试	是	是
对称多处理 (SMP) 操作系统的多核调试	是	否
Linux 内核支持	是	否
非嵌入式代码分析	是 ARM 流包括处理器、FPGA, 以及功耗分析: 参考 ds.arm.com/ds-5/optimize/ (参见图 16)	否
半主机支持 (主机和 ARM 处理器之间通过 JTAG 进行通信) 请参考: infocenter.arm.com/help/index.jsp?topic=/com.arm.doc.dui0471c/Bgbjjgij.html	是	否
FPGA 逻辑分析器	SignalTap™ II 逻辑分析器	是
裸机应用开发	可修改硬件库, 提供友好开放的 BSD 许可。	供应商专有 BSP 工程开发
硬件 VFP 和 NEON 编译器支持	是 计划在 14.0 中为裸机编译器提供 (Linux) 支持	是 (Linux/裸机)

软件开发一直是工程规划的主要部分。同一器件上处理器组合 FPGA 的这种混合特性增加了新的开发挑战。必须仔细考虑这种新方向会怎样影响工程规划、工程团队的学习曲线，以及过去在软件工具上的投入。

开发工具面临的挑战

“FPGA”中的“FP”表示“现场可编程”，意味着硬件工程团队在项目开发过程中对硬件编程，这些硬件甚至在运行时还可以重新配置。与传统 SoC 器件相比，这种现场可编程能力带来了重要的两种软件含义：

- 分别开发并调试 CPU 软件和 FPGA 程序。彼此几乎没有什么关联。以前，嵌入式开发人员只针对传统 SoC 硬体进行嵌入式软件开发。
- 软件开发工具以及随 SoC FPGA 一起发售的电路板支持包 (BSP) 能够为 SoC FPGA 提供所有硬化的标准外设支持。可是由于 FPGA 是用户可定义的，传统嵌入式开发工具和 BSP 并没有包含任何硬件团队要开发的基于 FPGA 的外设及其对应的内存映射信息和调试工具。

因此，体系结构很重要这种理念应尽可能体现在软件中，如同在硬件中一样。

ARM 兼容性是既有的；FPGA 实现则突出了优势

首先也是最重要的，这些新器件的工具应兼容 ARM，利用了 ARM 辅助支持系统，这一点非常关键。目前市场上的所有 SoC FPGA 都采用了 ARM 处理器 IP，通常包括了来自 ARM 处理器软件开发工具广大的辅助支持系统的支持。但是，每一家供应商针对器件增加的 FPGA 部分有不同的处理方法。这些不同对以下方面的影响较大：

- 全芯片调试
- 分析 CPU 和 FPGA
- 多核调试
- 标准工具和流程

全芯片调试

在独立处理器上调试应用程序是很好理解的问题，有成熟的软件辅助支持系统提供成熟的解决方案。采用 SoC FPGA，SoC 不再是预定义的，相应的，调试工具必须支持很多新结构：

- 在 FPGA 中实现的其他的用户定义外设
- 在 FPGA 中实现的含有硬件加速模块的软件功能
- FPGA 中实现专用算法的定制逻辑模块

传统的软件调试工具从未设计过 FPGA 中的定制开发功能，传统的 FPGA 工具与软件工具也没有什么关系。直到最近，CPU 和 FPGA 子系统之间出现了一道“虚拟墙”。为打破这种调试壁垒，必须有一套工具提供：

- 处理器和 FPGA 子系统的全芯片可视化
- CPU 和 FPGA 子系统之间的交叉触发和在系统跟踪
- 软件、CPU 硬件和 FPGA 硬件事件的全系统监视
- 性能分析

上面列出的功能为调试领域开辟了新时代，调试工具自己能够适应调试目标。理想情况下，调试工具与 FPGA 一样灵活，开发人员鱼和熊掌兼得——成熟而且自适应。

FPGA 自适应调试

“FPGA 自适应”意味着，软件调试工具自动适应由于 FPGA 逻辑变化导致的硬件变化。换句话说，硬件工程师对 FPGA 进行更新时，软件调试视图能够自动更新——任何基于 FPGA 的外设自动出现在寄存器视图中。

FPGA 自适应调试器需要哪些功能？必须能在编程人员模型中看到 FPGA 常驻硬件设计，在调试器的寄存器窗口寄存器组中能够看到它。硬件团队修改或者更新 FPGA 逻辑后，软件调试器应能够找到不同之处，在调试器中看到新硬件。通过这种功能，用户现在可以像 CPU 子系统那样轻松的看到并控制 FPGA 子系统。

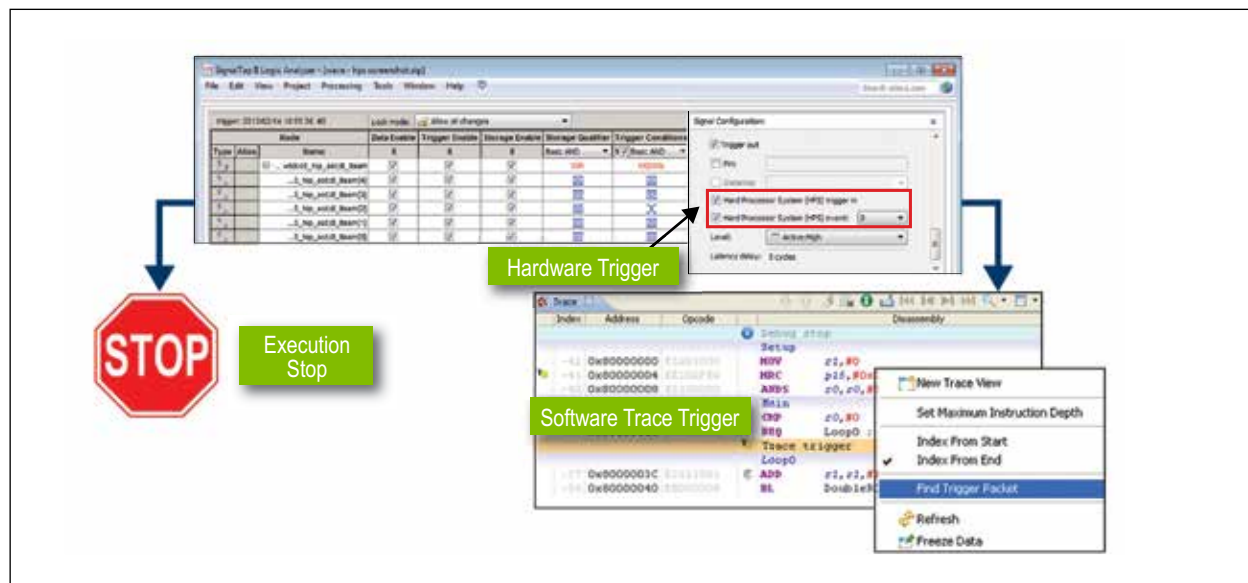
ARM 和 FPGA 开发只需要一条调试电缆

虽然为 ARM 处理器的软件提供了调试工具及其相关的电缆，在硬件方面则使用了 FPGA 供应商的工具和电缆，但是，同时使用它们则意味着要使用两条电缆和两套独立的工具。从实用的角度看，大部分开发人员希望有一条低成本 JTAG 电缆，同时支持硬件和软件工具。这样，硬件和软件团队能够一起工作，同时打开他们所有的工具——实现真正意义上的合作。

硬件和软件之间的交叉触发

当调试出现问题时，开发团队都希望能够确定这是硬件还是软件问题。如果处理器子系统 和 FPGA 子系统能够从代码到波形进行交叉触发，或者从波形到代码进行交叉触发，这就很容易找到问题，开发团队找到并跟踪系统中出现的某一状态，分析为什么会出现这一状态。图 14 显示了来自 ARM DS-5 Altera 版工具包软件的一个交叉触发实例。交叉触发、跟踪和全局时间戳是 IP 验证、定制驱动开发以及工程中系统集成部分非常重要的特性。

图 14. 从硬件环境到软件环境的交叉触发



作为对比，供应商 B 的调试工具看起来能够支持交叉触发，但是，使用了专用的非 CoreSight 机制。专用方法虽然能够支持处理器和 FPGA 硬件之间进行交叉触发，但是，缺少 ARM DS-5 环境的某些内置可视化功能，例如，全局时间戳等。而且，供应商 B 的跟踪缓冲要小很多 (4 KB，而 Altera SoC FPGA 有 32 KB)。供应商 B 的确可以选择支持某些扩展跟踪功能，但是，这要求其他的第三方调试硬件和软件，需要额外的开支。

跟踪并监视硬件和软件事件

除了找到故障位置之外，还应该知道系统为什么会进入这种故障状态，是怎样进入的，这也非常重要。ARM 系统跟踪模块 (STM) 支持跟踪基于 CPU 的软件事件。当系统执行时，应用软件可以发出硬件和软件事件“探测”信号，以监视系统行为，深入探查其工作。在“FPGA 自适应”调试环境中，STM 支持 CPU 和 FPGA 域的事件监视，不要求系统停止工作。

分析 CPU 和 FPGA

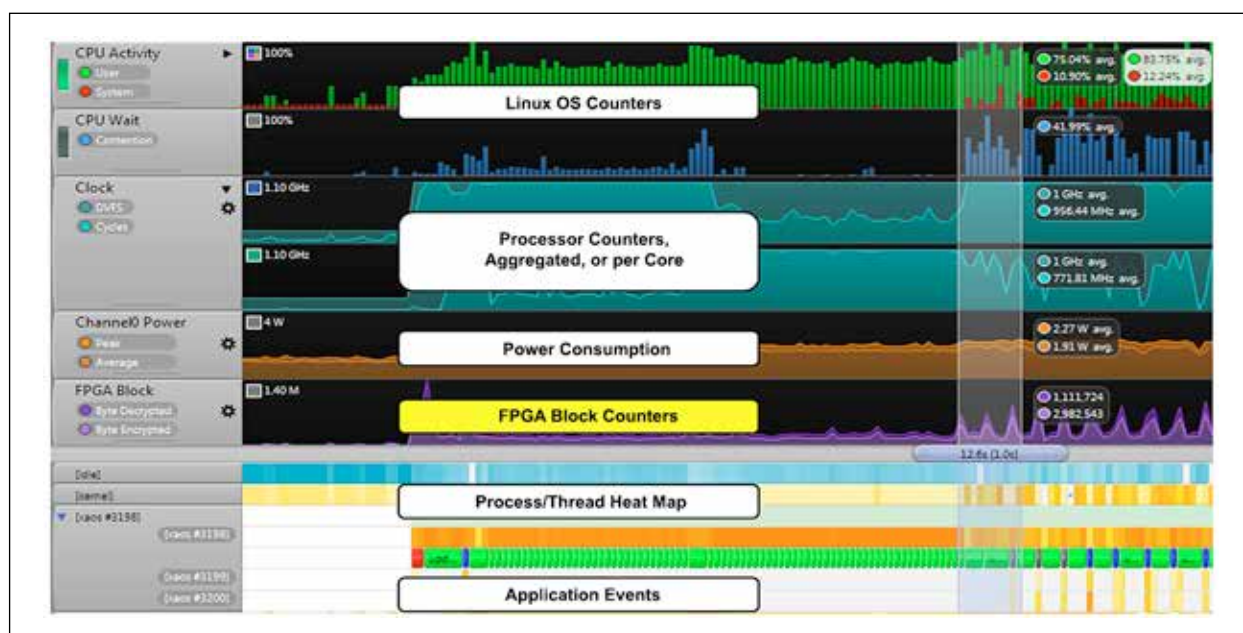
系统分析是任何好调试器都具备的功能，能够帮助开发人员解决常见问题：

- 系统中的热点在哪里？
- CPU 内核的时间都花在了哪里？
- 所使用的高速缓存效率有多高？

为能够让分析功能在具有集成 FPGA 的处理器系统中真正发挥作用，FPGA 事件也必须是分析的一部分。否则，没有 FPGA 自适应调试功能，开发人员只能看到并控制部分芯片！

图 15 显示了 ARM DS-5 Altera 版工具包中的 ARM DS-5 流线工具怎样对 SoC FPGA 中的处理器和 FPGA 单元进行非置入式探测分析。

图 15. ARM DS-5 流线工具实现了 SoC FPGA 的处理器和 FPGA 之间的可视化



多核调试

正如同 PC 已经发展到了多核处理器，多核也在嵌入式系统中非常普遍了。随着嵌入式向多核的发展，开发工具也应该随之改变。为多核平台开发软件要比单核复杂得多。应该把断点设在哪一个内核上？软件在某一时刻运行在哪一内核上？这些问题对于多核调试都非常关键。

在多核调试中，能够同时独立控制并监视处理器内核是非常有必要的。在某些情况下，需要在一个断点上停止所有内核。但是，在其他情况下，只需要在断点处停止一个处理器，而另一个内核继续执行代码。最好还能查看每一内核上运行的软件。调试器和分析工具应能够设计支持多核应用。作为对比，GNU 基于 GDB 的调试工具最初只是设计满足单核需求。基于 GDB 的调试器工作起来非常好，但是一次只能处理一个内核。在多核系统中使用基于 GDB 的调试器时，可以在多个内核上设置断点。但是，当应用软件最终遇到一个断点时，只能观察触发断点的内核。实际上，每次只能调试一个内核。在调试阶段无法看到其他内核，这对于多核调试而言是很大的局限。

好在 ARM 及其辅助支持系统合作伙伴积极应对这一多核难题，开发了功能强大的高质量多核调试工具。当选择一款 SoC FPGA 时，重要的一点是所选择的 SoC FPGA 系列比较容易使用真正的多核调试器。

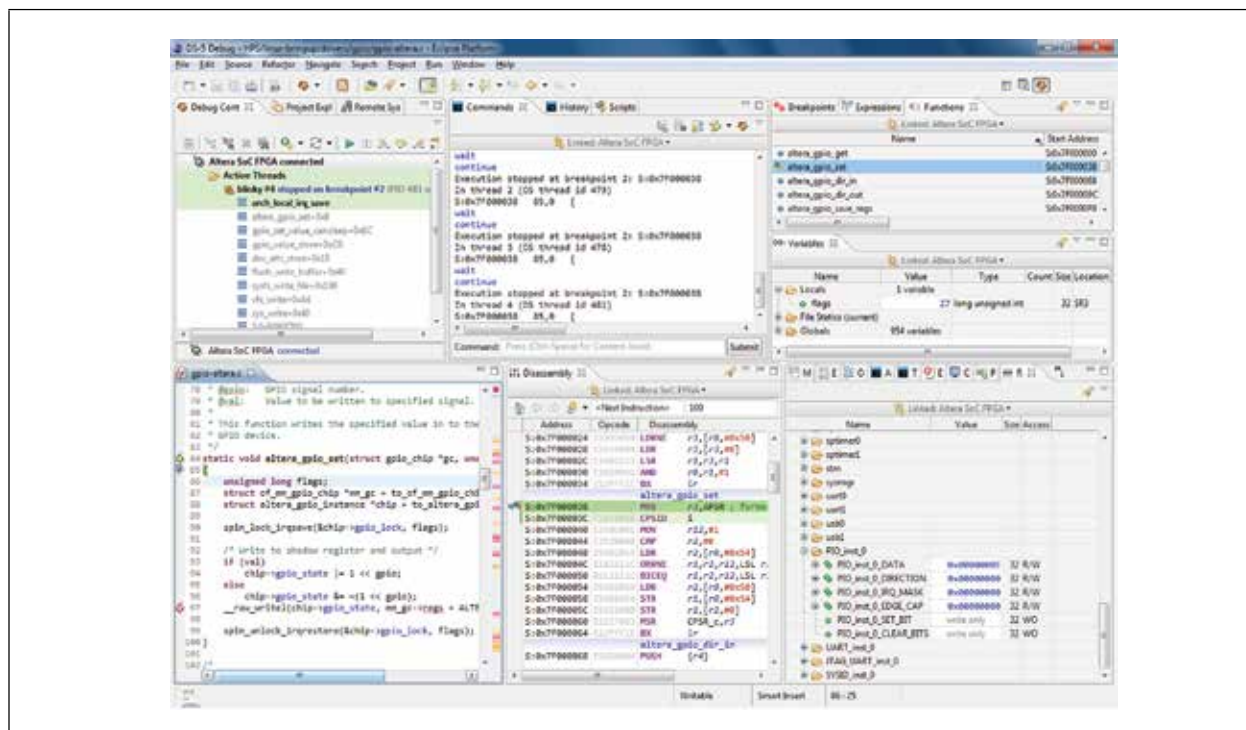
标准工具和流程

对于软件工程师，每个人都不熟悉的新“流程”或者新的“端到端”工具会降低效能。相反，软件工程师使用熟悉而又成熟的工具效率会更高，他们早就知道怎样使用这些工具了。在熟悉的工具中可以使用新的硬件特性。大部分工程师希望使用有很多支持的“标准”工具来编辑、编译、下载、调试他们的应用程序，而不是采用新的专用流程。

Altera 版 ARM DS-5 工具包

为满足本文介绍的 SoC FPGA 软件开发和调试需求，Altera 决定与业界领跑者 ARM 合作开发特殊版本的业界标准 ARM DS-5 工具包，以支持实现 Altera SoC FPGA 的特性，发挥其优势。通过这一业界领先的协议，ARM DS-5 Altera 版工具包使用熟悉的业界标准接口，提供了 FPGA 自适应调试和其他关键多核特性，如图 16 所示。这一工具包还支持在硬件和软件调试中只使用一条 Altera USB-Blaster™ II 电缆。

图 16. 很多 ARM 开发人员已经非常熟悉 ARM DS-5 Altera 版工具包接口



关于 ARM DS-5 Altera 版工具包的详细信息，请参考 www.altera.com/devices/processor/arm/cortex-a9/software/proc-arm-development-suite-5.html

开发工具总结

实现这些新器件先进的特性同时保证工程按期完成的关键是有一款优秀的在系统调试工具，能够同时深入观察并控制 SoC FPGA 的 ARM 处理器和 FPGA 逻辑。第 31 页的表 18 对 Altera EDS 和另一 SoC FPGA 供应商的工具进行了逐项对比。

结论

SoC FPGA 是功能强大的新一代可编程器件，适用于多种电子设计。商用器件集成了标准 ARM 处理器——Cortex-M3 或者功能更强大的双核 Cortex-A9，以及丰富的外设、片内存储器、高速内部互联体系结构、分层片内存储器，还有前沿的 FPGA 架构。这些器件表面上看起来非常相似，但是底层体系结构却不尽相同。

本白皮书讨论了为您的特殊应用选择最佳 SoC FPGA 的一些标准，包括，系统性能、设计可靠性和灵活性、系统成本、功耗、未来产品发展路线图，以及开发工具在帮助这些 SoC FPGA 取得成功方面所扮演的重要作用。

 关于为某一设计选择 SoC FPGA 的详细帮助信息，请参考“[SoC FPGA 设计考虑检查表](#)”，其总结了本白皮书所包含的相关信息。

详细信息

- 系列视频：深入了解：SoC FPGA
www.altera.com/socarchitecture
- SoC 简介：
www.altera.com/socfpga
- 白皮书：SoC 实时性挑战和机遇
www.altera.com/literature/wp/wp-01190-real-time-socs.pdf
- 白皮书：基于 SoC FPGA 的存储器系统中的纠错码
www.altera.com/literature/wp/wp-01179-ecc-embedded.pdf
- 白皮书：采用低功耗 28-nm FPGA 实现最低系统功耗
www.altera.com/literature/wp/wp-01181-lowest-system-power.pdf
- 白皮书：FPGA 自适应软件调试和性能分析
www.altera.com/literature/wp/wp-01198-fpga-software-debug-soc.pdf
- ARM 白皮书：更好的跟踪，更好的软件
www.arm.com/files/pdf/Better_Trace_for_Better_Software_-_CoreSight_STM_with_LTTng_-_19th_October_2010.pdf
- Altera 版 ARM Development Studio 5 (DS-5) 工具包：
ds.arm.com/altera

致谢

- Todd Koelling，SoC 产品高级经理，Altera 公司。

文档修订历史

表 19 列出了本文档的修订历史。

表 19. 文档修订历史

日期	版本	进行的修改
2013 年 11 月	1.0	初次发布。