白皮书

Altera在65nm半导体工艺上的发展策略

引言

Altera在65nm半导体制造工艺上的发展策略是充分利用先进的技术和方法，以最低的成本为客户提供性能最好的器件，同时降低客户风险，保证产品尽快面市。Altera在130nm和90nm器件上的市场份额表明，高级半导体技术本质上存在风险，在一定程度上促进了FPGA体系结构的市场发展。因此，Altera自从2003年上半年以来，一直在稳固开发和测试其65nm技术。本文研究Altera在65nm工艺上的工程策略，介绍公司如何为客户降低生产和计划风险，从根本上提高密度、性能，降低成本和功耗。

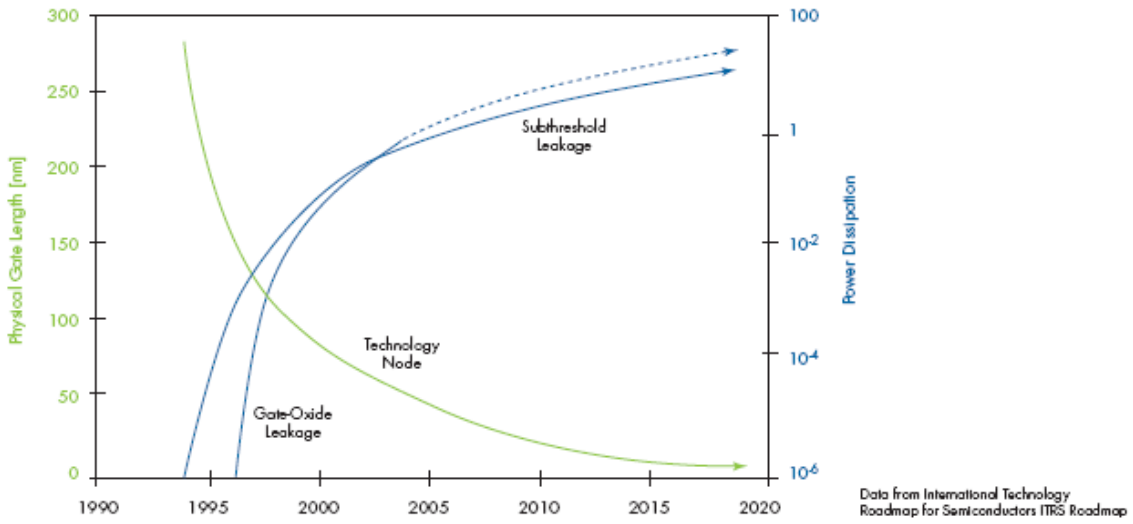
随着半导体制造技术达到新的极限，在65nm工艺节点上出现了特殊的产品规划、设计和交付难题。在130nm和90nm通道尺度上还可以处理的深亚微米效应，包括功耗增加、工艺偏差以及参数失效等，成为65nm工艺最显著的工程挑战。这一工艺节点的IC开发存在很大的风险，影响FPGA的工艺和性能。由于许多客户选择了可编程逻辑作为风险移植策略，Altera应用业界最前沿、最全面的方法来控制这种风险。

65nm的功耗

迈向65nm工艺体现了摩尔定律对密度和性能的预测。例如，与基于90nm的Stratix II器件相比，下一代65nm工艺Stratix® FPGA系列大大提高了性能，进一步巩固了Altera的密度领先地位，扩大了Altera®的器件优势。65nm工艺也降低了Altera Cyclone®系列器件的成本，与竞争产品相比，具有更大的性价比优势。

然而，65nm工艺在性能上的提高会导致功耗明显增加，器件可能会消耗过高的功率。如果不采用降低功耗的方法，由于静态功耗增加，65nm工艺的功耗将成为关键问题。漏电流是导致静态功耗增加的主要原因，漏电流包括65nm工艺上更薄的栅极氧化层隧道电流，以及亚阈值泄漏等(沟道和漏极至源极电流)。图1显示了这些漏电流源(蓝色表示)是怎样随着逻辑门尺寸(绿色表示)的下降而增加的。同样的，如果不采取特殊的功耗优化措施，由于开关晶体管密度的增加以及开关频率的增加，动态功耗也会增加。

图1. 在更小的工艺尺寸上，静态功耗会显著增加。



尽管不同应用有不同的功耗要求，低功耗在成本、复杂度和可靠性上有明显的优势，因此，降低功耗对任何硬件平台总是有好处的。除了65nm工艺对功耗特性的要求之外，当今的设计趋势(例如，提高系统外形的紧

凑度以及便携性)，也大大增加了PLD对功耗的敏感程度。在某些“范围受限”的应用中，墙插电源是主要供电电源，系统外形非常小，而且非常薄，很难采用气流、热沉以及其他散热管理方案。便携式应用是FPGA相对较新的应用领域，在这种应用中，电池使用时间对静态和动态功耗提出了新的限制要求。设计目标的变化促使功耗成为选择PLD的首要标准。

“在需要的地方提高性能”—Altera降低功耗的策略

客户使用的Altera器件和Quartus® II软件是Altera的IC设计人员和软件工程师密切合作、共同努力而设计实现的。例如，Altera的IC设计人员和软件工程师采用通用共享模型集，综合考虑功耗和性能，确定最佳方案是采用硬件还是通过软件实现。Altera在降低65nm功耗上的策略是结合高级工艺技术、改进结构以及强大的软件工具，尽可能满足客户的功耗和性能要求。Altera还为可编程逻辑提供当今最精确的功耗估算工具。

Altera在降低功耗上的策略是帮助客户尽可能控制好功耗和性能，在这两方面达到均衡。Altera的65nm低功耗策略包括：

- 功耗最佳硅工艺
  - 三次氧化
  - 芯片应变
  - 低k绝缘
- 用户可选的内核电压
- 可设置功耗技术
  - 高性能模式
  - 低功耗模式
- Quartus II软件中内置的PowerPlay功耗分析和优化工具

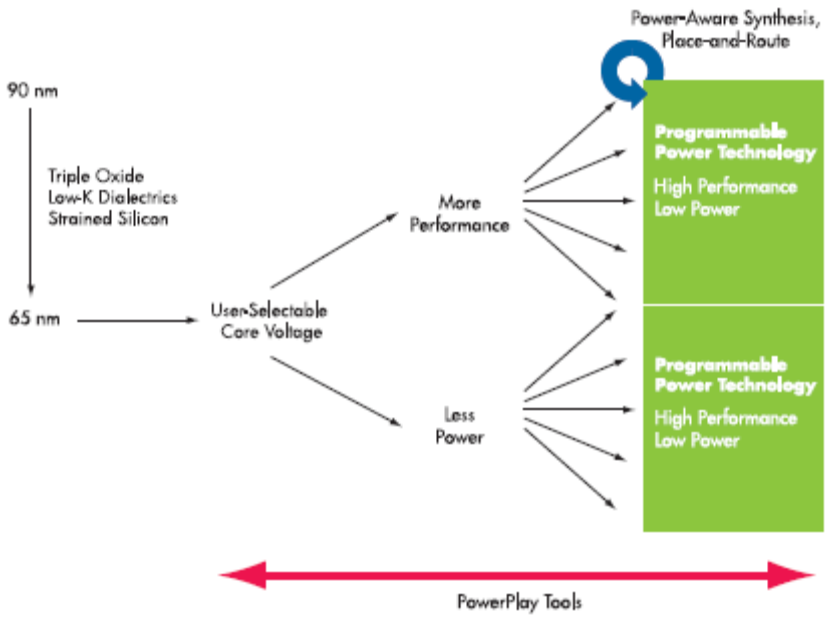
功耗最佳硅工艺

在65nm工艺中，Altera采用了三重氧化技术来降低漏电流。三重氧化提高了晶体管电压阈值，但是会降低晶体管的性能，因此，Altera巧妙的采用了这种晶体管技术来降低功耗，同时为用户设计提供最佳性能。Altera还使用了应变硅，提高晶体管中的载流子移动能力，增加驱动电流，但是不会增加漏电流。最后，Altera使用低k绝缘工艺来隔离金属层，减小了电容，从而直接降低了动态功耗。

用户可选内核电压

用户可选内核电压技术使客户能够选择不同等级的功耗和性能。选择最低的支持内核电压，平均降低30％的动态功耗。如果性能没有达到要求，用户可以选择更高的电压，然后使用不同的方法来降低功耗，而且不会破坏时序要求，如图2所示。

图2. Altera在65nm工艺上降低功耗的方法包括工艺优化和用户可选的功耗优化工具



可编程功耗技术

Altera对典型FPGA设计的分析表明，为达到最终用户性能要求而设计的关键通道数量以及关键通道速率对功耗影响较大。分析结果显示，高密度FPGA中有10％的逻辑位于设计中的关键通道上。Altera可编程功耗技术将器件中的不同逻辑电路配置为高性能模式或者低功耗模式。利用这一独特的技术，关键通道可以工作在高性能模式下，而设计的其余部分则工作在低功耗模式下，以降低功耗。采用这种强大的FPGA结构特性，用户能够得到所需要的性能，满足设计的特殊要求，同时降低器件其他部分的功耗。

通过使用Altera Quartus II软件，用户可以实现这些功耗优势。该软件具有PLD业界最精确的功耗工具，包括功耗优化向导、功耗估算，以及功耗优化的三个步骤，如下所述：

- *“功耗预知”逻辑综合：*Quartus II软件对设计进行综合，减少或者去除高频触发逻辑，降低每一时钟周期中访问的RAM模块数量。
- *功耗预知布局布线：*Quartus II软件对信号进行布局，减小电容，或者建立更省电的DSP模块配置。
- *功耗预知模式汇集：*Quartus II软件对器件中没有使用的部分进行设置，使其进入低功耗模式，从而降低了总功耗。

PowerPlay功耗分析和优化工具

Quartus II软件含有PowerPlay功耗分析和优化工具，根据时序约束，自动进行功耗优化。设计工程师将时序约束设置为设计输入流程的一部分，对设计进行综合。PowerPlay功耗分析工具为每一逻辑区域自动选择所需要的性能，通过功耗预知布局布线来降低功耗。这样，最终设计能够以最小功耗满足客户的时序要求。

Altera的功耗/性能优势

Altera在65nm工艺上的功耗策略显著降低了65nm器件的漏电流。尽管业界普遍认为65nm器件较大的漏电流会导致出现用户无法承受的静态功耗，但是Altera的65nm FPGA要比90nm FPGA和竞争65nm FPGA的静态功耗低。通过采用创新的功耗降低技术，Altera的65nm FPGA动态功耗也要低于90nm FPGA和竞争65nm FPGA，而性能大大提高。

除了更低的功耗以外，Altera还延续了对竞争65nm产品的性能优势。例如，一个设计从90nm Stratix II器件移植到65nm Stratix III器件后，在相同的工作频率下，其功耗会降低50％(参见表1)。希望通过从Stratix II FPGA转向Stratix III FPGA来提高性能的用户，其功耗会降低30％，同时在性能上提高20％。

表1. Altera努力降低65nm工艺的功耗，不但提高了性能，而且功耗要低于90nm器件。

设计时钟频率	从Stratix II器件到Stratix III器件的总功耗变化
+20%	-30%
相当	-50%

采用FPGA设计软件，通过从工艺创新到智能功耗管理的所有功耗管理措施，Altera用户在65nm工艺上获得了最大利益，得到了所需的性能以及最低的功耗。

65 nm产品挑战

Altera虽然克服了这些功耗问题，但是在转向更高级工艺时，还存在固有的生产风险。在更小的几何尺寸上，制造工艺的变化对器件工作影响很大。半导体制造工艺的不稳定来自多种原因，包括光刻效应、化学机械抛光(CMP)导致的金属层厚度变化、搀杂波动、逻辑门尺寸和氧化层厚度的变化以及量子阱邻近效应(WPE)等。

尤其是65nm工艺光刻技术，由于器件尺寸以及彼此之间的空隙小于光刻半波长，因此在这一节点上存在很大的挑战。这意味着不能通过简单的使用相应形状和尺寸的光掩模板，在管芯上实现芯片功能，因为失真会导致最终得到的特性偏离最初的设想。已经开发了多种方法来解决这一问题，包括光接近校正(OPC)和相移掩模(PSM)等分辨率增强技术。然而，所有这些方法都没有彻底消除光刻导致的失真，而有些方法还引入了其他失真，导致更大的偏差。

不管来源如何，这些不稳定性是亚微米半导体生产面临的最大挑战。例如，在90nm设计中，WPE会增加60mV的阈值电压变化，导致对设计电路的预测偏离*(1)*。随着晶体管之间距离的缩短，这些效应的影响更加严重。布局产生的杂散电阻和电容增加了亚微米生产工艺的难度，对时序和信号完整性有一定的影响，而且对这些效应很难进行建模和分析。

降低65nm生产风险的策略

Altera采用了最新的技术来降低65nm生产中不利因素的影响。为了可靠实现工艺优势，同时降低前沿技术的风险，Altera采用的策略包括高级工艺技术、全面的65nm测试芯片程序以及降低缺陷密度的成熟系统。

统计静态时序分析降低了工艺拐点偏差

Altera采用的最新生产稳定技术是统计时序建模和分析，考虑了不同工艺、电压和温度条件下的时序和功能的统计分布，而不是仅仅关注最好和最差数值的传统方法。采用这些分布结果，了解电路在不同条件下的工作情况，Altera能够实现更好的性能，设置最佳参数。

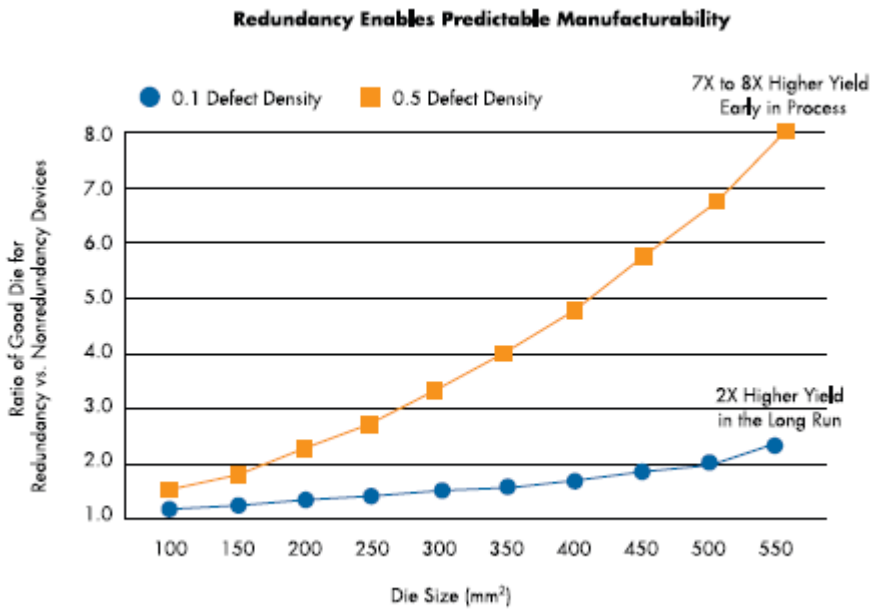
为了实现统计时序建模等前沿技术，Altera开发了专用方法，采用了来自多个EDA供应商的高级工具。例如，Altera使用Synopsys提供的“偏差预知”Star-RCXT工具，为杂散提取产生精确的电阻电容(RC)杂散值。Toshiba、Renesas和ATI在亚微米设计中也采用了Star-RCXT，它能够为65nm工艺中各种偏差导致的杂散现象进行精确建模，包括WPE和用于CMP偏置变化的金属填充工艺等*(2)*。通过采用最新的技术和工具来了解并评估65nm设计中的大量难点，例如杂散现象的来源和数值大小等，Altera降低了生产过程中的不确定性，可靠地生产了65nm器件。

独特的冗余技术提高了器件产量

Altera是唯一使用专利冗余技术的可编程逻辑供应商。在提高器件产量和器件可用性上，冗余是非常有效的方法。Altera在其FPGA中嵌入“冗余”列电路来实现这一技术。如果确定某一列存在制造缺陷，利用电熔丝停止使用该列，激活冗余列。这一技术保留了管芯，从而提高了硅晶片的总产量。

在工艺或者器件的早期阶段，较大的管芯更容易受到缺陷的影响，因此，冗余技术对大管芯更有效。在大管芯器件中采用冗余技术能够将产量提高8倍，如图3中的黄色曲线所示。通过这种方式，冗余技术提高了工艺周期早期的产量，迅速降低了成本。随着制造工艺的成熟和缺陷密度的增大，冗余技术将继续扮演重要角色，帮助Altera在今后将产量提高两倍，如图3中的蓝色曲线所示。总体上，冗余技术在Altera目前的产品质量中发挥了关键作用，使Alera能够比其他可编程逻辑供应商更迅速地提供大批量质量可靠的产品，特别是高密度产品。

图3. 在产品生命周期中，冗余技术实现了更高的产量。管芯尺寸以及冗余器件和非冗余器件中好管芯的总比例对比。



全面的测试芯片程序降低了客户风险

在130nm和90nm器件生产中，对于新半导体工艺体系结构和器件特性的早期评估以及精细加工，测试芯片程序是非常有价值的工具。这一策略使Altera器件产量稳步上升，已经证明能够突出产品在可编程逻辑行业中的优势。Altera在2003年4月下单生产了第一批65nm测试芯片，首批11款测试芯片用于仔细评估不同的电路、模块和设计方法。Altera的测试芯片程序在业界是最全面的，在产品投产之前，可以对65nm工艺的所有单元进行评估。利用系列测试芯片(如表2所示)，Altera采用了更多的特性和体系结构单元对设计进行分析和验证，包括早期技术评估、电路特性可行性测试和确定布线结构，以及优化等。

表2. Altera全面的测试芯片程序帮助客户避免了高级工艺开发中的风险。

测试芯片	下单
TC1	2003年第二季度
TC2	2004年第三季度
TC3A	2005年第二季度
TC3B	2005年第二季度
TC4	2005年第三季度
TC5A	2005年第三季度
TC5B	2005年第三季度
TC6A	2005年第四季度
TC6B	2005年第四季度
TC7	2006年第一季度
TC8	2006年第二季度

通过采集并分析测试芯片数据，Altera深入研究了各种随机和系统偏差的影响，开发设计策略来降低甚至消除这些不利影响。Altera在测试芯片上的大量投入帮助客户避免了前沿半导体设计中的风险。对风险管理的关注表明了Altera在可靠交付新技术产品上的承诺，Altera不会中断或者以有限的产量向客户供货，也不会提供达

不到要求的产品，不会象其他FPGA供应商那样推出还不成熟的器件。结果，Altera将会按计划在年底推出第一款65nm产品，在2007年达到量产。

系统检验过程

除了芯片测试阶段以外，Altera还在开发和生产阶段进行严格的检验，确保所有芯片产品符合设计要求。检验过程包括以下步骤：

1. Altera的IC设计团队进行大量仿真，确保设计达到功能、性能和功耗规范。
2. 通过严格的检验程序，Altera CAD和布局组确保设计模板完全符合Altera和TSMC的模板标准，成功实现设计。
3. 跨功能团队和TSMC对关键管芯区域进行工艺性设计(DFM)分析，保证能够可靠生产。这涉及到仔细分析设计布局，利用处理技术经验，去掉边缘，对布局进行优化，提高产量。
4. TSMC的模板设备保证了可靠的模板生产。大批量生产的最终产品不会出现模板尺寸边缘和缺陷导致的产量或者功能问题。
5. Altera与TSMC合作，确保芯片能够按要求制造，符合所有相应的线内物理规范(层厚度、线宽等)和端线电气规范(晶体管特性、金属线阻抗等)。
6. Altera产品工程组在晶片级和封装单元级进行全面的特性测试，确保最终产品符合所有规定的功能、性能和功耗规范。他们还分析非功能单元，与Altera其他团队一起确定产量下降的原因，反馈给TSMC，进行改进。
7. Altera的应用组从用户角度来测试器件，验证所有的器件特性，使用Quartus II软件开发配置文件，对器件进行编程，测试I/O电压电平，检验所有结构单元的功能。
8. Altera可靠性测试组负责测试芯片和最终产品，在严格的环境中进行测试，在最终发售给客户之前，确保最终产品的短期和长期质量。

Altera的每一新器件系列均采用了这一流程，并不断进行改进。在所有产品中采用这些严格的测试和检验流程，Altera保证了产品具有最好的质量、可靠性以及可用性。

Altera的代工线合作伙伴策略——业界最好、最强的合作伙伴

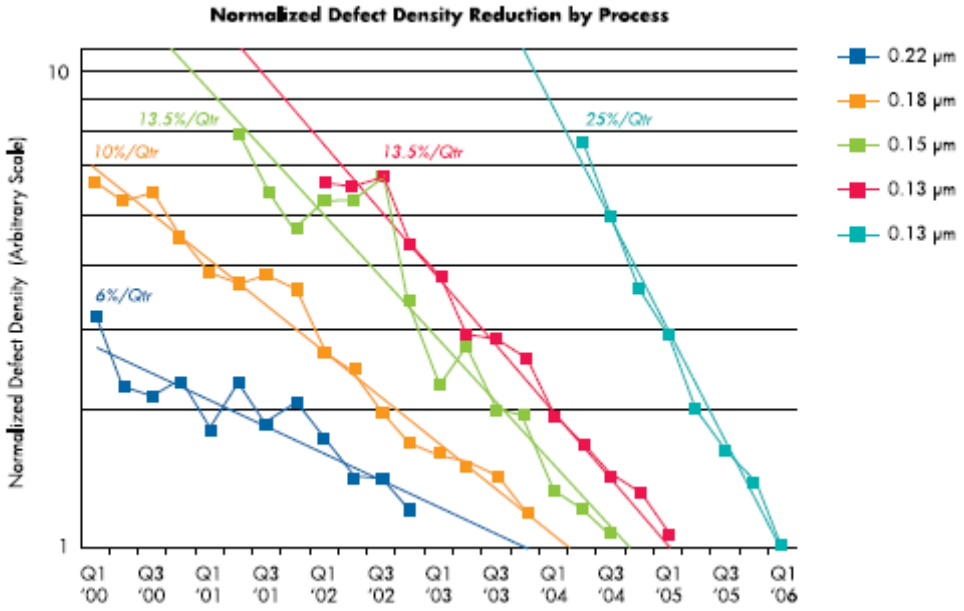
Altera的代工线合作伙伴TSMC是代工线市场的领先者。在专业代工线领域，TSMC占据了50％以上的世界市场份额，年度研究和开发投入超出最相近竞争对手55％。这些投入使TSMC在光刻和工艺性设计(DFM)方面占据了业界领先位置，进一步保证了TSMC能够成功交付高级工艺节点产品。例如，TSMC在浸入光刻技术上世界领先，这一下一代工艺技术利用光刻棱镜和清澈液体提供高分辨率光线，实现了体积更小、封装更紧凑的器件。

TSMC建立自己的模板集，完善了光刻技术，根据器件产量建立直接反馈机制。TSMC是少数具有这一能力的代工线之一，其模板制造设备在业界是同类产品中运行时间最长的，使TSMC能够比竞争对手更迅速高效的提高工艺性和产量。这些基础设施还为TSMC在DFM上的领先优势提供了强大的支持，其第一个DFM兼容计划包括首次统一各种工具的DFM数据格式、第一个DFM数据包，以及针对库和IP定义DFM兼容性等。

Altera和TSMC强强联合，65nm的成功是双方在实现高级工艺技术上长期合作的结果。Altera集中精力与业界最强大的代工线进行合作，而不是将注意力分散在不同的代工线上，从而能够交付可靠的产品，不会出现多个制造合作伙伴带来的产品不连续性以及供应链中断等问题。

通过双方的共同努力，Altera-TSMC合作的最显著成果是Altera产品的缺陷密度在稳步下降。芯片工艺中出现缺陷是不可避免的，在新工艺的早期阶段，缺陷密度往往会非常高。Altera和TSMC积极合作，通过持续反馈以及改进制造工艺，降低了缺陷密度。在过去的5个工艺节点中，Altera和TSMC不但有效的降低了缺陷密度，而且加速了这一过程(参见图4)，这需要在多个工艺节点上的密切合作才能实现。双方在可编程逻辑业界的长期合作使得Altera和TSMC在65nm FPGA推向市场过程中处于最有利的位置，能够迅速可靠的稳步提高产量。

图4. Altera的TSMC产品标准化缺陷密度和最近5个工艺节点曲线，显示了Altera和TSMC共同努力，加速降低了缺陷密度。



与Altera一起，和TSMC合作开发65nm工艺的其他半导体业界领先者包括Broadcom、QUALCOMM和Freescale。在这些主要半导体供应商的推动下，TSMC在专业代工线领域处于独一无二的位置，能够交付质量最可靠的65nm产品。

结论

Altera提供最先进的技术，快速成功地开发和生产创新产品，满足客户需要的特性和功能。65nm工艺的确具有很多优势，包括更好的性能和逻辑密度，以及低成本等，能够体现可编程逻辑的价值所在，这样，用户可以更加关注提高效能和降低风险的问题。Altera利用可编程逻辑业界最全面的措施，充分发挥65nm工艺的优势，同时解决了可能对工艺节点优势造成不利影响的功耗问题和生产难题。

参考文献

1. Polishchuk, Mathur, Sandstrom, Manos, Pohland, “Implant Process Modifications for Suppressing Well Proximity Effect,” Solid State Technology, April 2006.
2. Zemke, Lagu, Brelsford, “Numerical Analysis of Parasitic Effects in Deep Submicron Technologies,” SNUG 2005.

版权© 2006 Altera公司。保留所有版权。Altera、可编程解决方案公司、程式化Altera标识、专用器件名称和所有其他专有商标或者服务标记，除非特别声明，均为Altera公司在美国和其他国家的商标和服务标记。所有其他产品或者服务名称的所有权属于其各自持有人。Altera产品受美国和其他国家多种专利、未决应用、模板著作权和版权的保护。Altera保证当前规范下的半导体产品性能与Altera标准质保一致，但是保留对产品和服务在没有事先通知时的升级变更权利。除非与Altera 公司的书面条款完全一致，否则Altera不承担由此处所述信息、产品或者服务导致的责任。Altera建议客户在决定购买产品或者服务，以及确信任何公开信息之前，阅读Altera最新版的器件规范说明。