Bank Number	Index within I/O Bank *(1)*	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	F34	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
1F			REFCLK_GXBL1F_CHTp						M28				
1F			REFCLK_GXBL1F_CHTn						M27				
1F			GXBL1F_TX_CH5n						B31				
1F			GXBL1F_TX_CH5p						B32				
1F			GXBL1F_RX_CH5n,GXBL1F_REFCLK5n						C29				
1F			GXBL1F_RX_CH5p,GXBL1F_REFCLK5p						C30				
1F			GXBL1F_TX_CH4n						D31				
1F			GXBL1F_TX_CH4p						D32				
1F			GXBL1F_RX_CH4n,GXBL1F_REFCLK4n						E29				
1F			GXBL1F_RX_CH4p,GXBL1F_REFCLK4p						E30				
1F			GXBL1F_TX_CH3n						F31				
1F			GXBL1F_TX_CH3p						F32				
1F			GXBL1F_RX_CH3n,GXBL1F_REFCLK3n						G29				
1F			GXBL1F_RX_CH3p,GXBL1F_REFCLK3p						G30				
1F			GXBL1F_TX_CH2n						H31				
1F			GXBL1F_TX_CH2p						H32				
1F			GXBL1F_RX_CH2n,GXBL1F_REFCLK2n						J29				
1F			GXBL1F_RX_CH2p,GXBL1F_REFCLK2p						J30				
1F			GXBL1F_TX_CH1n						C33				
1F			GXBL1F_TX_CH1p						C34				
1F			GXBL1F_RX_CH1n,GXBL1F_REFCLK1n						K31				
1F			GXBL1F_RX_CH1p,GXBL1F_REFCLK1p						K32				
1F			GXBL1F_TX_CH0n						E33				
1F			GXBL1F_TX_CH0p						E34				
1F			GXBL1F_RX_CH0n,GXBL1F_REFCLK0n						L29				
1F			GXBL1F_RX_CH0p,GXBL1F_REFCLK0p						L30				
1F			REFCLK_GXBL1F_CHBp						P28				
1F			REFCLK_GXBL1F_CHBn						P27				
1E			REFCLK_GXBL1E_CHTp						T28				
1E			REFCLK_GXBL1E_CHTn						T27				
1E			GXBL1E_TX_CH5n						G33				
1E			GXBL1E_TX_CH5p						G34				
1E			GXBL1E_RX_CH5n,GXBL1E_REFCLK5n						M31				
1E			GXBL1E_RX_CH5p,GXBL1E_REFCLK5p						M32				
1E			GXBL1E_TX_CH4n						J33				
1E			GXBL1E_TX_CH4p						J34				
1E			GXBL1E_RX_CH4n,GXBL1E_REFCLK4n						N29				
1E			GXBL1E_RX_CH4p,GXBL1E_REFCLK4p						N30				
1E			GXBL1E_TX_CH3n						L33				
1E			GXBL1E_TX_CH3p						L34				
1E			GXBL1E_RX_CH3n,GXBL1E_REFCLK3n						P31				
1E			GXBL1E_RX_CH3p,GXBL1E_REFCLK3p						P32				
1E			GXBL1E_TX_CH2n						N33				
1E			GXBL1E_TX_CH2p						N34				
1E			GXBL1E_RX_CH2n,GXBL1E_REFCLK2n						R29				
1E			GXBL1E_RX_CH2p,GXBL1E_REFCLK2p						R30				
1E			GXBL1E_TX_CH1n						R33				
1E			GXBL1E_TX_CH1p						R34				
1E			GXBL1E_RX_CH1n,GXBL1E_REFCLK1n						T31				
1E			GXBL1E_RX_CH1p,GXBL1E_REFCLK1p						T32				
1E			GXBL1E_TX_CH0n						U33				
1E			GXBL1E_TX_CH0p						U34				
1E			GXBL1E_RX_CH0n,GXBL1E_REFCLK0n						U29				
1E			GXBL1E_RX_CH0p,GXBL1E_REFCLK0p						U30				
1E			REFCLK_GXBL1E_CHBp						V28				
1E			REFCLK_GXBL1E_CHBn						V27				
1D			REFCLK_GXBL1D_CHTp						Y28				
1D			REFCLK_GXBL1D_CHTn						Y27				
1D			GXBL1D_TX_CH5n						W33				
1D			GXBL1D_TX_CH5p						W34				
1D			GXBL1D_RX_CH5n,GXBL1D_REFCLK5n						V31				
1D			GXBL1D_RX_CH5p,GXBL1D_REFCLK5p						V32				
1D			GXBL1D_TX_CH4n						AA33				
1D			GXBL1D_TX_CH4p						AA34				
1D			GXBL1D_RX_CH4n,GXBL1D_REFCLK4n						W29				
1D			GXBL1D_RX_CH4p,GXBL1D_REFCLK4p						W30				
1D			GXBL1D_TX_CH3n						AC33				
1D			GXBL1D_TX_CH3p						AC34				
1D			GXBL1D_RX_CH3n,GXBL1D_REFCLK3n						Y31				
1D			GXBL1D_RX_CH3p,GXBL1D_REFCLK3p						Y32				
1D			GXBL1D_TX_CH2n						AE33				
1D			GXBL1D_TX_CH2p						AE34				
1D			GXBL1D_RX_CH2n,GXBL1D_REFCLK2n						AA29				
1D			GXBL1D_RX_CH2p,GXBL1D_REFCLK2p						AA30				
1D			GXBL1D_TX_CH1n						AG33				
1D			GXBL1D_TX_CH1p						AG34				
1D			GXBL1D_RX_CH1n,GXBL1D_REFCLK1n						AB31				
1D			GXBL1D_RX_CH1p,GXBL1D_REFCLK1p						AB32				
1D			GXBL1D_TX_CH0n						AJ33				
1D			GXBL1D_TX_CH0p						AJ34				
1D			GXBL1D_RX_CH0n,GXBL1D_REFCLK0n						AC29				
1D			GXBL1D_RX_CH0p,GXBL1D_REFCLK0p						AC30				
1D			REFCLK_GXBL1D_CHBp						AB28				
1D			REFCLK_GXBL1D_CHBn						AB27				
1C			REFCLK_GXBL1C_CHTp						AD28				
1C			REFCLK_GXBL1C_CHTn						AD27				
1C			GXBL1C_TX_CH5n						AL33				
1C			GXBL1C_TX_CH5p						AL34				
1C			GXBL1C_RX_CH5n,GXBL1C_REFCLK5n						AD31				
1C			GXBL1C_RX_CH5p,GXBL1C_REFCLK5p						AD32				
1C			GXBL1C_TX_CH4n						AN33				
1C			GXBL1C_TX_CH4p						AN34				
1C			GXBL1C_RX_CH4n,GXBL1C_REFCLK4n						AE29				

Bank Number	Index within I/O Bank *(1)*	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	F34	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
1C			GXBL1C_RX_CH4p,GXBL1C_REFCLK4p						AE30				
1C			GXBL1C_TX_CH3n						AH31				
1C			GXBL1C_TX_CH3p						AH32				
1C			GXBL1C_RX_CH3n,GXBL1C_REFCLK3n						AF31				
1C			GXBL1C_RX_CH3p,GXBL1C_REFCLK3p						AF32				
1C			GXBL1C_TX_CH2n						AK31				
1C			GXBL1C_TX_CH2p						AK32				
1C			GXBL1C_RX_CH2n,GXBL1C_REFCLK2n						AG29				
1C			GXBL1C_RX_CH2p,GXBL1C_REFCLK2p						AG30				
1C			GXBL1C_TX_CH1n						AM31				
1C			GXBL1C_TX_CH1p						AM32				
1C			GXBL1C_RX_CH1n,GXBL1C_REFCLK1n						AJ29				
1C			GXBL1C_RX_CH1p,GXBL1C_REFCLK1p						AJ30				
1C			GXBL1C_TX_CH0n						AP31				
1C			GXBL1C_TX_CH0p						AP32				
1C			GXBL1C_RX_CH0n,GXBL1C_REFCLK0n						AL29				
1C			GXBL1C_RX_CH0p,GXBL1C_REFCLK0p						AL30				
1C			REFCLK_GXBL1C_CHBp						AF28				
1C			REFCLK_GXBL1C_CHBn						AF27				
2L	47	VREFB2LN0	IO			DIFFIO2L_1n		No	D19	DQ0	DQ0	DQ0	DQ0
2L	46	VREFB2LN0	IO			DIFFIO2L_1p		No	C19	DQ0	DQ0	DQ0	DQ0
2L	45	VREFB2LN0	IO			DIFFIO2L_2n		No	B20	DQSn0	DQ0	DQ0	DQ0
2L	44	VREFB2LN0	IO			DIFFIO2L_2p		No	B21	DQS0	DQ0	DQ0	DQ0
2L	43	VREFB2LN0	IO			DIFFIO2L_3n		No	A21	DQ0	DQ0	DQ0	DQ0
2L	42	VREFB2LN0	IO			DIFFIO2L_3p		No	B22	DQ0	DQ0	DQ0	DQ0
2L	41	VREFB2LN0	IO			DIFFIO2L_4n		No	A20	DQSn1	DQSn0/CQn0	DQ0	DQ0
2L	40	VREFB2LN0	IO			DIFFIO2L_4p		No	A19	DQS1	DQS0/CQ0	DQ0	DQ0
2L	39	VREFB2LN0	IO			DIFFIO2L_5n		No	B18	DQ1	DQ0	DQ0	DQ0
2L	38	VREFB2LN0	IO			DIFFIO2L_5p		No	A18	DQ1	DQ0	DQ0	DQ0
2L	37	VREFB2LN0	IO			DIFFIO2L_6n		No	D17	DQ1	DQ0	DQSn0/CQn0	DQ0
2L	36	VREFB2LN0	IO			DIFFIO2L_6p		No	C18	DQ1	DQ0	DQS0/CQ0	DQ0
2L	35	VREFB2LN0	IO			DIFFIO2L_7n		No	D20	DQ2	DQ1	DQ0	DQ0
2L	34	VREFB2LN0	IO			DIFFIO2L_7p		No	C20	DQ2	DQ1	DQ0	DQ0
2L	33	VREFB2LN0	IO			DIFFIO2L_8n		No	C22	DQSn2	DQ1	DQ0	DQ0
2L	32	VREFB2LN0	IO			DIFFIO2L_8p		No	D22	DQS2	DQ1	DQ0	DQ0
2L	31	VREFB2LN0	IO			DIFFIO2L_9n		No	E19	DQ2	DQ1	DQ0	DQ0
2L	30	VREFB2LN0	IO			DIFFIO2L_9p		No	F19	DQ2	DQ1	DQ0	DQ0
2L	29	VREFB2LN0	IO	PLL_2L_CLKOUT1n		DIFFIO2L_10n		No	D21	DQSn3	DQSn1/CQn1	DQ0	DQ0
2L	28	VREFB2LN0	IO	PLL_2L_CLKOUT1p,PLL_2L_CLKOUT1,PLL_2L_FB1		DIFFIO2L_10p		No	E21	DQS3	DQS1/CQ1	DQ0	DQ0
2L	27	VREFB2LN0	IO			DIFFIO2L_11n		No	F20	DQ3	DQ1	DQ0	DQ0
2L	26	VREFB2LN0	IO	RZQ_2L		DIFFIO2L_11p		No	G20	DQ3	DQ1	DQ0	DQ0
2L	25	VREFB2LN0	IO	CLK_2L_1n		DIFFIO2L_12n		No	E18	DQ3	DQ1	DQ0	DQ0
2L	24	VREFB2LN0	IO	CLK_2L_1p		DIFFIO2L_12p		No	E17	DQ3	DQ1	DQ0	DQ0
2L	23	VREFB2LN0	IO	CLK_2L_0n		DIFFIO2L_13n		No	H19	DQ4	DQ2	DQ1	DQ0
2L	22	VREFB2LN0	IO	CLK_2L_0p		DIFFIO2L_13p		No	J19	DQ4	DQ2	DQ1	DQ0
2L	21	VREFB2LN0	IO			DIFFIO2L_14n		No	G17	DQSn4	DQ2	DQ1	DQSn0/CQn0
2L	20	VREFB2LN0	IO			DIFFIO2L_14p		No	F18	DQS4	DQ2	DQ1	DQS0/CQ0
2L	19	VREFB2LN0	IO	PLL_2L_CLKOUT0n		DIFFIO2L_15n		No	H18	DQ4	DQ2	DQ1	DQ0
2L	18	VREFB2LN0	IO	PLL_2L_CLKOUT0p,PLL_2L_CLKOUT0,PLL_2L_FB0		DIFFIO2L_15p		No	G18	DQ4	DQ2	DQ1	DQ0
2L	17	VREFB2LN0	IO			DIFFIO2L_16n		No	F21	DQSn5	DQSn2/CQn2	DQ1	DQ0
2L	16	VREFB2LN0	IO			DIFFIO2L_16p		No	G21	DQS5	DQS2/CQ2	DQ1	DQ0
2L	15	VREFB2LN0	IO			DIFFIO2L_17n		No	H17	DQ5	DQ2	DQ1	DQ0
2L	14	VREFB2LN0	IO			DIFFIO2L_17p		No	J17	DQ5	DQ2	DQ1	DQ0
2L	13	VREFB2LN0	IO			DIFFIO2L_18n		No	H20	DQ5	DQ2	DQSn1/CQn1	DQ0
2L	12	VREFB2LN0	IO			DIFFIO2L_18p		No	J20	DQ5	DQ2	DQS1/CQ1	DQ0
2L	11	VREFB2LN0	IO			DIFFIO2L_19n		No	M20	DQ6	DQ3	DQ1	DQ0
2L	10	VREFB2LN0	IO			DIFFIO2L_19p		No	L20	DQ6	DQ3	DQ1	DQ0
2L	9	VREFB2LN0	IO			DIFFIO2L_20n		No	L19	DQSn6	DQ3	DQ1	DQ0
2L	8	VREFB2LN0	IO			DIFFIO2L_20p		No	K19	DQS6	DQ3	DQ1	DQ0
2L	7	VREFB2LN0	IO			DIFFIO2L_21n		No	J21	DQ6	DQ3	DQ1	DQ0
2L	6	VREFB2LN0	IO			DIFFIO2L_21p		No	K21	DQ6	DQ3	DQ1	DQ0
2L	5	VREFB2LN0	IO			DIFFIO2L_22n		No	L21	DQSn7	DQSn3/CQn3	DQ1	DQ0
2L	4	VREFB2LN0	IO			DIFFIO2L_22p		No	M21	DQS7	DQS3/CQ3	DQ1	DQ0
2L	3	VREFB2LN0	IO			DIFFIO2L_23n		No	L18	DQ7	DQ3	DQ1	DQ0
2L	2	VREFB2LN0	IO			DIFFIO2L_23p		No	K18	DQ7	DQ3	DQ1	DQ0
2L	1	VREFB2LN0	IO			DIFFIO2L_24n		No	M18	DQ7	DQ3	DQ1	DQ0
2L	0	VREFB2LN0	IO			DIFFIO2L_24p		No	M17	DQ7	DQ3	DQ1	DQ0
2K	47	VREFB2KN0	IO				LVDS2K_1n	No	C23	DQ8	DQ4	DQ2	DQ1
2K	46	VREFB2KN0	IO				LVDS2K_1p	No	B23	DQ8	DQ4	DQ2	DQ1
2K	45	VREFB2KN0	IO				LVDS2K_2n	Yes	A26	DQSn8	DQ4	DQ2	DQ1
2K	44	VREFB2KN0	IO				LVDS2K_2p	Yes	B26	DQS8	DQ4	DQ2	DQ1
2K	43	VREFB2KN0	IO				LVDS2K_3n	No	B27	DQ8	DQ4	DQ2	DQ1
2K	42	VREFB2KN0	IO				LVDS2K_3p	No	C27	DQ8	DQ4	DQ2	DQ1
2K	41	VREFB2KN0	IO				LVDS2K_4n	Yes	D24	DQSn9	DQSn4/CQn4	DQ2	DQ1
2K	40	VREFB2KN0	IO				LVDS2K_4p	Yes	C24	DQS9	DQS4/CQ4	DQ2	DQ1
2K	39	VREFB2KN0	IO				LVDS2K_5n	No	A25	DQ9	DQ4	DQ2	DQ1
2K	38	VREFB2KN0	IO				LVDS2K_5p	No	B25	DQ9	DQ4	DQ2	DQ1
2K	37	VREFB2KN0	IO				LVDS2K_6n	Yes	A24	DQ9	DQ4	DQSn2/CQn2	DQ1
2K	36	VREFB2KN0	IO				LVDS2K_6p	Yes	A23	DQ9	DQ4	DQS2/CQ2	DQ1
2K	35	VREFB2KN0	IO				LVDS2K_7n	No	C25	DQ10	DQ5	DQ2	DQ1
2K	34	VREFB2KN0	IO				LVDS2K_7p	No	D25	DQ10	DQ5	DQ2	DQ1
2K	33	VREFB2KN0	IO				LVDS2K_8n	Yes	D26	DQSn10	DQ5	DQ2	DQ1
2K	32	VREFB2KN0	IO				LVDS2K_8p	Yes	E26	DQS10	DQ5	DQ2	DQ1
2K	31	VREFB2KN0	IO				LVDS2K_9n	No	F23	DQ10	DQ5	DQ2	DQ1
2K	30	VREFB2KN0	IO				LVDS2K_9p	No	E22	DQ10	DQ5	DQ2	DQ1
2K	29	VREFB2KN0	IO	PLL_2K_CLKOUT1n			LVDS2K_10n	Yes	D27	DQSn11	DQSn5/CQn5	DQ2	DQ1
2K	28	VREFB2KN0	IO	PLL_2K_CLKOUT1p,PLL_2K_CLKOUT1,PLL_2K_FB1			LVDS2K_10p	Yes	E27	DQS11	DQS5/CQ5	DQ2	DQ1
2K	27	VREFB2KN0	IO				LVDS2K_11n	No	F24	DQ11	DQ5	DQ2	DQ1
2K	26	VREFB2KN0	IO	RZQ_2K			LVDS2K_11p	No	F25	DQ11	DQ5	DQ2	DQ1
2K	25	VREFB2KN0	IO	CLK_2K_1n			LVDS2K_12n	Yes	E24	DQ11	DQ5	DQ2	DQ1
2K	24	VREFB2KN0	IO	CLK_2K_1p			LVDS2K_12p	Yes	E23	DQ11	DQ5	DQ2	DQ1
2K	23	VREFB2KN0	IO	CLK_2K_0n			LVDS2K_13n	No	F26	DQ12	DQ6	DQ3	DQ1
2K	22	VREFB2KN0	IO	CLK_2K_0p			LVDS2K_13p	No	G26	DQ12	DQ6	DQ3	DQ1

Bank Number	Index within I/O Bank *(1)*	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	F34	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
2K	21	VREFB2KN0	IO				LVDS2K_14n	Yes	J22	DQSn12	DQ6	DQ3	DQSn1/CQn1
2K	20	VREFB2KN0	IO				LVDS2K_14p	Yes	H22	DQS12	DQ6	DQ3	DQS1/CQ1
2K	19	VREFB2KN0	IO	PLL_2K_CLKOUT0n			LVDS2K_15n	No	H23	DQ12	DQ6	DQ3	DQ1
2K	18	VREFB2KN0	IO	PLL_2K_CLKOUT0p,PLL_2K_CLKOUT0,PLL_2K_FB0			LVDS2K_15p	No	H24	DQ12	DQ6	DQ3	DQ1
2K	17	VREFB2KN0	IO				LVDS2K_16n	Yes	G25	DQSn13	DQSn6/CQn6	DQ3	DQ1
2K	16	VREFB2KN0	IO				LVDS2K_16p	Yes	H25	DQS13	DQS6/CQ6	DQ3	DQ1
2K	15	VREFB2KN0	IO				LVDS2K_17n	No	G22	DQ13	DQ6	DQ3	DQ1
2K	14	VREFB2KN0	IO				LVDS2K_17p	No	G23	DQ13	DQ6	DQ3	DQ1
2K	13	VREFB2KN0	IO				LVDS2K_18n	Yes	G27	DQ13	DQ6	DQSn3/CQn3	DQ1
2K	12	VREFB2KN0	IO				LVDS2K_18p	Yes	H27	DQ13	DQ6	DQS3/CQ3	DQ1
2K	11	VREFB2KN0	IO				LVDS2K_19n	No	K22	DQ14	DQ7	DQ3	DQ1
2K	10	VREFB2KN0	IO				LVDS2K_19p	No	K23	DQ14	DQ7	DQ3	DQ1
2K	9	VREFB2KN0	IO				LVDS2K_20n	Yes	M23	DQSn14	DQ7	DQ3	DQ1
2K	8	VREFB2KN0	IO				LVDS2K_20p	Yes	L23	DQS14	DQ7	DQ3	DQ1
2K	7	VREFB2KN0	IO				LVDS2K_21n	No	J26	DQ14	DQ7	DQ3	DQ1
2K	6	VREFB2KN0	IO				LVDS2K_21p	No	J27	DQ14	DQ7	DQ3	DQ1
2K	5	VREFB2KN0	IO				LVDS2K_22n	Yes	J25	DQSn15	DQSn7/CQn7	DQ3	DQ1
2K	4	VREFB2KN0	IO				LVDS2K_22p	Yes	K25	DQS15	DQS7/CQ7	DQ3	DQ1
2K	3	VREFB2KN0	IO				LVDS2K_23n	No	J24	DQ15	DQ7	DQ3	DQ1
2K	2	VREFB2KN0	IO				LVDS2K_23p	No	K24	DQ15	DQ7	DQ3	DQ1
2K	1	VREFB2KN0	IO				LVDS2K_24n	Yes	L24	DQ15	DQ7	DQ3	DQ1
2K	0	VREFB2KN0	IO				LVDS2K_24p	Yes	M24	DQ15	DQ7	DQ3	DQ1
2J	47	VREFB2JN0	IO				LVDS2J_1n	No	AD25	DQ16	DQ8	DQ4	DQ2
2J	46	VREFB2JN0	IO				LVDS2J_1p	No	AE24	DQ16	DQ8	DQ4	DQ2
2J	45	VREFB2JN0	IO				LVDS2J_2n	Yes	AH27	DQSn16	DQ8	DQ4	DQ2
2J	44	VREFB2JN0	IO				LVDS2J_2p	Yes	AJ27	DQS16	DQ8	DQ4	DQ2
2J	43	VREFB2JN0	IO				LVDS2J_3n	No	AH26	DQ16	DQ8	DQ4	DQ2
2J	42	VREFB2JN0	IO				LVDS2J_3p	No	AJ26	DQ16	DQ8	DQ4	DQ2
2J	41	VREFB2JN0	IO				LVDS2J_4n	Yes	AF25	DQSn17	DQSn8/CQn8	DQ4	DQ2
2J	40	VREFB2JN0	IO				LVDS2J_4p	Yes	AG25	DQS17	DQS8/CQ8	DQ4	DQ2
2J	39	VREFB2JN0	IO				LVDS2J_5n	No	AH25	DQ17	DQ8	DQ4	DQ2
2J	38	VREFB2JN0	IO				LVDS2J_5p	No	AJ25	DQ17	DQ8	DQ4	DQ2
2J	37	VREFB2JN0	IO				LVDS2J_6n	Yes	AD24	DQ17	DQ8	DQSn4/CQn4	DQ2
2J	36	VREFB2JN0	IO				LVDS2J_6p	Yes	AC24	DQ17	DQ8	DQS4/CQ4	DQ2
2J	35	VREFB2JN0	IO				LVDS2J_7n	No	AM27	DQ18	DQ9	DQ4	DQ2
2J	34	VREFB2JN0	IO				LVDS2J_7p	No	AN27	DQ18	DQ9	DQ4	DQ2
2J	33	VREFB2JN0	IO				LVDS2J_8n	Yes	AP27	DQSn18	DQ9	DQ4	DQ2
2J	32	VREFB2JN0	IO				LVDS2J_8p	Yes	AP26	DQS18	DQ9	DQ4	DQ2
2J	31	VREFB2JN0	IO				LVDS2J_9n	No	AK26	DQ18	DQ9	DQ4	DQ2
2J	30	VREFB2JN0	IO				LVDS2J_9p	No	AK27	DQ18	DQ9	DQ4	DQ2
2J	29	VREFB2JN0	IO	PLL_2J_CLKOUT1n			LVDS2J_10n	Yes	AM26	DQSn19	DQSn9/CQn9	DQ4	DQ2
2J	28	VREFB2JN0	IO	PLL_2J_CLKOUT1p,PLL_2J_CLKOUT1,PLL_2J_FB1			LVDS2J_10p	Yes	AM25	DQS19	DQS9/CQ9	DQ4	DQ2
2J	27	VREFB2JN0	IO				LVDS2J_11n	No	AN25	DQ19	DQ9	DQ4	DQ2
2J	26	VREFB2JN0	IO	RZQ_2J			LVDS2J_11p	No	AP25	DQ19	DQ9	DQ4	DQ2
2J	25	VREFB2JN0	IO	CLK_2J_1n			LVDS2J_12n	Yes	AL26	DQ19	DQ9	DQ4	DQ2
2J	24	VREFB2JN0	IO	CLK_2J_1p			LVDS2J_12p	Yes	AL27	DQ19	DQ9	DQ4	DQ2
2J	23	VREFB2JN0	IO	CLK_2J_0n			LVDS2J_13n	No	AP24	DQ20	DQ10	DQ5	DQ2
2J	22	VREFB2JN0	IO	CLK_2J_0p			LVDS2J_13p	No	AN24	DQ20	DQ10	DQ5	DQ2
2J	21	VREFB2JN0	IO				LVDS2J_14n	Yes	AL25	DQSn20	DQ10	DQ5	DQSn2/CQn2
2J	20	VREFB2JN0	IO				LVDS2J_14p	Yes	AL24	DQS20	DQ10	DQ5	DQS2/CQ2
2J	19	VREFB2JN0	IO	PLL_2J_CLKOUT0n			LVDS2J_15n	No	AP22	DQ20	DQ10	DQ5	DQ2
2J	18	VREFB2JN0	IO	PLL_2J_CLKOUT0p,PLL_2J_CLKOUT0,PLL_2J_FB0			LVDS2J_15p	No	AP21	DQ20	DQ10	DQ5	DQ2
2J	17	VREFB2JN0	IO				LVDS2J_16n	Yes	AN22	DQSn21	DQSn10/CQn10	DQ5	DQ2
2J	16	VREFB2JN0	IO				LVDS2J_16p	Yes	AM22	DQS21	DQS10/CQ10	DQ5	DQ2
2J	15	VREFB2JN0	IO				LVDS2J_17n	No	AN23	DQ21	DQ10	DQ5	DQ2
2J	14	VREFB2JN0	IO				LVDS2J_17p	No	AM23	DQ21	DQ10	DQ5	DQ2
2J	13	VREFB2JN0	IO				LVDS2J_18n	Yes	AP20	DQ21	DQ10	DQSn5/CQn5	DQ2
2J	12	VREFB2JN0	IO				LVDS2J_18p	Yes	AN20	DQ21	DQ10	DQS5/CQ5	DQ2
2J	11	VREFB2JN0	IO				LVDS2J_19n	No	AE23	DQ22	DQ11	DQ5	DQ2
2J	10	VREFB2JN0	IO				LVDS2J_19p	No	AF24	DQ22	DQ11	DQ5	DQ2
2J	9	VREFB2JN0	IO				LVDS2J_20n	Yes	AG23	DQSn22	DQ11	DQ5	DQ2
2J	8	VREFB2JN0	IO				LVDS2J_20p	Yes	AF23	DQS22	DQ11	DQ5	DQ2
2J	7	VREFB2JN0	IO				LVDS2J_21n	No	AK24	DQ22	DQ11	DQ5	DQ2
2J	6	VREFB2JN0	IO				LVDS2J_21p	No	AJ24	DQ22	DQ11	DQ5	DQ2
2J	5	VREFB2JN0	IO				LVDS2J_22n	Yes	AH24	DQSn23	DQSn11/CQn11	DQ5	DQ2
2J	4	VREFB2JN0	IO				LVDS2J_22p	Yes	AH23	DQS23	DQS11/CQ11	DQ5	DQ2
2J	3	VREFB2JN0	IO				LVDS2J_23n	No	AK23	DQ23	DQ11	DQ5	DQ2
2J	2	VREFB2JN0	IO				LVDS2J_23p	No	AL23	DQ23	DQ11	DQ5	DQ2
2J	1	VREFB2JN0	IO				LVDS2J_24n	Yes	AK22	DQ23	DQ11	DQ5	DQ2
2J	0	VREFB2JN0	IO				LVDS2J_24p	Yes	AJ22	DQ23	DQ11	DQ5	DQ2
2I	35	VREFB2IN0	IO				LVDS2I_7n	No	AP19	DQ26	DQ13	DQ6	DQ3
2I	34	VREFB2IN0	IO				LVDS2I_7p	No	AN19	DQ26	DQ13	DQ6	DQ3
2I	33	VREFB2IN0	IO				LVDS2I_8n	Yes	AL19	DQSn26	DQ13	DQ6	DQ3
2I	32	VREFB2IN0	IO				LVDS2I_8p	Yes	AK19	DQS26	DQ13	DQ6	DQ3
2I	31	VREFB2IN0	IO				LVDS2I_9n	No	AJ21	DQ26	DQ13	DQ6	DQ3
2I	30	VREFB2IN0	IO				LVDS2I_9p	No	AK21	DQ26	DQ13	DQ6	DQ3
2I	29	VREFB2IN0	IO	PLL_2I_CLKOUT1n			LVDS2I_10n	Yes	AM21	DQSn27	DQSn13/CQn13	DQ6	DQ3
2I	28	VREFB2IN0	IO	PLL_2I_CLKOUT1p,PLL_2I_CLKOUT1,PLL_2I_FB1			LVDS2I_10p	Yes	AL21	DQS27	DQS13/CQ13	DQ6	DQ3
2I	27	VREFB2IN0	IO				LVDS2I_11n	No	AM20	DQ27	DQ13	DQ6	DQ3
2I	26	VREFB2IN0	IO	RZQ_2I			LVDS2I_11p	No	AL20	DQ27	DQ13	DQ6	DQ3
2I	25	VREFB2IN0	IO	CLK_2I_1n			LVDS2I_12n	Yes	AJ19	DQ27	DQ13	DQ6	DQ3
2I	24	VREFB2IN0	IO	CLK_2I_1p			LVDS2I_12p	Yes	AJ20	DQ27	DQ13	DQ6	DQ3
2A	47	VREFB2AN0	IO		DATA0		LVDS2A_1n	No	AK13	DQ56	DQ28	DQ14	DQ7
2A	46	VREFB2AN0	IO		DATA1		LVDS2A_1p	No	AL13	DQ56	DQ28	DQ14	DQ7
2A	45	VREFB2AN0	IO		DATA2		LVDS2A_2n	Yes	AP17	DQSn56	DQ28	DQ14	DQ7
2A	44	VREFB2AN0	IO		DATA3		LVDS2A_2p	Yes	AP16	DQS56	DQ28	DQ14	DQ7
2A	43	VREFB2AN0	IO		DATA4		LVDS2A_3n	No	AP15	DQ56	DQ28	DQ14	DQ7
2A	42	VREFB2AN0	IO		DATA5		LVDS2A_3p	No	AN15	DQ56	DQ28	DQ14	DQ7
2A	41	VREFB2AN0	IO		DATA6		LVDS2A_4n	Yes	AM13	DQSn57	DQSn28/CQn28	DQ14	DQ7
2A	40	VREFB2AN0	IO		DATA7		LVDS2A_4p	Yes	AN13	DQS57	DQS28/CQ28	DQ14	DQ7
2A	39	VREFB2AN0	IO		DATA8		LVDS2A_5n	No	AP12	DQ57	DQ28	DQ14	DQ7
2A	38	VREFB2AN0	IO		DATA9		LVDS2A_5p	No	AN12	DQ57	DQ28	DQ14	DQ7
2A	37	VREFB2AN0	IO		DATA10		LVDS2A_6n	Yes	AP14	DQ57	DQ28	DQSn14/CQn14	DQ7

Bank Number	Index within I/O Bank *(1)*	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	F34	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
2A	36	VREFB2AN0	IO		DATA11		LVDS2A_6p	Yes	AN14	DQ57	DQ28	DQS14/CQ14	DQ7
2A	35	VREFB2AN0	IO		DATA12		LVDS2A_7n	No	AN18	DQ58	DQ29	DQ14	DQ7
2A	34	VREFB2AN0	IO		DATA13		LVDS2A_7p	No	AM18	DQ58	DQ29	DQ14	DQ7
2A	33	VREFB2AN0	IO		DATA14		LVDS2A_8n	Yes	AN17	DQSn58	DQ29	DQ14	DQ7
2A	32	VREFB2AN0	IO		DATA15		LVDS2A_8p	Yes	AM17	DQS58	DQ29	DQ14	DQ7
2A	31	VREFB2AN0	IO		DATA16		LVDS2A_9n	No	AK14	DQ58	DQ29	DQ14	DQ7
2A	30	VREFB2AN0	IO		DATA17		LVDS2A_9p	No	AL14	DQ58	DQ29	DQ14	DQ7
2A	29	VREFB2AN0	IO	PLL_2A_CLKOUT1n	DATA18		LVDS2A_10n	Yes	AM16	DQSn59	DQSn29/CQn29	DQ14	DQ7
2A	28	VREFB2AN0	IO	PLL_2A_CLKOUT1p,PLL_2A_CLKOUT1,PLL_2A_FB1	DATA19		LVDS2A_10p	Yes	AL16	DQS59	DQS29/CQ29	DQ14	DQ7
2A	27	VREFB2AN0	IO		nCEO		LVDS2A_11n	No	AL18	DQ59	DQ29	DQ14	DQ7
2A	26	VREFB2AN0	IO	RZQ_2A			LVDS2A_11p	No	AK18	DQ59	DQ29	DQ14	DQ7
2A	25	VREFB2AN0	IO	CLK_2A_1n	DATA20		LVDS2A_12n	Yes	AL15	DQ59	DQ29	DQ14	DQ7
2A	24	VREFB2AN0	IO	CLK_2A_1p	DATA21		LVDS2A_12p	Yes	AM15	DQ59	DQ29	DQ14	DQ7
2A	23	VREFB2AN0	IO	CLK_2A_0n	DATA22		LVDS2A_13n	No	AH19	DQ60	DQ30	DQ15	DQ7
2A	22	VREFB2AN0	IO	CLK_2A_0p	DATA23		LVDS2A_13p	No	AH18	DQ60	DQ30	DQ15	DQ7
2A	21	VREFB2AN0	IO		DATA24		LVDS2A_14n	Yes	AH14	DQSn60	DQ30	DQ15	DQSn7/CQn7
2A	20	VREFB2AN0	IO		DATA25		LVDS2A_14p	Yes	AJ14	DQS60	DQ30	DQ15	DQS7/CQ7
2A	19	VREFB2AN0	IO	PLL_2A_CLKOUT0n	DATA26		LVDS2A_15n	No	AH17	DQ60	DQ30	DQ15	DQ7
2A	18	VREFB2AN0	IO	PLL_2A_CLKOUT0p,PLL_2A_CLKOUT0,PLL_2A_FB0	DATA27		LVDS2A_15p	No	AG17	DQ60	DQ30	DQ15	DQ7
2A	17	VREFB2AN0	IO		DATA28		LVDS2A_16n	Yes	AK17	DQSn61	DQSn30/CQn30	DQ15	DQ7
2A	16	VREFB2AN0	IO		DATA29		LVDS2A_16p	Yes	AJ17	DQS61	DQS30/CQ30	DQ15	DQ7
2A	15	VREFB2AN0	IO		DATA30		LVDS2A_17n	No	AH15	DQ61	DQ30	DQ15	DQ7
2A	14	VREFB2AN0	IO		DATA31		LVDS2A_17p	No	AJ15	DQ61	DQ30	DQ15	DQ7
2A	13	VREFB2AN0	IO		CLKUSR		LVDS2A_18n	Yes	AK16	DQ61	DQ30	DQSn15/CQn15	DQ7
2A	12	VREFB2AN0	IO		PR_REQUEST		LVDS2A_18p	Yes	AJ16	DQ61	DQ30	DQS15/CQ15	DQ7
2A	11	VREFB2AN0	IO		PR_READY		LVDS2A_19n	No	AE17	DQ62	DQ31	DQ15	DQ7
2A	10	VREFB2AN0	IO		nPERSTL0		LVDS2A_19p	No	AE16	DQ62	DQ31	DQ15	DQ7
2A	9	VREFB2AN0	IO		PR_DONE		LVDS2A_20n	Yes	AF16	DQSn62	DQ31	DQ15	DQ7
2A	8	VREFB2AN0	IO		nPERSTL1		LVDS2A_20p	Yes	AG16	DQS62	DQ31	DQ15	DQ7
2A	7	VREFB2AN0	IO		PR_ERROR		LVDS2A_21n	No	AE18	DQ62	DQ31	DQ15	DQ7
2A	6	VREFB2AN0	IO				LVDS2A_21p	No	AD19	DQ62	DQ31	DQ15	DQ7
2A	5	VREFB2AN0	IO		CvP_CONFDONE		LVDS2A_22n	Yes	AE19	DQSn63	DQSn31/CQn31	DQ15	DQ7
2A	4	VREFB2AN0	IO				LVDS2A_22p	Yes	AF19	DQS63	DQS31/CQ31	DQ15	DQ7
2A	3	VREFB2AN0	IO		INIT_DONE		LVDS2A_23n	No	AG18	DQ63	DQ31	DQ15	DQ7
2A	2	VREFB2AN0	IO		DEV_OE		LVDS2A_23p	No	AF18	DQ63	DQ31	DQ15	DQ7
2A	1	VREFB2AN0	IO		CRC_ERROR		LVDS2A_24n	Yes	AD17	DQ63	DQ31	DQ15	DQ7
2A	0	VREFB2AN0	IO		DEV_CLRn		LVDS2A_24p	Yes	AC17	DQ63	DQ31	DQ15	DQ7
3F	47	VREFB3FN0	IO				LVDS3F_1n	No	M13	DQ80	DQ40	DQ20	DQ10
3F	46	VREFB3FN0	IO				LVDS3F_1p	No	L13	DQ80	DQ40	DQ20	DQ10
3F	45	VREFB3FN0	IO				LVDS3F_2n	Yes	H13	DQSn80	DQ40	DQ20	DQ10
3F	44	VREFB3FN0	IO				LVDS3F_2p	Yes	G13	DQS80	DQ40	DQ20	DQ10
3F	43	VREFB3FN0	IO				LVDS3F_3n	No	F13	DQ80	DQ40	DQ20	DQ10
3F	42	VREFB3FN0	IO				LVDS3F_3p	No	E13	DQ80	DQ40	DQ20	DQ10
3F	41	VREFB3FN0	IO				LVDS3F_4n	Yes	K13	DQSn81	DQSn40/CQn40	DQ20	DQ10
3F	40	VREFB3FN0	IO				LVDS3F_4p	Yes	K12	DQS81	DQS40/CQ40	DQ20	DQ10
3F	39	VREFB3FN0	IO				LVDS3F_5n	No	J12	DQ81	DQ40	DQ20	DQ10
3F	38	VREFB3FN0	IO				LVDS3F_5p	No	H12	DQ81	DQ40	DQ20	DQ10
3F	37	VREFB3FN0	IO				LVDS3F_6n	Yes	G11	DQ81	DQ40	DQSn20/CQn20	DQ10
3F	36	VREFB3FN0	IO				LVDS3F_6p	Yes	G12	DQ81	DQ40	DQS20/CQ20	DQ10
3F	35	VREFB3FN0	IO				LVDS3F_7n	No	E12	DQ82	DQ41	DQ20	DQ10
3F	34	VREFB3FN0	IO				LVDS3F_7p	No	D12	DQ82	DQ41	DQ20	DQ10
3F	33	VREFB3FN0	IO				LVDS3F_8n	Yes	C13	DQSn82	DQ41	DQ20	DQ10
3F	32	VREFB3FN0	IO				LVDS3F_8p	Yes	C12	DQS82	DQ41	DQ20	DQ10
3F	31	VREFB3FN0	IO				LVDS3F_9n	No	E11	DQ82	DQ41	DQ20	DQ10
3F	30	VREFB3FN0	IO				LVDS3F_9p	No	F11	DQ82	DQ41	DQ20	DQ10
3F	29	VREFB3FN0	IO	PLL_3F_CLKOUT1n			LVDS3F_10n	Yes	B12	DQSn83	DQSn41/CQn41	DQ20	DQ10
3F	28	VREFB3FN0	IO	PLL_3F_CLKOUT1p,PLL_3F_CLKOUT1,PLL_3F_FB1			LVDS3F_10p	Yes	B11	DQS83	DQS41/CQ41	DQ20	DQ10
3F	27	VREFB3FN0	IO				LVDS3F_11n	No	B10	DQ83	DQ41	DQ20	DQ10
3F	26	VREFB3FN0	IO	RZQ_3F			LVDS3F_11p	No	C10	DQ83	DQ41	DQ20	DQ10
3F	25	VREFB3FN0	IO	CLK_3F_1n			LVDS3F_12n	Yes	D10	DQ83	DQ41	DQ20	DQ10
3F	24	VREFB3FN0	IO	CLK_3F_1p			LVDS3F_12p	Yes	D11	DQ83	DQ41	DQ20	DQ10
3F	23	VREFB3FN0	IO	CLK_3F_0n			LVDS3F_13n	No	A9	DQ84	DQ42	DQ21	DQ10
3F	22	VREFB3FN0	IO	CLK_3F_0p			LVDS3F_13p	No	A8	DQ84	DQ42	DQ21	DQ10
3F	21	VREFB3FN0	IO				LVDS3F_14n	Yes	A11	DQSn84	DQ42	DQ21	DQSn10/CQn10
3F	20	VREFB3FN0	IO				LVDS3F_14p	Yes	A10	DQS84	DQ42	DQ21	DQS10/CQ10
3F	19	VREFB3FN0	IO	PLL_3F_CLKOUT0n			LVDS3F_15n	No	B8	DQ84	DQ42	DQ21	DQ10
3F	18	VREFB3FN0	IO	PLL_3F_CLKOUT0p,PLL_3F_CLKOUT0,PLL_3F_FB0			LVDS3F_15p	No	C8	DQ84	DQ42	DQ21	DQ10
3F	17	VREFB3FN0	IO				LVDS3F_16n	Yes	E9	DQSn85	DQSn42/CQn42	DQ21	DQ10
3F	16	VREFB3FN0	IO				LVDS3F_16p	Yes	E8	DQS85	DQS42/CQ42	DQ21	DQ10
3F	15	VREFB3FN0	IO				LVDS3F_17n	No	C9	DQ85	DQ42	DQ21	DQ10
3F	14	VREFB3FN0	IO				LVDS3F_17p	No	D9	DQ85	DQ42	DQ21	DQ10
3F	13	VREFB3FN0	IO				LVDS3F_18n	Yes	B7	DQ85	DQ42	DQSn21/CQn21	DQ10
3F	12	VREFB3FN0	IO				LVDS3F_18p	Yes	C7	DQ85	DQ42	DQS21/CQ21	DQ10
3F	11	VREFB3FN0	IO				LVDS3F_19n	No	A6	DQ86	DQ43	DQ21	DQ10
3F	10	VREFB3FN0	IO				LVDS3F_19p	No	B6	DQ86	DQ43	DQ21	DQ10
3F	9	VREFB3FN0	IO				LVDS3F_20n	Yes	D7	DQSn86	DQ43	DQ21	DQ10
3F	8	VREFB3FN0	IO				LVDS3F_20p	Yes	D6	DQS86	DQ43	DQ21	DQ10
3F	7	VREFB3FN0	IO				LVDS3F_21n	No	C4	DQ86	DQ43	DQ21	DQ10
3F	6	VREFB3FN0	IO				LVDS3F_21p	No	D4	DQ86	DQ43	DQ21	DQ10
3F	5	VREFB3FN0	IO				LVDS3F_22n	Yes	A4	DQSn87	DQSn43/CQn43	DQ21	DQ10
3F	4	VREFB3FN0	IO				LVDS3F_22p	Yes	A3	DQS87	DQS43/CQ43	DQ21	DQ10
3F	3	VREFB3FN0	IO				LVDS3F_23n	No	A5	DQ87	DQ43	DQ21	DQ10
3F	2	VREFB3FN0	IO				LVDS3F_23p	No	B5	DQ87	DQ43	DQ21	DQ10
3F	1	VREFB3FN0	IO				LVDS3F_24n	Yes	C5	DQ87	DQ43	DQ21	DQ10
3F	0	VREFB3FN0	IO				LVDS3F_24p	Yes	D5	DQ87	DQ43	DQ21	DQ10
3E	47	VREFB3EN0	IO				LVDS3E_1n	No	J11	DQ88	DQ44	DQ22	DQ11
3E	46	VREFB3EN0	IO				LVDS3E_1p	No	K11	DQ88	DQ44	DQ22	DQ11
3E	45	VREFB3EN0	IO				LVDS3E_2n	Yes	F10	DQSn88	DQ44	DQ22	DQ11
3E	44	VREFB3EN0	IO				LVDS3E_2p	Yes	G10	DQS88	DQ44	DQ22	DQ11
3E	43	VREFB3EN0	IO				LVDS3E_3n	No	F9	DQ88	DQ44	DQ22	DQ11
3E	42	VREFB3EN0	IO				LVDS3E_3p	No	F8	DQ88	DQ44	DQ22	DQ11
3E	41	VREFB3EN0	IO				LVDS3E_4n	Yes	H10	DQSn89	DQSn44/CQn44	DQ22	DQ11
3E	40	VREFB3EN0	IO				LVDS3E_4p	Yes	J10	DQS89	DQS44/CQ44	DQ22	DQ11

Bank Number	Index within I/O Bank *(1)*	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	F34	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
3E	39	VREFB3EN0	IO				LVDS3E_5n	No	H8	DQ89	DQ44	DQ22	DQ11
3E	38	VREFB3EN0	IO				LVDS3E_5p	No	H9	DQ89	DQ44	DQ22	DQ11
3E	37	VREFB3EN0	IO				LVDS3E_6n	Yes	G7	DQ89	DQ44	DQSn22/CQn22	DQ11
3E	36	VREFB3EN0	IO				LVDS3E_6p	Yes	G8	DQ89	DQ44	DQS22/CQ22	DQ11
3E	35	VREFB3EN0	IO				LVDS3E_7n	No	B3	DQ90	DQ45	DQ22	DQ11
3E	34	VREFB3EN0	IO				LVDS3E_7p	No	C3	DQ90	DQ45	DQ22	DQ11
3E	33	VREFB3EN0	IO				LVDS3E_8n	Yes	E4	DQSn90	DQ45	DQ22	DQ11
3E	32	VREFB3EN0	IO				LVDS3E_8p	Yes	F4	DQS90	DQ45	DQ22	DQ11
3E	31	VREFB3EN0	IO				LVDS3E_9n	No	E6	DQ90	DQ45	DQ22	DQ11
3E	30	VREFB3EN0	IO				LVDS3E_9p	No	E7	DQ90	DQ45	DQ22	DQ11
3E	29	VREFB3EN0	IO	PLL_3E_CLKOUT1n			LVDS3E_10n	Yes	D2	DQSn91	DQSn45/CQn45	DQ22	DQ11
3E	28	VREFB3EN0	IO	PLL_3E_CLKOUT1p,PLL_3E_CLKOUT1,PLL_3E_FB1			LVDS3E_10p	Yes	E2	DQS91	DQS45/CQ45	DQ22	DQ11
3E	27	VREFB3EN0	IO				LVDS3E_11n	No	E3	DQ91	DQ45	DQ22	DQ11
3E	26	VREFB3EN0	IO	RZQ_3E			LVDS3E_11p	No	F3	DQ91	DQ45	DQ22	DQ11
3E	25	VREFB3EN0	IO	CLK_3E_1n			LVDS3E_12n	Yes	F5	DQ91	DQ45	DQ22	DQ11
3E	24	VREFB3EN0	IO	CLK_3E_1p			LVDS3E_12p	Yes	F6	DQ91	DQ45	DQ22	DQ11
3E	23	VREFB3EN0	IO	CLK_3E_0n			LVDS3E_13n	No	G6	DQ92	DQ46	DQ23	DQ11
3E	22	VREFB3EN0	IO	CLK_3E_0p			LVDS3E_13p	No	G5	DQ92	DQ46	DQ23	DQ11
3E	21	VREFB3EN0	IO				LVDS3E_14n	Yes	H2	DQSn92	DQ46	DQ23	DQSn11/CQn11
3E	20	VREFB3EN0	IO				LVDS3E_14p	Yes	H3	DQS92	DQ46	DQ23	DQS11/CQ11
3E	19	VREFB3EN0	IO	PLL_3E_CLKOUT0n			LVDS3E_15n	No	D1	DQ92	DQ46	DQ23	DQ11
3E	18	VREFB3EN0	IO	PLL_3E_CLKOUT0p,PLL_3E_CLKOUT0,PLL_3E_FB0			LVDS3E_15p	No	E1	DQ92	DQ46	DQ23	DQ11
3E	17	VREFB3EN0	IO				LVDS3E_16n	Yes	G3	DQSn93	DQSn46/CQn46	DQ23	DQ11
3E	16	VREFB3EN0	IO				LVDS3E_16p	Yes	G2	DQS93	DQS46/CQ46	DQ23	DQ11
3E	15	VREFB3EN0	IO				LVDS3E_17n	No	H4	DQ93	DQ46	DQ23	DQ11
3E	14	VREFB3EN0	IO				LVDS3E_17p	No	H5	DQ93	DQ46	DQ23	DQ11
3E	13	VREFB3EN0	IO				LVDS3E_18n	Yes	F1	DQ93	DQ46	DQSn23/CQn23	DQ11
3E	12	VREFB3EN0	IO				LVDS3E_18p	Yes	G1	DQ93	DQ46	DQS23/CQ23	DQ11
3E	11	VREFB3EN0	IO				LVDS3E_19n	No	J9	DQ94	DQ47	DQ23	DQ11
3E	10	VREFB3EN0	IO				LVDS3E_19p	No	K9	DQ94	DQ47	DQ23	DQ11
3E	9	VREFB3EN0	IO				LVDS3E_20n	Yes	L10	DQSn94	DQ47	DQ23	DQ11
3E	8	VREFB3EN0	IO				LVDS3E_20p	Yes	L9	DQS94	DQ47	DQ23	DQ11
3E	7	VREFB3EN0	IO				LVDS3E_21n	No	H7	DQ94	DQ47	DQ23	DQ11
3E	6	VREFB3EN0	IO				LVDS3E_21p	No	J6	DQ94	DQ47	DQ23	DQ11
3E	5	VREFB3EN0	IO				LVDS3E_22n	Yes	J7	DQSn95	DQSn47/CQn47	DQ23	DQ11
3E	4	VREFB3EN0	IO				LVDS3E_22p	Yes	K8	DQS95	DQS47/CQ47	DQ23	DQ11
3E	3	VREFB3EN0	IO				LVDS3E_23n	No	L11	DQ95	DQ47	DQ23	DQ11
3E	2	VREFB3EN0	IO				LVDS3E_23p	No	M11	DQ95	DQ47	DQ23	DQ11
3E	1	VREFB3EN0	IO				LVDS3E_24n	Yes	M10	DQ95	DQ47	DQ23	DQ11
3E	0	VREFB3EN0	IO				LVDS3E_24p	Yes	N10	DQ95	DQ47	DQ23	DQ11
3D	47	VREFB3DN0	IO				LVDS3D_1n	No	R9	DQ96	DQ48	DQ24	DQ12
3D	46	VREFB3DN0	IO				LVDS3D_1p	No	T9	DQ96	DQ48	DQ24	DQ12
3D	45	VREFB3DN0	IO				LVDS3D_2n	Yes	T8	DQSn96	DQ48	DQ24	DQ12
3D	44	VREFB3DN0	IO				LVDS3D_2p	Yes	U8	DQS96	DQ48	DQ24	DQ12
3D	43	VREFB3DN0	IO				LVDS3D_3n	No	U7	DQ96	DQ48	DQ24	DQ12
3D	42	VREFB3DN0	IO				LVDS3D_3p	No	V7	DQ96	DQ48	DQ24	DQ12
3D	41	VREFB3DN0	IO				LVDS3D_4n	Yes	T10	DQSn97	DQSn48/CQn48	DQ24	DQ12
3D	40	VREFB3DN0	IO				LVDS3D_4p	Yes	U10	DQS97	DQS48/CQ48	DQ24	DQ12
3D	39	VREFB3DN0	IO				LVDS3D_5n	No	V8	DQ97	DQ48	DQ24	DQ12
3D	38	VREFB3DN0	IO				LVDS3D_5p	No	V9	DQ97	DQ48	DQ24	DQ12
3D	37	VREFB3DN0	IO				LVDS3D_6n	Yes	W9	DQ97	DQ48	DQSn24/CQn24	DQ12
3D	36	VREFB3DN0	IO				LVDS3D_6p	Yes	W10	DQ97	DQ48	DQS24/CQ24	DQ12
3D	35	VREFB3DN0	IO				LVDS3D_7n	No	P9	DQ98	DQ49	DQ24	DQ12
3D	34	VREFB3DN0	IO				LVDS3D_7p	No	N9	DQ98	DQ49	DQ24	DQ12
3D	33	VREFB3DN0	IO				LVDS3D_8n	Yes	P7	DQSn98	DQ49	DQ24	DQ12
3D	32	VREFB3DN0	IO				LVDS3D_8p	Yes	N7	DQS98	DQ49	DQ24	DQ12
3D	31	VREFB3DN0	IO				LVDS3D_9n	No	R7	DQ98	DQ49	DQ24	DQ12
3D	30	VREFB3DN0	IO				LVDS3D_9p	No	R8	DQ98	DQ49	DQ24	DQ12
3D	29	VREFB3DN0	IO	PLL_3D_CLKOUT1n			LVDS3D_10n	Yes	M8	DQSn99	DQSn49/CQn49	DQ24	DQ12
3D	28	VREFB3DN0	IO	PLL_3D_CLKOUT1p,PLL_3D_CLKOUT1,PLL_3D_FB1			LVDS3D_10p	Yes	N8	DQS99	DQS49/CQ49	DQ24	DQ12
3D	27	VREFB3DN0	IO				LVDS3D_11n	No	L8	DQ99	DQ49	DQ24	DQ12
3D	26	VREFB3DN0	IO	RZQ_3D			LVDS3D_11p	No	K7	DQ99	DQ49	DQ24	DQ12
3D	25	VREFB3DN0	IO	CLK_3D_1n			LVDS3D_12n	Yes	P6	DQ99	DQ49	DQ24	DQ12
3D	24	VREFB3DN0	IO	CLK_3D_1p			LVDS3D_12p	Yes	R6	DQ99	DQ49	DQ24	DQ12
3D	23	VREFB3DN0	IO	CLK_3D_0n			LVDS3D_13n	No	L6	DQ100	DQ50	DQ25	DQ12
3D	22	VREFB3DN0	IO	CLK_3D_0p			LVDS3D_13p	No	K6	DQ100	DQ50	DQ25	DQ12
3D	21	VREFB3DN0	IO				LVDS3D_14n	Yes	M7	DQSn100	DQ50	DQ25	DQSn12/CQn12
3D	20	VREFB3DN0	IO				LVDS3D_14p	Yes	M6	DQS100	DQ50	DQ25	DQS12/CQ12
3D	19	VREFB3DN0	IO	PLL_3D_CLKOUT0n			LVDS3D_15n	No	L5	DQ100	DQ50	DQ25	DQ12
3D	18	VREFB3DN0	IO	PLL_3D_CLKOUT0p,PLL_3D_CLKOUT0,PLL_3D_FB0			LVDS3D_15p	No	M5	DQ100	DQ50	DQ25	DQ12
3D	17	VREFB3DN0	IO				LVDS3D_16n	Yes	J5	DQSn101	DQSn50/CQn50	DQ25	DQ12
3D	16	VREFB3DN0	IO				LVDS3D_16p	Yes	J4	DQS101	DQS50/CQ50	DQ25	DQ12
3D	15	VREFB3DN0	IO				LVDS3D_17n	No	N5	DQ101	DQ50	DQ25	DQ12
3D	14	VREFB3DN0	IO				LVDS3D_17p	No	N4	DQ101	DQ50	DQ25	DQ12
3D	13	VREFB3DN0	IO				LVDS3D_18n	Yes	K4	DQ101	DQ50	DQSn25/CQn25	DQ12
3D	12	VREFB3DN0	IO				LVDS3D_18p	Yes	L4	DQ101	DQ50	DQS25/CQ25	DQ12
3D	11	VREFB3DN0	IO				LVDS3D_19n	No	M3	DQ102	DQ51	DQ25	DQ12
3D	10	VREFB3DN0	IO				LVDS3D_19p	No	M2	DQ102	DQ51	DQ25	DQ12
3D	9	VREFB3DN0	IO				LVDS3D_20n	Yes	N3	DQSn102	DQ51	DQ25	DQ12
3D	8	VREFB3DN0	IO				LVDS3D_20p	Yes	N2	DQS102	DQ51	DQ25	DQ12
3D	7	VREFB3DN0	IO				LVDS3D_21n	No	K3	DQ102	DQ51	DQ25	DQ12
3D	6	VREFB3DN0	IO				LVDS3D_21p	No	L3	DQ102	DQ51	DQ25	DQ12
3D	5	VREFB3DN0	IO				LVDS3D_22n	Yes	J2	DQSn103	DQSn51/CQn51	DQ25	DQ12
3D	4	VREFB3DN0	IO				LVDS3D_22p	Yes	J1	DQS103	DQS51/CQ51	DQ25	DQ12
3D	3	VREFB3DN0	IO				LVDS3D_23n	No	K2	DQ103	DQ51	DQ25	DQ12
3D	2	VREFB3DN0	IO				LVDS3D_23p	No	K1	DQ103	DQ51	DQ25	DQ12
3D	1	VREFB3DN0	IO				LVDS3D_24n	Yes	L1	DQ103	DQ51	DQ25	DQ12
3D	0	VREFB3DN0	IO				LVDS3D_24p	Yes	M1	DQ103	DQ51	DQ25	DQ12
3C	47	VREFB3CN0	IO				LVDS3C_1n	No	R4	DQ104	DQ52	DQ26	DQ13
3C	46	VREFB3CN0	IO				LVDS3C_1p	No	T4	DQ104	DQ52	DQ26	DQ13
3C	45	VREFB3CN0	IO				LVDS3C_2n	Yes	P5	DQSn104	DQ52	DQ26	DQ13
3C	44	VREFB3CN0	IO				LVDS3C_2p	Yes	P4	DQS104	DQ52	DQ26	DQ13
3C	43	VREFB3CN0	IO				LVDS3C_3n	No	R3	DQ104	DQ52	DQ26	DQ13

Bank Number	Index within I/O Bank *(1)*	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	F34	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
3C	42	VREFB3CN0	IO				LVDS3C_3p	No	T3	DQ104	DQ52	DQ26	DQ13
3C	41	VREFB3CN0	IO				LVDS3C_4n	Yes	T6	DQSn105	DQSn52/CQn52	DQ26	DQ13
3C	40	VREFB3CN0	IO				LVDS3C_4p	Yes	T5	DQS105	DQS52/CQ52	DQ26	DQ13
3C	39	VREFB3CN0	IO				LVDS3C_5n	No	U5	DQ105	DQ52	DQ26	DQ13
3C	38	VREFB3CN0	IO				LVDS3C_5p	No	U6	DQ105	DQ52	DQ26	DQ13
3C	37	VREFB3CN0	IO				LVDS3C_6n	Yes	V4	DQ105	DQ52	DQSn26/CQn26	DQ13
3C	36	VREFB3CN0	IO				LVDS3C_6p	Yes	V5	DQ105	DQ52	DQS26/CQ26	DQ13
3C	35	VREFB3CN0	IO				LVDS3C_7n	No	R2	DQ106	DQ53	DQ26	DQ13
3C	34	VREFB3CN0	IO				LVDS3C_7p	No	P2	DQ106	DQ53	DQ26	DQ13
3C	33	VREFB3CN0	IO				LVDS3C_8n	Yes	P1	DQSn106	DQ53	DQ26	DQ13
3C	32	VREFB3CN0	IO				LVDS3C_8p	Yes	R1	DQS106	DQ53	DQ26	DQ13
3C	31	VREFB3CN0	IO				LVDS3C_9n	No	V3	DQ106	DQ53	DQ26	DQ13
3C	30	VREFB3CN0	IO				LVDS3C_9p	No	U3	DQ106	DQ53	DQ26	DQ13
3C	29	VREFB3CN0	IO	PLL_3C_CLKOUT1n			LVDS3C_10n	Yes	T1	DQSn107	DQSn53/CQn53	DQ26	DQ13
3C	28	VREFB3CN0	IO	PLL_3C_CLKOUT1p,PLL_3C_CLKOUT1,PLL_3C_FB1			LVDS3C_10p	Yes	U1	DQS107	DQS53/CQ53	DQ26	DQ13
3C	27	VREFB3CN0	IO				LVDS3C_11n	No	U2	DQ107	DQ53	DQ26	DQ13
3C	26	VREFB3CN0	IO	RZQ_3C			LVDS3C_11p	No	V2	DQ107	DQ53	DQ26	DQ13
3C	25	VREFB3CN0	IO	CLK_3C_1n			LVDS3C_12n	Yes	W2	DQ107	DQ53	DQ26	DQ13
3C	24	VREFB3CN0	IO	CLK_3C_1p			LVDS3C_12p	Yes	W1	DQ107	DQ53	DQ26	DQ13
3C	23	VREFB3CN0	IO	CLK_3C_0n			LVDS3C_13n	No	Y7	DQ108	DQ54	DQ27	DQ13
3C	22	VREFB3CN0	IO	CLK_3C_0p			LVDS3C_13p	No	Y6	DQ108	DQ54	DQ27	DQ13
3C	21	VREFB3CN0	IO				LVDS3C_14n	Yes	Y9	DQSn108	DQ54	DQ27	DQSn13/CQn13
3C	20	VREFB3CN0	IO				LVDS3C_14p	Yes	Y8	DQS108	DQ54	DQ27	DQS13/CQ13
3C	19	VREFB3CN0	IO	PLL_3C_CLKOUT0n			LVDS3C_15n	No	W5	DQ108	DQ54	DQ27	DQ13
3C	18	VREFB3CN0	IO	PLL_3C_CLKOUT0p,PLL_3C_CLKOUT0,PLL_3C_FB0			LVDS3C_15p	No	W4	DQ108	DQ54	DQ27	DQ13
3C	17	VREFB3CN0	IO				LVDS3C_16n	Yes	W7	DQSn109	DQSn54/CQn54	DQ27	DQ13
3C	16	VREFB3CN0	IO				LVDS3C_16p	Yes	W6	DQS109	DQS54/CQ54	DQ27	DQ13
3C	15	VREFB3CN0	IO				LVDS3C_17n	No	AA9	DQ109	DQ54	DQ27	DQ13
3C	14	VREFB3CN0	IO				LVDS3C_17p	No	AA8	DQ109	DQ54	DQ27	DQ13
3C	13	VREFB3CN0	IO				LVDS3C_18n	Yes	AA6	DQ109	DQ54	DQSn27/CQn27	DQ13
3C	12	VREFB3CN0	IO				LVDS3C_18p	Yes	AA5	DQ109	DQ54	DQS27/CQ27	DQ13
3C	11	VREFB3CN0	IO				LVDS3C_19n	No	Y4	DQ110	DQ55	DQ27	DQ13
3C	10	VREFB3CN0	IO				LVDS3C_19p	No	Y3	DQ110	DQ55	DQ27	DQ13
3C	9	VREFB3CN0	IO				LVDS3C_20n	Yes	AA4	DQSn110	DQ55	DQ27	DQ13
3C	8	VREFB3CN0	IO				LVDS3C_20p	Yes	AA3	DQS110	DQ55	DQ27	DQ13
3C	7	VREFB3CN0	IO				LVDS3C_21n	No	AB3	DQ110	DQ55	DQ27	DQ13
3C	6	VREFB3CN0	IO				LVDS3C_21p	No	AB2	DQ110	DQ55	DQ27	DQ13
3C	5	VREFB3CN0	IO				LVDS3C_22n	Yes	AC2	DQSn111	DQSn55/CQn55	DQ27	DQ13
3C	4	VREFB3CN0	IO				LVDS3C_22p	Yes	AC3	DQS111	DQS55/CQ55	DQ27	DQ13
3C	3	VREFB3CN0	IO				LVDS3C_23n	No	Y2	DQ111	DQ55	DQ27	DQ13
3C	2	VREFB3CN0	IO				LVDS3C_23p	No	Y1	DQ111	DQ55	DQ27	DQ13
3C	1	VREFB3CN0	IO				LVDS3C_24n	Yes	AA1	DQ111	DQ55	DQ27	DQ13
3C	0	VREFB3CN0	IO				LVDS3C_24p	Yes	AB1	DQ111	DQ55	DQ27	DQ13
3B	47	VREFB3BN0	IO				LVDS3B_1n	No	AB11	DQ112	DQ56	DQ28	DQ14
3B	46	VREFB3BN0	IO				LVDS3B_1p	No	AB10	DQ112	DQ56	DQ28	DQ14
3B	45	VREFB3BN0	IO				LVDS3B_2n	Yes	AD1	DQSn112	DQ56	DQ28	DQ14
3B	44	VREFB3BN0	IO				LVDS3B_2p	Yes	AD2	DQS112	DQ56	DQ28	DQ14
3B	43	VREFB3BN0	IO				LVDS3B_3n	No	AD4	DQ112	DQ56	DQ28	DQ14
3B	42	VREFB3BN0	IO				LVDS3B_3p	No	AE4	DQ112	DQ56	DQ28	DQ14
3B	41	VREFB3BN0	IO				LVDS3B_4n	Yes	AB7	DQSn113	DQSn56/CQn56	DQ28	DQ14
3B	40	VREFB3BN0	IO				LVDS3B_4p	Yes	AB8	DQS113	DQS56/CQ56	DQ28	DQ14
3B	39	VREFB3BN0	IO				LVDS3B_5n	No	AB5	DQ113	DQ56	DQ28	DQ14
3B	38	VREFB3BN0	IO				LVDS3B_5p	No	AB6	DQ113	DQ56	DQ28	DQ14
3B	37	VREFB3BN0	IO				LVDS3B_6n	Yes	AC5	DQ113	DQ56	DQSn28/CQn28	DQ14
3B	36	VREFB3BN0	IO				LVDS3B_6p	Yes	AC4	DQ113	DQ56	DQS28/CQ28	DQ14
3B	35	VREFB3BN0	IO				LVDS3B_7n	No	AC7	DQ114	DQ57	DQ28	DQ14
3B	34	VREFB3BN0	IO				LVDS3B_7p	No	AD7	DQ114	DQ57	DQ28	DQ14
3B	33	VREFB3BN0	IO				LVDS3B_8n	Yes	AD6	DQSn114	DQ57	DQ28	DQ14
3B	32	VREFB3BN0	IO				LVDS3B_8p	Yes	AD5	DQS114	DQ57	DQ28	DQ14
3B	31	VREFB3BN0	IO				LVDS3B_9n	No	AC10	DQ114	DQ57	DQ28	DQ14
3B	30	VREFB3BN0	IO				LVDS3B_9p	No	AC9	DQ114	DQ57	DQ28	DQ14
3B	29	VREFB3BN0	IO	PLL_3B_CLKOUT1n			LVDS3B_10n	Yes	AD9	DQSn115	DQSn57/CQn57	DQ28	DQ14
3B	28	VREFB3BN0	IO	PLL_3B_CLKOUT1p,PLL_3B_CLKOUT1,PLL_3B_FB1			LVDS3B_10p	Yes	AC8	DQS115	DQS57/CQ57	DQ28	DQ14
3B	27	VREFB3BN0	IO				LVDS3B_11n	No	AE7	DQ115	DQ57	DQ28	DQ14
3B	26	VREFB3BN0	IO	RZQ_3B			LVDS3B_11p	No	AE6	DQ115	DQ57	DQ28	DQ14
3B	25	VREFB3BN0	IO	CLK_3B_1n			LVDS3B_12n	Yes	AD11	DQ115	DQ57	DQ28	DQ14
3B	24	VREFB3BN0	IO	CLK_3B_1p			LVDS3B_12p	Yes	AD10	DQ115	DQ57	DQ28	DQ14
3B	23	VREFB3BN0	IO	CLK_3B_0n			LVDS3B_13n	No	AE3	DQ116	DQ58	DQ29	DQ14
3B	22	VREFB3BN0	IO	CLK_3B_0p			LVDS3B_13p	No	AE2	DQ116	DQ58	DQ29	DQ14
3B	21	VREFB3BN0	IO				LVDS3B_14n	Yes	AF5	DQSn116	DQ58	DQ29	DQSn14/CQn14
3B	20	VREFB3BN0	IO				LVDS3B_14p	Yes	AG5	DQS116	DQ58	DQ29	DQS14/CQ14
3B	19	VREFB3BN0	IO	PLL_3B_CLKOUT0n			LVDS3B_15n	No	AF3	DQ116	DQ58	DQ29	DQ14
3B	18	VREFB3BN0	IO	PLL_3B_CLKOUT0p,PLL_3B_CLKOUT0,PLL_3B_FB0			LVDS3B_15p	No	AF4	DQ116	DQ58	DQ29	DQ14
3B	17	VREFB3BN0	IO				LVDS3B_16n	Yes	AE1	DQSn117	DQSn58/CQn58	DQ29	DQ14
3B	16	VREFB3BN0	IO				LVDS3B_16p	Yes	AF1	DQS117	DQS58/CQ58	DQ29	DQ14
3B	15	VREFB3BN0	IO				LVDS3B_17n	No	AF6	DQ117	DQ58	DQ29	DQ14
3B	14	VREFB3BN0	IO				LVDS3B_17p	No	AG6	DQ117	DQ58	DQ29	DQ14
3B	13	VREFB3BN0	IO				LVDS3B_18n	Yes	AG3	DQ117	DQ58	DQSn29/CQn29	DQ14
3B	12	VREFB3BN0	IO				LVDS3B_18p	Yes	AH3	DQ117	DQ58	DQS29/CQ29	DQ14
3B	11	VREFB3BN0	IO				LVDS3B_19n	No	AG2	DQ118	DQ59	DQ29	DQ14
3B	10	VREFB3BN0	IO				LVDS3B_19p	No	AG1	DQ118	DQ59	DQ29	DQ14
3B	9	VREFB3BN0	IO				LVDS3B_20n	Yes	AH2	DQSn118	DQ59	DQ29	DQ14
3B	8	VREFB3BN0	IO				LVDS3B_20p	Yes	AJ1	DQS118	DQ59	DQ29	DQ14
3B	7	VREFB3BN0	IO				LVDS3B_21n	No	AH4	DQ118	DQ59	DQ29	DQ14
3B	6	VREFB3BN0	IO				LVDS3B_21p	No	AJ4	DQ118	DQ59	DQ29	DQ14
3B	5	VREFB3BN0	IO				LVDS3B_22n	Yes	AK3	DQSn119	DQSn59/CQn59	DQ29	DQ14
3B	4	VREFB3BN0	IO				LVDS3B_22p	Yes	AK4	DQS119	DQS59/CQ59	DQ29	DQ14
3B	3	VREFB3BN0	IO				LVDS3B_23n	No	AJ2	DQ119	DQ59	DQ29	DQ14
3B	2	VREFB3BN0	IO				LVDS3B_23p	No	AK2	DQ119	DQ59	DQ29	DQ14
3B	1	VREFB3BN0	IO				LVDS3B_24n	Yes	AK1	DQ119	DQ59	DQ29	DQ14
3B	0	VREFB3BN0	IO				LVDS3B_24p	Yes	AL1	DQ119	DQ59	DQ29	DQ14
3A	47	VREFB3AN0	IO				LVDS3A_1n	No	AE9	DQ120	DQ60	DQ30	DQ15
3A	46	VREFB3AN0	IO				LVDS3A_1p	No	AF9	DQ120	DQ60	DQ30	DQ15

Bank Number	Index within I/O Bank *(1)*	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	F34	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
3A	45	VREFB3AN0	IO				LVDS3A_2n	Yes	AE8	DQSn120	DQ60	DQ30	DQ15
3A	44	VREFB3AN0	IO				LVDS3A_2p	Yes	AF8	DQS120	DQ60	DQ30	DQ15
3A	43	VREFB3AN0	IO				LVDS3A_3n	No	AH9	DQ120	DQ60	DQ30	DQ15
3A	42	VREFB3AN0	IO				LVDS3A_3p	No	AH10	DQ120	DQ60	DQ30	DQ15
3A	41	VREFB3AN0	IO				LVDS3A_4n	Yes	AF10	DQSn121	DQSn60/CQn60	DQ30	DQ15
3A	40	VREFB3AN0	IO				LVDS3A_4p	Yes	AG10	DQS121	DQS60/CQ60	DQ30	DQ15
3A	39	VREFB3AN0	IO				LVDS3A_5n	No	AG11	DQ121	DQ60	DQ30	DQ15
3A	38	VREFB3AN0	IO				LVDS3A_5p	No	AF11	DQ121	DQ60	DQ30	DQ15
3A	37	VREFB3AN0	IO				LVDS3A_6n	Yes	AE11	DQ121	DQ60	DQSn30/CQn30	DQ15
3A	36	VREFB3AN0	IO				LVDS3A_6p	Yes	AE12	DQ121	DQ60	DQS30/CQ30	DQ15
3A	35	VREFB3AN0	IO				LVDS3A_7n	No	AG8	DQ122	DQ61	DQ30	DQ15
3A	34	VREFB3AN0	IO				LVDS3A_7p	No	AH8	DQ122	DQ61	DQ30	DQ15
3A	33	VREFB3AN0	IO				LVDS3A_8n	Yes	AG7	DQSn122	DQ61	DQ30	DQ15
3A	32	VREFB3AN0	IO				LVDS3A_8p	Yes	AH7	DQS122	DQ61	DQ30	DQ15
3A	31	VREFB3AN0	IO				LVDS3A_9n	No	AK8	DQ122	DQ61	DQ30	DQ15
3A	30	VREFB3AN0	IO				LVDS3A_9p	No	AK7	DQ122	DQ61	DQ30	DQ15
3A	29	VREFB3AN0	IO	PLL_3A_CLKOUT1n			LVDS3A_10n	Yes	AH5	DQSn123	DQSn61/CQn61	DQ30	DQ15
3A	28	VREFB3AN0	IO	PLL_3A_CLKOUT1p,PLL_3A_CLKOUT1,PLL_3A_FB1			LVDS3A_10p	Yes	AJ5	DQS123	DQS61/CQ61	DQ30	DQ15
3A	27	VREFB3AN0	IO				LVDS3A_11n	No	AJ6	DQ123	DQ61	DQ30	DQ15
3A	26	VREFB3AN0	IO	RZQ_3A			LVDS3A_11p	No	AJ7	DQ123	DQ61	DQ30	DQ15
3A	25	VREFB3AN0	IO	CLK_3A_1n			LVDS3A_12n	Yes	AK9	DQ123	DQ61	DQ30	DQ15
3A	24	VREFB3AN0	IO	CLK_3A_1p			LVDS3A_12p	Yes	AJ9	DQ123	DQ61	DQ30	DQ15
3A	23	VREFB3AN0	IO	CLK_3A_0n			LVDS3A_13n	No	AL4	DQ124	DQ62	DQ31	DQ15
3A	22	VREFB3AN0	IO	CLK_3A_0p			LVDS3A_13p	No	AL5	DQ124	DQ62	DQ31	DQ15
3A	21	VREFB3AN0	IO				LVDS3A_14n	Yes	AK6	DQSn124	DQ62	DQ31	DQSn15/CQn15
3A	20	VREFB3AN0	IO				LVDS3A_14p	Yes	AL6	DQS124	DQ62	DQ31	DQS15/CQ15
3A	19	VREFB3AN0	IO	PLL_3A_CLKOUT0n			LVDS3A_15n	No	AL3	DQ124	DQ62	DQ31	DQ15
3A	18	VREFB3AN0	IO	PLL_3A_CLKOUT0p,PLL_3A_CLKOUT0,PLL_3A_FB0			LVDS3A_15p	No	AM3	DQ124	DQ62	DQ31	DQ15
3A	17	VREFB3AN0	IO				LVDS3A_16n	Yes	AM2	DQSn125	DQSn62/CQn62	DQ31	DQ15
3A	16	VREFB3AN0	IO				LVDS3A_16p	Yes	AM1	DQS125	DQS62/CQ62	DQ31	DQ15
3A	15	VREFB3AN0	IO				LVDS3A_17n	No	AM5	DQ125	DQ62	DQ31	DQ15
3A	14	VREFB3AN0	IO				LVDS3A_17p	No	AM6	DQ125	DQ62	DQ31	DQ15
3A	13	VREFB3AN0	IO				LVDS3A_18n	Yes	AN4	DQ125	DQ62	DQSn31/CQn31	DQ15
3A	12	VREFB3AN0	IO				LVDS3A_18p	Yes	AP4	DQ125	DQ62	DQS31/CQ31	DQ15
3A	11	VREFB3AN0	IO				LVDS3A_19n	No	AN5	DQ126	DQ63	DQ31	DQ15
3A	10	VREFB3AN0	IO				LVDS3A_19p	No	AP5	DQ126	DQ63	DQ31	DQ15
3A	9	VREFB3AN0	IO				LVDS3A_20n	Yes	AP6	DQSn126	DQ63	DQ31	DQ15
3A	8	VREFB3AN0	IO				LVDS3A_20p	Yes	AP7	DQS126	DQ63	DQ31	DQ15
3A	7	VREFB3AN0	IO				LVDS3A_21n	No	AM8	DQ126	DQ63	DQ31	DQ15
3A	6	VREFB3AN0	IO				LVDS3A_21p	No	AN8	DQ126	DQ63	DQ31	DQ15
3A	5	VREFB3AN0	IO				LVDS3A_22n	Yes	AN9	DQSn127	DQSn63/CQn63	DQ31	DQ15
3A	4	VREFB3AN0	IO				LVDS3A_22p	Yes	AP9	DQS127	DQS63/CQ63	DQ31	DQ15
3A	3	VREFB3AN0	IO				LVDS3A_23n	No	AL8	DQ127	DQ63	DQ31	DQ15
3A	2	VREFB3AN0	IO				LVDS3A_23p	No	AL9	DQ127	DQ63	DQ31	DQ15
3A	1	VREFB3AN0	IO				LVDS3A_24n	Yes	AM7	DQ127	DQ63	DQ31	DQ15
3A	0	VREFB3AN0	IO				LVDS3A_24p	Yes	AN7	DQ127	DQ63	DQ31	DQ15
			GND						AE13				
CSS			TDO		TDO				AJ12				
CSS			TMS		TMS				AL10				
CSS			TRST		TRST				AL11				
CSS			TCK		TCK				AH12				
CSS			TDI		TDI				AH13				
CSS			MSEL0		MSEL0				AG15				
CSS			MSEL1		MSEL1				AG13				
CSS			MSEL2		MSEL2				AG12				
CSS			nIO_PULLUP		nIO_PULLUP				AE14				
CSS			nSTATUS		nSTATUS				AM11				
CSS			CONF_DONE		CONF_DONE				AM12				
			GND						AP11				
CSS			nCONFIG		nCONFIG				AF13				
CSS			nCE		nCE				AF14				
CSS			nCSO0		nCSO0				AN10				
CSS			nCSO1		nCSO1				AM10				
CSS			nCSO2		nCSO2				AP10				
CSS			AS_DATA0,ASDO		AS_DATA0,ASDO				AJ11				
CSS			AS_DATA1		AS_DATA1				AK12				
CSS			AS_DATA2		AS_DATA2				AK11				
CSS			AS_DATA3		AS_DATA3				AF15				
CSS			DCLK		DCLK				AJ10				
			ADCGND						A14				
			GND						K16				
			GND						J16				
			GND						L15				
			GND						L16				
			GND						M15				
			GND						M16				
			GND						J15				
			GND						A12				
			GND						A17				
			GND						A22				
			GND						A27				
			GND						A28				
			GND						A30				
			GND						A31				
			GND						A32				
			GND						A33				
			GND						A7				
			GND						AA12				
			GND						AA17				
			GND						AA2				
			GND						AA22				
			GND						AA25				
			GND						AA26				

Bank Number	Index within I/O Bank *(1)*	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	F34	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			GND						AA31				
			GND						AA32				
			GND						AB19				
			GND						AB26				
			GND						AB29				
			GND						AB30				
			GND						AB33				
			GND						AB34				
			GND						AB4				
			GND						AC1				
			GND						AC11				
			GND						AC16				
			GND						AC25				
			GND						AC31				
			GND						AC32				
			GND						AD13				
			GND						AD18				
			GND						AD21				
			GND						AD23				
			GND						AD26				
			GND						AD29				
			GND						AD3				
			GND						AD30				
			GND						AD33				
			GND						AD34				
			GND						AE15				
			GND						AE26				
			GND						AE31				
			GND						AE32				
			GND						AE5				
			GND						AF2				
			GND						AF26				
			GND						AF29				
			GND						AF30				
			GND						AF33				
			GND						AF34				
			GND						AF7				
			GND						AG14				
			GND						AG19				
			GND						AG26				
			GND						AG27				
			GND						AG28				
			GND						AG31				
			GND						AG32				
			GND						AG4				
			GND						AH1				
			GND						AH11				
			GND						AH21				
			GND						AH28				
			GND						AH29				
			GND						AH30				
			GND						AH33				
			GND						AH34				
			GND						AH6				
			GND						AJ13				
			GND						AJ18				
			GND						AJ28				
			GND						AJ3				
			GND						AJ31				
			GND						AJ32				
			GND						AJ8				
			GND						AK10				
			GND						AK25				
			GND						AK28				
			GND						AK29				
			GND						AK30				
			GND						AK33				
			GND						AK34				
			GND						AK5				
			GND						AL12				
			GND						AL17				
			GND						AL2				
			GND						AL22				
			GND						AL28				
			GND						AL31				
			GND						AL32				
			GND						AL7				
			GND						AM14				
			GND						AM19				
			GND						AM24				
			GND						AM28				
			GND						AM29				
			GND						AM30				
			GND						AM33				
			GND						AM34				
			GND						AM4				
			GND						AM9				
			GND						AN11				
			GND						AN16				
			GND						AN21				
			GND						AN26				
			GND						AN30				
			GND						AN31				

Bank Number	Index within I/O Bank *(1)*	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	F34	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			GND						AN32				
			GND						AN6				
			GND						AP13				
			GND						AP18				
			GND						AP23				
			GND						AP28				
			GND						AP30				
			GND						AP33				
			GND						AP8				
			GND						B14				
			GND						B19				
			GND						B2				
			GND						B24				
			GND						B28				
			GND						B29				
			GND						B30				
			GND						B33				
			GND						B34				
			GND						B4				
			GND						B9				
			GND						C1				
			GND						C11				
			GND						C16				
			GND						C21				
			GND						C26				
			GND						C28				
			GND						C31				
			GND						C32				
			GND						C6				
			GND						D13				
			GND						D18				
			GND						D23				
			GND						D28				
			GND						D29				
			GND						D3				
			GND						D30				
			GND						D33				
			GND						D34				
			GND						D8				
			GND						E10				
			GND						E15				
			GND						E20				
			GND						E25				
			GND						E28				
			GND						E31				
			GND						E32				
			GND						E5				
			GND						F2				
			GND						F27				
			GND						F28				
			GND						F29				
			GND						F30				
			GND						F33				
			GND						F34				
			GND						F7				
			GND						G14				
			GND						G28				
			GND						G31				
			GND						G32				
			GND						G4				
			GND						G9				
			GND						H1				
			GND						H16				
			GND						H21				
			GND						H26				
			GND						H28				
			GND						H29				
			GND						H30				
			GND						H33				
			GND						H34				
			GND						H6				
			GND						J28				
			GND						J3				
			GND						J31				
			GND						J32				
			GND						J8				
			GND						K15				
			GND						K20				
			GND						K26				
			GND						K27				
			GND						K28				
			GND						K29				
			GND						K30				
			GND						K33				
			GND						K34				
			GND						K5				
			GND						L12				
			GND						L17				
			GND						L2				
			GND						L22				
			GND						L25				
			GND						L31				
			GND						L32				

Bank Number	Index within I/O Bank *(1)*	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	F34	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			GND						L7				
			GND						M14				
			GND						M19				
			GND						M25				
			GND						M26				
			GND						M29				
			GND						M30				
			GND						M33				
			GND						M34				
			GND						M4				
			GND						N1				
			GND						N21				
			GND						N26				
			GND						N31				
			GND						N32				
			GND						N6				
			GND						P13				
			GND						P18				
			GND						P23				
			GND						P26				
			GND						P29				
			GND						P3				
			GND						P30				
			GND						P33				
			GND						P34				
			GND						R10				
			GND						R15				
			GND						R20				
			GND						R25				
			GND						R31				
			GND						R32				
			GND						R5				
			GND						T12				
			GND						T17				
			GND						T2				
			GND						T22				
			GND						T26				
			GND						T29				
			GND						T30				
			GND						T33				
			GND						T34				
			GND						U14				
			GND						U19				
			GND						U24				
			GND						U26				
			GND						U31				
			GND						U32				
			GND						U4				
			GND						V1				
			GND						V11				
			GND						V16				
			GND						V21				
			GND						V25				
			GND						V26				
			GND						V29				
			GND						V30				
			GND						V33				
			GND						V34				
			GND						V6				
			GND						W13				
			GND						W18				
			GND						W23				
			GND						W25				
			GND						W3				
			GND						W31				
			GND						W32				
			GND						Y10				
			GND						Y15				
			GND						Y20				
			GND						Y25				
			GND						Y26				
			GND						Y29				
			GND						Y30				
			GND						Y33				
			GND						Y34				
			GNDSENSE						Y18				
			VCC						AA11				
			VCC						AA13				
			VCC						AA16				
			VCC						AA18				
			VCC						AA19				
			VCC						AA23				
			VCC						AA24				
			VCC						AB12				
			VCC						AB13				
			VCC						AB14				
			VCC						AB17				
			VCC						AB18				
			VCC						AB21				
			VCC						AB23				
			VCC						AB24				
			VCC						AB25				
			VCC						AC18				

Bank Number	Index within I/O Bank *(1)*	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	F34	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			VCC						AC21				
			VCC						N12				
			VCC						N13				
			VCC						N16				
			VCC						N17				
			VCC						N18				
			VCC						N23				
			VCC						N24				
			VCC						N25				
			VCC						P11				
			VCC						P12				
			VCC						P14				
			VCC						P17				
			VCC						P22				
			VCC						P24				
			VCC						P25				
			VCC						R11				
			VCC						R12				
			VCC						R13				
			VCC						R14				
			VCC						R16				
			VCC						R17				
			VCC						R18				
			VCC						R19				
			VCC						R21				
			VCC						R22				
			VCC						R23				
			VCC						R24				
			VCC						T11				
			VCC						T13				
			VCC						T19				
			VCC						T20				
			VCC						T21				
			VCC						T23				
			VCC						T24				
			VCC						T25				
			VCC						U11				
			VCC						U12				
			VCC						U15				
			VCC						U16				
			VCC						U20				
			VCC						U21				
			VCC						U25				
			VCC						V12				
			VCC						V13				
			VCC						V14				
			VCC						V15				
			VCC						V17				
			VCC						V18				
			VCC						V19				
			VCC						V20				
			VCC						V22				
			VCC						V23				
			VCC						V24				
			VCC						W11				
			VCC						W12				
			VCC						W14				
			VCC						W15				
			VCC						W16				
			VCC						W17				
			VCC						W19				
			VCC						W20				
			VCC						W21				
			VCC						W22				
			VCC						W24				
			VCC						Y11				
			VCC						Y12				
			VCC						Y13				
			VCC						Y14				
			VCC						Y16				
			VCC						Y19				
			VCC						Y21				
			VCC						Y22				
			VCC						Y23				
			VCC						Y24				
			VCCPT						AA14				
			VCCPT						AA15				
			VCCPT						AA20				
			VCCPT						AA21				
			VCCPT						P15				
			VCCPT						P16				
			VCCPT						P19				
			VCCPT						P20				
			VCCPT						P21				
			DNU						AN28				
			DNU						AN29				
			DNU						AC13				
			DNU						AC14				
			DNU						AC15				
			VCCPGM						AD15				
			VCCPGM						AD16				
			TEMPDIODEn						C14				
			TEMPDIODEp						D14				

Bank Number	Index within I/O Bank *(1)*	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	F34	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			VCCBAT						AD14				
			VCCA_PLL						T16				
			VCCA_PLL						T18				
			VCCIO2A						AF17				
			VCCIO2A						AH16				
			VCCIO2A						AK15				
			VCCIO2I						AE20				
			VCCIO2I						AF22				
			VCCIO2I						AK20				
			VCCIO2J						AE25				
			VCCIO2J						AG24				
			VCCIO2J						AJ23				
			VCCIO2K						F22				
			VCCIO2K						G24				
			VCCIO2K						J23				
			VCCIO2L						F17				
			VCCIO2L						G19				
			VCCIO2L						J18				
			VCCIO3A						AE10				
			VCCIO3A						AF12				
			VCCIO3A						AG9				
			VCCIO3B						AB9				
			VCCIO3B						AC6				
			VCCIO3B						AD8				
			VCCIO3C						AA7				
			VCCIO3C						W8				
			VCCIO3C						Y5				
			VCCIO3D						P8				
			VCCIO3D						T7				
			VCCIO3D						U9				
			VCCIO3E						K10				
			VCCIO3E						M9				
			VCCIO3E						N11				
			VCCIO3F						F12				
			VCCIO3F						H11				
			VCCIO3F						J13				
2A		VREFB2AN0	VREFB2AN0						AC19				
2I		VREFB2IN0	VREFB2IN0						AE21				
2J		VREFB2JN0	VREFB2JN0						AC23				
2K		VREFB2KN0	VREFB2KN0						M22				
2L		VREFB2LN0	VREFB2LN0						K17				
3A		VREFB3AN0	VREFB3AN0						AD12				
3B		VREFB3BN0	VREFB3BN0						AC12				
3C		VREFB3CN0	VREFB3CN0						AA10				
3D		VREFB3DN0	VREFB3DN0						V10				
3E		VREFB3EN0	VREFB3EN0						P10				
3F		VREFB3FN0	VREFB3FN0						M12				
			VREFN_ADC						B13				
			VREFP_ADC						A13				
			NC						B16				
			NC						K14				
			NC						L14				
			NC						B15				
			NC						C17				
			NC						D15				
			NC						B17				
			NC						D16				
			NC						A16				
			NC						G15				
			NC						E16				
			NC						G16				
			NC						A15				
			NC						C15				
			NC						F16				
			NC						F15				
			NC						H15				
			NC						A2				
			NC						AC20				
			NC						AC22				
			NC						AD20				
			NC						AD22				
			NC						AE22				
			NC						AF20				
			NC						AF21				
			NC						AG20				
			NC						AG21				
			NC						AG22				
			NC						AH20				
			NC						AH22				
			NC						AN1				
			NC						AN2				
			NC						AN3				
			NC						AP2				
			NC						AP3				
			NC						B1				
			NC						C2				
			NC						T14				
			NC						T15				
			VCCH_GXBL						AC26				
			VCCH_GXBL						L26				
			VCCH_GXBL						R26				
			VCCH_GXBL						W26				
			VCCR_GXBL1C						AE27				

Bank Number	Index within I/O Bank *(1)*	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	F34	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			VCCR_GXBL1C						AE28				
			VCCR_GXBL1D						AA27				
			VCCR_GXBL1D						AA28				
			VCCR_GXBL1E						U27				
			VCCR_GXBL1E						U28				
			VCCR_GXBL1F						N27				
			VCCR_GXBL1F						N28				
			VCCT_GXBL1C						AC27				
			VCCT_GXBL1C						AC28				
			VCCT_GXBL1D						W27				
			VCCT_GXBL1D						W28				
			VCCT_GXBL1E						R27				
			VCCT_GXBL1E						R28				
			VCCT_GXBL1F						L27				
			VCCT_GXBL1F						L28				
			RREF_BL						AP29				
			RREF_TL						A29				
			VCCERAM						U13				
			VCCERAM						U17				
			VCCERAM						U18				
			VCCERAM						U22				
			VCCERAM						U23				
			VCCLSENSE						Y17				
			VCCP						AB15				
			VCCP						AB16				
			VCCP						AB20				
			VCCP						AB22				
			VCCP						N14				
			VCCP						N15				
			VCCP						N19				
			VCCP						N20				
			VCCP						N22				
			VSIGN_0						F14				
			VSIGN_1						J14				
			VSIGP_0						E14				
			VSIGP_1						H14				

Note:

(1) For more information about the external memory interface schemes of the pins with indices, refer to the Arria10EMIF.xls

Bank Number	Index within I/O Bank *(1)*	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	F35	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
1H			REFCLK_GXBL1H_CHTp						G26				
1H			REFCLK_GXBL1H_CHTn						G25				
1H			GXBL1H_TX_CH5n						A25				
1H			GXBL1H_TX_CH5p						A26				
1H			GXBL1H_RX_CH5n,GXBL1H_REFCLK5n						C25				
1H			GXBL1H_RX_CH5p,GXBL1H_REFCLK5p						C26				
1H			GXBL1H_TX_CH4n						A29				
1H			GXBL1H_TX_CH4p						A30				
1H			GXBL1H_RX_CH4n,GXBL1H_REFCLK4n						E25				
1H			GXBL1H_RX_CH4p,GXBL1H_REFCLK4p						E26				
1H			GXBL1H_TX_CH3n						B31				
1H			GXBL1H_TX_CH3p						B32				
1H			GXBL1H_RX_CH3n,GXBL1H_REFCLK3n						B27				
1H			GXBL1H_RX_CH3p,GXBL1H_REFCLK3p						B28				
1H			GXBL1H_TX_CH2n						C33				
1H			GXBL1H_TX_CH2p						C34				
1H			GXBL1H_RX_CH2n,GXBL1H_REFCLK2n						D27				
1H			GXBL1H_RX_CH2p,GXBL1H_REFCLK2p						D28				
1H			GXBL1H_TX_CH1n						D31				
1H			GXBL1H_TX_CH1p						D32				
1H			GXBL1H_RX_CH1n,GXBL1H_REFCLK1n						C29				
1H			GXBL1H_RX_CH1p,GXBL1H_REFCLK1p						C30				
1H			GXBL1H_TX_CH0n						E33				
1H			GXBL1H_TX_CH0p						E34				
1H			GXBL1H_RX_CH0n,GXBL1H_REFCLK0n						E29				
1H			GXBL1H_RX_CH0p,GXBL1H_REFCLK0p						E30				
1H			REFCLK_GXBL1H_CHBp						J26				
1H			REFCLK_GXBL1H_CHBn						J25				
1G			REFCLK_GXBL1G_CHTp						L26				
1G			REFCLK_GXBL1G_CHTn						L25				
1G			GXBL1G_TX_CH5n						F31				
1G			GXBL1G_TX_CH5p						F32				
1G			GXBL1G_RX_CH5n,GXBL1G_REFCLK5n						F27				
1G			GXBL1G_RX_CH5p,GXBL1G_REFCLK5p						F28				
1G			GXBL1G_TX_CH4n						G33				
1G			GXBL1G_TX_CH4p						G34				
1G			GXBL1G_RX_CH4n,GXBL1G_REFCLK4n						G29				
1G			GXBL1G_RX_CH4p,GXBL1G_REFCLK4p						G30				
1G			GXBL1G_TX_CH3n						H31				
1G			GXBL1G_TX_CH3p						H32				
1G			GXBL1G_RX_CH3n,GXBL1G_REFCLK3n						H27				
1G			GXBL1G_RX_CH3p,GXBL1G_REFCLK3p						H28				
1G			GXBL1G_TX_CH2n						J33				
1G			GXBL1G_TX_CH2p						J34				
1G			GXBL1G_RX_CH2n,GXBL1G_REFCLK2n						J29				
1G			GXBL1G_RX_CH2p,GXBL1G_REFCLK2p						J30				
1G			GXBL1G_TX_CH1n						K31				
1G			GXBL1G_TX_CH1p						K32				
1G			GXBL1G_RX_CH1n,GXBL1G_REFCLK1n						K27				
1G			GXBL1G_RX_CH1p,GXBL1G_REFCLK1p						K28				
1G			GXBL1G_TX_CH0n						L33				
1G			GXBL1G_TX_CH0p						L34				
1G			GXBL1G_RX_CH0n,GXBL1G_REFCLK0n						L29				
1G			GXBL1G_RX_CH0p,GXBL1G_REFCLK0p						L30				
1G			REFCLK_GXBL1G_CHBp						N26				
1G			REFCLK_GXBL1G_CHBn						N25				
1F			REFCLK_GXBL1F_CHTp						R26				
1F			REFCLK_GXBL1F_CHTn						R25				
1F			GXBL1F_TX_CH5n						M31				
1F			GXBL1F_TX_CH5p						M32				
1F			GXBL1F_RX_CH5n,GXBL1F_REFCLK5n						M27				
1F			GXBL1F_RX_CH5p,GXBL1F_REFCLK5p						M28				
1F			GXBL1F_TX_CH4n						N33				
1F			GXBL1F_TX_CH4p						N34				
1F			GXBL1F_RX_CH4n,GXBL1F_REFCLK4n						N29				
1F			GXBL1F_RX_CH4p,GXBL1F_REFCLK4p						N30				
1F			GXBL1F_TX_CH3n						P31				
1F			GXBL1F_TX_CH3p						P32				
1F			GXBL1F_RX_CH3n,GXBL1F_REFCLK3n						P27				
1F			GXBL1F_RX_CH3p,GXBL1F_REFCLK3p						P28				
1F			GXBL1F_TX_CH2n						R33				
1F			GXBL1F_TX_CH2p						R34				
1F			GXBL1F_RX_CH2n,GXBL1F_REFCLK2n						R29				
1F			GXBL1F_RX_CH2p,GXBL1F_REFCLK2p						R30				
1F			GXBL1F_TX_CH1n						T31				
1F			GXBL1F_TX_CH1p						T32				
1F			GXBL1F_RX_CH1n,GXBL1F_REFCLK1n						T27				
1F			GXBL1F_RX_CH1p,GXBL1F_REFCLK1p						T28				
1F			GXBL1F_TX_CH0n						U33				
1F			GXBL1F_TX_CH0p						U34				
1F			GXBL1F_RX_CH0n,GXBL1F_REFCLK0n						U29				
1F			GXBL1F_RX_CH0p,GXBL1F_REFCLK0p						U30				
1F			REFCLK_GXBL1F_CHBp						U26				
1F			REFCLK_GXBL1F_CHBn						U25				
1E			REFCLK_GXBL1E_CHTp						W26				

Bank Number	Index within I/O Bank *(1)*	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	F35	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
1E			REFCLK_GXBL1E_CHTn						W25				
1E			GXBL1E_TX_CH5n						V31				
1E			GXBL1E_TX_CH5p						V32				
1E			GXBL1E_RX_CH5n,GXBL1E_REFCLK5n						V27				
1E			GXBL1E_RX_CH5p,GXBL1E_REFCLK5p						V28				
1E			GXBL1E_TX_CH4n						W33				
1E			GXBL1E_TX_CH4p						W34				
1E			GXBL1E_RX_CH4n,GXBL1E_REFCLK4n						W29				
1E			GXBL1E_RX_CH4p,GXBL1E_REFCLK4p						W30				
1E			GXBL1E_TX_CH3n						Y31				
1E			GXBL1E_TX_CH3p						Y32				
1E			GXBL1E_RX_CH3n,GXBL1E_REFCLK3n						Y27				
1E			GXBL1E_RX_CH3p,GXBL1E_REFCLK3p						Y28				
1E			GXBL1E_TX_CH2n						AA33				
1E			GXBL1E_TX_CH2p						AA34				
1E			GXBL1E_RX_CH2n,GXBL1E_REFCLK2n						AA29				
1E			GXBL1E_RX_CH2p,GXBL1E_REFCLK2p						AA30				
1E			GXBL1E_TX_CH1n						AB31				
1E			GXBL1E_TX_CH1p						AB32				
1E			GXBL1E_RX_CH1n,GXBL1E_REFCLK1n						AB27				
1E			GXBL1E_RX_CH1p,GXBL1E_REFCLK1p						AB28				
1E			GXBL1E_TX_CH0n						AC33				
1E			GXBL1E_TX_CH0p						AC34				
1E			GXBL1E_RX_CH0n,GXBL1E_REFCLK0n						AC29				
1E			GXBL1E_RX_CH0p,GXBL1E_REFCLK0p						AC30				
1E			REFCLK_GXBL1E_CHBp						AA26				
1E			REFCLK_GXBL1E_CHBn						AA25				
1D			REFCLK_GXBL1D_CHTp						AC26				
1D			REFCLK_GXBL1D_CHTn						AC25				
1D			GXBL1D_TX_CH5n						AD31				
1D			GXBL1D_TX_CH5p						AD32				
1D			GXBL1D_RX_CH5n,GXBL1D_REFCLK5n						AD27				
1D			GXBL1D_RX_CH5p,GXBL1D_REFCLK5p						AD28				
1D			GXBL1D_TX_CH4n						AE33				
1D			GXBL1D_TX_CH4p						AE34				
1D			GXBL1D_RX_CH4n,GXBL1D_REFCLK4n						AE29				
1D			GXBL1D_RX_CH4p,GXBL1D_REFCLK4p						AE30				
1D			GXBL1D_TX_CH3n						AF31				
1D			GXBL1D_TX_CH3p						AF32				
1D			GXBL1D_RX_CH3n,GXBL1D_REFCLK3n						AF27				
1D			GXBL1D_RX_CH3p,GXBL1D_REFCLK3p						AF28				
1D			GXBL1D_TX_CH2n						AG33				
1D			GXBL1D_TX_CH2p						AG34				
1D			GXBL1D_RX_CH2n,GXBL1D_REFCLK2n						AG29				
1D			GXBL1D_RX_CH2p,GXBL1D_REFCLK2p						AG30				
1D			GXBL1D_TX_CH1n						AH31				
1D			GXBL1D_TX_CH1p						AH32				
1D			GXBL1D_RX_CH1n,GXBL1D_REFCLK1n						AH27				
1D			GXBL1D_RX_CH1p,GXBL1D_REFCLK1p						AH28				
1D			GXBL1D_TX_CH0n						AJ33				
1D			GXBL1D_TX_CH0p						AJ34				
1D			GXBL1D_RX_CH0n,GXBL1D_REFCLK0n						AJ29				
1D			GXBL1D_RX_CH0p,GXBL1D_REFCLK0p						AJ30				
1D			REFCLK_GXBL1D_CHBp						AE26				
1D			REFCLK_GXBL1D_CHBn						AE25				
1C			REFCLK_GXBL1C_CHTp						AG26				
1C			REFCLK_GXBL1C_CHTn						AG25				
1C			GXBL1C_TX_CH5n						AK31				
1C			GXBL1C_TX_CH5p						AK32				
1C			GXBL1C_RX_CH5n,GXBL1C_REFCLK5n						AL29				
1C			GXBL1C_RX_CH5p,GXBL1C_REFCLK5p						AL30				
1C			GXBL1C_TX_CH4n						AL33				
1C			GXBL1C_TX_CH4p						AL34				
1C			GXBL1C_RX_CH4n,GXBL1C_REFCLK4n						AN29				
1C			GXBL1C_RX_CH4p,GXBL1C_REFCLK4p						AN30				
1C			GXBL1C_TX_CH3n						AM31				
1C			GXBL1C_TX_CH3p						AM32				
1C			GXBL1C_RX_CH3n,GXBL1C_REFCLK3n						AK27				
1C			GXBL1C_RX_CH3p,GXBL1C_REFCLK3p						AK28				
1C			GXBL1C_TX_CH2n						AN33				
1C			GXBL1C_TX_CH2p						AN34				
1C			GXBL1C_RX_CH2n,GXBL1C_REFCLK2n						AM27				
1C			GXBL1C_RX_CH2p,GXBL1C_REFCLK2p						AM28				
1C			GXBL1C_TX_CH1n						AP31				
1C			GXBL1C_TX_CH1p						AP32				
1C			GXBL1C_RX_CH1n,GXBL1C_REFCLK1n						AN25				
1C			GXBL1C_RX_CH1p,GXBL1C_REFCLK1p						AN26				
1C			GXBL1C_TX_CH0n						AP27				
1C			GXBL1C_TX_CH0p						AP28				
1C			GXBL1C_RX_CH0n,GXBL1C_REFCLK0n						AL25				
1C			GXBL1C_RX_CH0p,GXBL1C_REFCLK0p						AL26				
1C			REFCLK_GXBL1C_CHBp						AJ26				
1C			REFCLK_GXBL1C_CHBn						AJ25				
2L	47	VREFB2LN0	IO			DIFFIO2L_1n		No	C13	DQ0	DQ0	DQ0	DQ0
2L	46	VREFB2LN0	IO			DIFFIO2L_1p		No	B13	DQ0	DQ0	DQ0	DQ0

Bank Number	Index within I/O Bank *(1)*	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	F35	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
2L	45	VREFB2LN0	IO			DIFFIO2L_2n		No	A14	DQSn0	DQ0	DQ0	DQ0
2L	44	VREFB2LN0	IO			DIFFIO2L_2p		No	A13	DQS0	DQ0	DQ0	DQ0
2L	43	VREFB2LN0	IO			DIFFIO2L_3n		No	D14	DQ0	DQ0	DQ0	DQ0
2L	42	VREFB2LN0	IO			DIFFIO2L_3p		No	C14	DQ0	DQ0	DQ0	DQ0
2L	41	VREFB2LN0	IO			DIFFIO2L_4n		No	D12	DQSn1	DQSn0/CQn0	DQ0	DQ0
2L	40	VREFB2LN0	IO			DIFFIO2L_4p		No	C12	DQS1	DQS0/CQ0	DQ0	DQ0
2L	39	VREFB2LN0	IO			DIFFIO2L_5n		No	F13	DQ1	DQ0	DQ0	DQ0
2L	38	VREFB2LN0	IO			DIFFIO2L_5p		No	E13	DQ1	DQ0	DQ0	DQ0
2L	37	VREFB2LN0	IO			DIFFIO2L_6n		No	F14	DQ1	DQ0	DQSn0/CQn0	DQ0
2L	36	VREFB2LN0	IO			DIFFIO2L_6p		No	E14	DQ1	DQ0	DQS0/CQ0	DQ0
2L	35	VREFB2LN0	IO			DIFFIO2L_7n		No	G17	DQ2	DQ1	DQ0	DQ0
2L	34	VREFB2LN0	IO			DIFFIO2L_7p		No	G16	DQ2	DQ1	DQ0	DQ0
2L	33	VREFB2LN0	IO			DIFFIO2L_8n		No	F16	DQSn2	DQ1	DQ0	DQ0
2L	32	VREFB2LN0	IO			DIFFIO2L_8p		No	F15	DQS2	DQ1	DQ0	DQ0
2L	31	VREFB2LN0	IO			DIFFIO2L_9n		No	D15	DQ2	DQ1	DQ0	DQ0
2L	30	VREFB2LN0	IO			DIFFIO2L_9p		No	C15	DQ2	DQ1	DQ0	DQ0
2L	29	VREFB2LN0	IO	PLL_2L_CLKOUT1n		DIFFIO2L_10n		No	E16	DQSn3	DQSn1/CQn1	DQ0	DQ0
2L	28	VREFB2LN0	IO	PLL_2L_CLKOUT1p,PLL_2L_CLKOUT1,PLL_2L_FB1		DIFFIO2L_10p		No	D16	DQS3	DQS1/CQ1	DQ0	DQ0
2L	27	VREFB2LN0	IO			DIFFIO2L_11n		No	B16	DQ3	DQ1	DQ0	DQ0
2L	26	VREFB2LN0	IO	RZQ_2L		DIFFIO2L_11p		No	A16	DQ3	DQ1	DQ0	DQ0
2L	25	VREFB2LN0	IO	CLK_2L_1n		DIFFIO2L_12n		No	B15	DQ3	DQ1	DQ0	DQ0
2L	24	VREFB2LN0	IO	CLK_2L_1p		DIFFIO2L_12p		No	A15	DQ3	DQ1	DQ0	DQ0
2L	23	VREFB2LN0	IO	CLK_2L_0n		DIFFIO2L_13n		No	E12	DQ4	DQ2	DQ1	DQ0
2L	22	VREFB2LN0	IO	CLK_2L_0p		DIFFIO2L_13p		No	E11	DQ4	DQ2	DQ1	DQ0
2L	21	VREFB2LN0	IO			DIFFIO2L_14n		No	C9	DQSn4	DQ2	DQ1	DQSn0/CQn0
2L	20	VREFB2LN0	IO			DIFFIO2L_14p		No	C8	DQS4	DQ2	DQ1	DQS0/CQ0
2L	19	VREFB2LN0	IO	PLL_2L_CLKOUT0n		DIFFIO2L_15n		No	D11	DQ4	DQ2	DQ1	DQ0
2L	18	VREFB2LN0	IO	PLL_2L_CLKOUT0p,PLL_2L_CLKOUT0,PLL_2L_FB0		DIFFIO2L_15p		No	D10	DQ4	DQ2	DQ1	DQ0
2L	17	VREFB2LN0	IO			DIFFIO2L_16n		No	C10	DQSn5	DQSn2/CQn2	DQ1	DQ0
2L	16	VREFB2LN0	IO			DIFFIO2L_16p		No	B10	DQS5	DQS2/CQ2	DQ1	DQ0
2L	15	VREFB2LN0	IO			DIFFIO2L_17n		No	E9	DQ5	DQ2	DQ1	DQ0
2L	14	VREFB2LN0	IO			DIFFIO2L_17p		No	D9	DQ5	DQ2	DQ1	DQ0
2L	13	VREFB2LN0	IO			DIFFIO2L_18n		No	B12	DQ5	DQ2	DQSn1/CQn1	DQ0
2L	12	VREFB2LN0	IO			DIFFIO2L_18p		No	B11	DQ5	DQ2	DQS1/CQ1	DQ0
2L	11	VREFB2LN0	IO			DIFFIO2L_19n		No	A6	DQ6	DQ3	DQ1	DQ0
2L	10	VREFB2LN0	IO			DIFFIO2L_19p		No	A5	DQ6	DQ3	DQ1	DQ0
2L	9	VREFB2LN0	IO			DIFFIO2L_20n		No	B7	DQSn6	DQ3	DQ1	DQ0
2L	8	VREFB2LN0	IO			DIFFIO2L_20p		No	B6	DQS6	DQ3	DQ1	DQ0
2L	7	VREFB2LN0	IO			DIFFIO2L_21n		No	A9	DQ6	DQ3	DQ1	DQ0
2L	6	VREFB2LN0	IO			DIFFIO2L_21p		No	A8	DQ6	DQ3	DQ1	DQ0
2L	5	VREFB2LN0	IO			DIFFIO2L_22n		No	A11	DQSn7	DQSn3/CQn3	DQ1	DQ0
2L	4	VREFB2LN0	IO			DIFFIO2L_22p		No	A10	DQS7	DQS3/CQ3	DQ1	DQ0
2L	3	VREFB2LN0	IO			DIFFIO2L_23n		No	C7	DQ7	DQ3	DQ1	DQ0
2L	2	VREFB2LN0	IO			DIFFIO2L_23p		No	B8	DQ7	DQ3	DQ1	DQ0
2L	1	VREFB2LN0	IO			DIFFIO2L_24n		No	A4	DQ7	DQ3	DQ1	DQ0
2L	0	VREFB2LN0	IO			DIFFIO2L_24p		No	A3	DQ7	DQ3	DQ1	DQ0
2K	47	VREFB2KN0	IO				LVDS2K_1n	No	K22	DQ8	DQ4	DQ2	DQ1
2K	46	VREFB2KN0	IO				LVDS2K_1p	No	J22	DQ8	DQ4	DQ2	DQ1
2K	45	VREFB2KN0	IO				LVDS2K_2n	Yes	J19	DQSn8	DQ4	DQ2	DQ1
2K	44	VREFB2KN0	IO				LVDS2K_2p	Yes	J20	DQS8	DQ4	DQ2	DQ1
2K	43	VREFB2KN0	IO				LVDS2K_3n	No	K18	DQ8	DQ4	DQ2	DQ1
2K	42	VREFB2KN0	IO				LVDS2K_3p	No	K17	DQ8	DQ4	DQ2	DQ1
2K	41	VREFB2KN0	IO				LVDS2K_4n	Yes	K21	DQSn9	DQSn4/CQn4	DQ2	DQ1
2K	40	VREFB2KN0	IO				LVDS2K_4p	Yes	J21	DQS9	DQS4/CQ4	DQ2	DQ1
2K	39	VREFB2KN0	IO				LVDS2K_5n	No	H22	DQ9	DQ4	DQ2	DQ1
2K	38	VREFB2KN0	IO				LVDS2K_5p	No	G23	DQ9	DQ4	DQ2	DQ1
2K	37	VREFB2KN0	IO				LVDS2K_6n	Yes	G21	DQ9	DQ4	DQSn2/CQn2	DQ1
2K	36	VREFB2KN0	IO				LVDS2K_6p	Yes	G22	DQ9	DQ4	DQS2/CQ2	DQ1
2K	35	VREFB2KN0	IO				LVDS2K_7n	No	J17	DQ10	DQ5	DQ2	DQ1
2K	34	VREFB2KN0	IO				LVDS2K_7p	No	H17	DQ10	DQ5	DQ2	DQ1
2K	33	VREFB2KN0	IO				LVDS2K_8n	Yes	G20	DQSn10	DQ5	DQ2	DQ1
2K	32	VREFB2KN0	IO				LVDS2K_8p	Yes	F20	DQS10	DQ5	DQ2	DQ1
2K	31	VREFB2KN0	IO				LVDS2K_9n	No	H20	DQ10	DQ5	DQ2	DQ1
2K	30	VREFB2KN0	IO				LVDS2K_9p	No	H19	DQ10	DQ5	DQ2	DQ1
2K	29	VREFB2KN0	IO	PLL_2K_CLKOUT1n			LVDS2K_10n	Yes	F21	DQSn11	DQSn5/CQn5	DQ2	DQ1
2K	28	VREFB2KN0	IO	PLL_2K_CLKOUT1p,PLL_2K_CLKOUT1,PLL_2K_FB1			LVDS2K_10p	Yes	E21	DQS11	DQS5/CQ5	DQ2	DQ1
2K	27	VREFB2KN0	IO				LVDS2K_11n	No	E22	DQ11	DQ5	DQ2	DQ1
2K	26	VREFB2KN0	IO	RZQ_2K			LVDS2K_11p	No	E23	DQ11	DQ5	DQ2	DQ1
2K	25	VREFB2KN0	IO	CLK_2K_1n			LVDS2K_12n	Yes	H18	DQ11	DQ5	DQ2	DQ1
2K	24	VREFB2KN0	IO	CLK_2K_1p			LVDS2K_12p	Yes	G18	DQ11	DQ5	DQ2	DQ1
2K	23	VREFB2KN0	IO	CLK_2K_0n			LVDS2K_13n	No	D19	DQ12	DQ6	DQ3	DQ1
2K	22	VREFB2KN0	IO	CLK_2K_0p			LVDS2K_13p	No	C19	DQ12	DQ6	DQ3	DQ1
2K	21	VREFB2KN0	IO				LVDS2K_14n	Yes	F19	DQSn12	DQ6	DQ3	DQSn1/CQn1
2K	20	VREFB2KN0	IO				LVDS2K_14p	Yes	E19	DQS12	DQ6	DQ3	DQS1/CQ1
2K	19	VREFB2KN0	IO	PLL_2K_CLKOUT0n			LVDS2K_15n	No	D20	DQ12	DQ6	DQ3	DQ1
2K	18	VREFB2KN0	IO	PLL_2K_CLKOUT0p,PLL_2K_CLKOUT0,PLL_2K_FB0			LVDS2K_15p	No	C20	DQ12	DQ6	DQ3	DQ1
2K	17	VREFB2KN0	IO				LVDS2K_16n	Yes	D21	DQSn13	DQSn6/CQn6	DQ3	DQ1
2K	16	VREFB2KN0	IO				LVDS2K_16p	Yes	D22	DQS13	DQS6/CQ6	DQ3	DQ1
2K	15	VREFB2KN0	IO				LVDS2K_17n	No	F18	DQ13	DQ6	DQ3	DQ1
2K	14	VREFB2KN0	IO				LVDS2K_17p	No	E18	DQ13	DQ6	DQ3	DQ1
2K	13	VREFB2KN0	IO				LVDS2K_18n	Yes	C22	DQ13	DQ6	DQSn3/CQn3	DQ1
2K	12	VREFB2KN0	IO				LVDS2K_18p	Yes	C23	DQ13	DQ6	DQS3/CQ3	DQ1
2K	11	VREFB2KN0	IO				LVDS2K_19n	No	E17	DQ14	DQ7	DQ3	DQ1
2K	10	VREFB2KN0	IO				LVDS2K_19p	No	D17	DQ14	DQ7	DQ3	DQ1
2K	9	VREFB2KN0	IO				LVDS2K_20n	Yes	C18	DQSn14	DQ7	DQ3	DQ1

Bank Number	Index within I/O Bank *(1)*	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	F35	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
2K	8	VREFB2KN0	IO				LVDS2K_20p	Yes	B18	DQS14	DQ7	DQ3	DQ1
2K	7	VREFB2KN0	IO				LVDS2K_21n	No	B20	DQ14	DQ7	DQ3	DQ1
2K	6	VREFB2KN0	IO				LVDS2K_21p	No	A20	DQ14	DQ7	DQ3	DQ1
2K	5	VREFB2KN0	IO				LVDS2K_22n	Yes	B21	DQSn15	DQSn7/CQn7	DQ3	DQ1
2K	4	VREFB2KN0	IO				LVDS2K_22p	Yes	A21	DQS15	DQS7/CQ7	DQ3	DQ1
2K	3	VREFB2KN0	IO				LVDS2K_23n	No	C17	DQ15	DQ7	DQ3	DQ1
2K	2	VREFB2KN0	IO				LVDS2K_23p	No	B17	DQ15	DQ7	DQ3	DQ1
2K	1	VREFB2KN0	IO				LVDS2K_24n	Yes	A18	DQ15	DQ7	DQ3	DQ1
2K	0	VREFB2KN0	IO				LVDS2K_24p	Yes	A19	DQ15	DQ7	DQ3	DQ1
2J	47	VREFB2JN0	IO				LVDS2J_1n	No	AN19	DQ16	DQ8	DQ4	DQ2
2J	46	VREFB2JN0	IO				LVDS2J_1p	No	AP19	DQ16	DQ8	DQ4	DQ2
2J	45	VREFB2JN0	IO				LVDS2J_2n	Yes	AM21	DQSn16	DQ8	DQ4	DQ2
2J	44	VREFB2JN0	IO				LVDS2J_2p	Yes	AL21	DQS16	DQ8	DQ4	DQ2
2J	43	VREFB2JN0	IO				LVDS2J_3n	No	AG22	DQ16	DQ8	DQ4	DQ2
2J	42	VREFB2JN0	IO				LVDS2J_3p	No	AH23	DQ16	DQ8	DQ4	DQ2
2J	41	VREFB2JN0	IO				LVDS2J_4n	Yes	AM17	DQSn17	DQSn8/CQn8	DQ4	DQ2
2J	40	VREFB2JN0	IO				LVDS2J_4p	Yes	AN17	DQS17	DQS8/CQ8	DQ4	DQ2
2J	39	VREFB2JN0	IO				LVDS2J_5n	No	AP17	DQ17	DQ8	DQ4	DQ2
2J	38	VREFB2JN0	IO				LVDS2J_5p	No	AP16	DQ17	DQ8	DQ4	DQ2
2J	37	VREFB2JN0	IO				LVDS2J_6n	Yes	AM18	DQ17	DQ8	DQSn4/CQn4	DQ2
2J	36	VREFB2JN0	IO				LVDS2J_6p	Yes	AN18	DQ17	DQ8	DQS4/CQ4	DQ2
2J	35	VREFB2JN0	IO				LVDS2J_7n	No	AF21	DQ18	DQ9	DQ4	DQ2
2J	34	VREFB2JN0	IO				LVDS2J_7p	No	AF20	DQ18	DQ9	DQ4	DQ2
2J	33	VREFB2JN0	IO				LVDS2J_8n	Yes	AD21	DQSn18	DQ9	DQ4	DQ2
2J	32	VREFB2JN0	IO				LVDS2J_8p	Yes	AE21	DQS18	DQ9	DQ4	DQ2
2J	31	VREFB2JN0	IO				LVDS2J_9n	No	AF19	DQ18	DQ9	DQ4	DQ2
2J	30	VREFB2JN0	IO				LVDS2J_9p	No	AF18	DQ18	DQ9	DQ4	DQ2
2J	29	VREFB2JN0	IO	PLL_2J_CLKOUT1n			LVDS2J_10n	Yes	AE18	DQSn19	DQSn9/CQn9	DQ4	DQ2
2J	28	VREFB2JN0	IO	PLL_2J_CLKOUT1p,PLL_2J_CLKOUT1,PLL_2J_FB1			LVDS2J_10p	Yes	AE17	DQS19	DQS9/CQ9	DQ4	DQ2
2J	27	VREFB2JN0	IO				LVDS2J_11n	No	AE22	DQ19	DQ9	DQ4	DQ2
2J	26	VREFB2JN0	IO	RZQ_2J			LVDS2J_11p	No	AD22	DQ19	DQ9	DQ4	DQ2
2J	25	VREFB2JN0	IO	CLK_2J_1n			LVDS2J_12n	Yes	AH18	DQ19	DQ9	DQ4	DQ2
2J	24	VREFB2JN0	IO	CLK_2J_1p			LVDS2J_12p	Yes	AG18	DQ19	DQ9	DQ4	DQ2
2J	23	VREFB2JN0	IO	CLK_2J_0n			LVDS2J_13n	No	AK23	DQ20	DQ10	DQ5	DQ2
2J	22	VREFB2JN0	IO	CLK_2J_0p			LVDS2J_13p	No	AL23	DQ20	DQ10	DQ5	DQ2
2J	21	VREFB2JN0	IO				LVDS2J_14n	Yes	AN20	DQSn20	DQ10	DQ5	DQSn2/CQn2
2J	20	VREFB2JN0	IO				LVDS2J_14p	Yes	AM20	DQS20	DQ10	DQ5	DQS2/CQ2
2J	19	VREFB2JN0	IO	PLL_2J_CLKOUT0n			LVDS2J_15n	No	AJ22	DQ20	DQ10	DQ5	DQ2
2J	18	VREFB2JN0	IO	PLL_2J_CLKOUT0p,PLL_2J_CLKOUT0,PLL_2J_FB0			LVDS2J_15p	No	AH22	DQ20	DQ10	DQ5	DQ2
2J	17	VREFB2JN0	IO				LVDS2J_16n	Yes	AJ20	DQSn21	DQSn10/CQn10	DQ5	DQ2
2J	16	VREFB2JN0	IO				LVDS2J_16p	Yes	AJ21	DQS21	DQS10/CQ10	DQ5	DQ2
2J	15	VREFB2JN0	IO				LVDS2J_17n	No	AP20	DQ21	DQ10	DQ5	DQ2
2J	14	VREFB2JN0	IO				LVDS2J_17p	No	AP21	DQ21	DQ10	DQ5	DQ2
2J	13	VREFB2JN0	IO				LVDS2J_18n	Yes	AK22	DQ21	DQ10	DQSn5/CQn5	DQ2
2J	12	VREFB2JN0	IO				LVDS2J_18p	Yes	AK21	DQ21	DQ10	DQS5/CQ5	DQ2
2J	11	VREFB2JN0	IO				LVDS2J_19n	No	AL19	DQ22	DQ11	DQ5	DQ2
2J	10	VREFB2JN0	IO				LVDS2J_19p	No	AL20	DQ22	DQ11	DQ5	DQ2
2J	9	VREFB2JN0	IO				LVDS2J_20n	Yes	AJ17	DQSn22	DQ11	DQ5	DQ2
2J	8	VREFB2JN0	IO				LVDS2J_20p	Yes	AK17	DQS22	DQ11	DQ5	DQ2
2J	7	VREFB2JN0	IO				LVDS2J_21n	No	AG20	DQ22	DQ11	DQ5	DQ2
2J	6	VREFB2JN0	IO				LVDS2J_21p	No	AG21	DQ22	DQ11	DQ5	DQ2
2J	5	VREFB2JN0	IO				LVDS2J_22n	Yes	AH20	DQSn23	DQSn11/CQn11	DQ5	DQ2
2J	4	VREFB2JN0	IO				LVDS2J_22p	Yes	AH19	DQS23	DQS11/CQ11	DQ5	DQ2
2J	3	VREFB2JN0	IO				LVDS2J_23n	No	AL18	DQ23	DQ11	DQ5	DQ2
2J	2	VREFB2JN0	IO				LVDS2J_23p	No	AK18	DQ23	DQ11	DQ5	DQ2
2J	1	VREFB2JN0	IO				LVDS2J_24n	Yes	AK19	DQ23	DQ11	DQ5	DQ2
2J	0	VREFB2JN0	IO				LVDS2J_24p	Yes	AJ19	DQ23	DQ11	DQ5	DQ2
2I	35	VREFB2IN0	IO				LVDS2I_7n	No	AG16	DQ26	DQ13	DQ6	DQ3
2I	34	VREFB2IN0	IO				LVDS2I_7p	No	AH15	DQ26	DQ13	DQ6	DQ3
2I	33	VREFB2IN0	IO				LVDS2I_8n	Yes	AK16	DQSn26	DQ13	DQ6	DQ3
2I	32	VREFB2IN0	IO				LVDS2I_8p	Yes	AJ16	DQS26	DQ13	DQ6	DQ3
2I	31	VREFB2IN0	IO				LVDS2I_9n	No	AF15	DQ26	DQ13	DQ6	DQ3
2I	30	VREFB2IN0	IO				LVDS2I_9p	No	AF16	DQ26	DQ13	DQ6	DQ3
2I	29	VREFB2IN0	IO	PLL_2I_CLKOUT1n			LVDS2I_10n	Yes	AG17	DQSn27	DQSn13/CQn13	DQ6	DQ3
2I	28	VREFB2IN0	IO	PLL_2I_CLKOUT1p,PLL_2I_CLKOUT1,PLL_2I_FB1			LVDS2I_10p	Yes	AH17	DQS27	DQS13/CQ13	DQ6	DQ3
2I	27	VREFB2IN0	IO				LVDS2I_11n	No	AJ15	DQ27	DQ13	DQ6	DQ3
2I	26	VREFB2IN0	IO	RZQ_2I			LVDS2I_11p	No	AH14	DQ27	DQ13	DQ6	DQ3
2I	25	VREFB2IN0	IO	CLK_2I_1n			LVDS2I_12n	Yes	AF14	DQ27	DQ13	DQ6	DQ3
2I	24	VREFB2IN0	IO	CLK_2I_1p			LVDS2I_12p	Yes	AG15	DQ27	DQ13	DQ6	DQ3
2A	47	VREFB2AN0	IO		DATA0		LVDS2A_1n	No	AE14	DQ56	DQ28	DQ14	DQ7
2A	46	VREFB2AN0	IO		DATA1		LVDS2A_1p	No	AF13	DQ56	DQ28	DQ14	DQ7
2A	45	VREFB2AN0	IO		DATA2		LVDS2A_2n	Yes	AN14	DQSn56	DQ28	DQ14	DQ7
2A	44	VREFB2AN0	IO		DATA3		LVDS2A_2p	Yes	AP14	DQS56	DQ28	DQ14	DQ7
2A	43	VREFB2AN0	IO		DATA4		LVDS2A_3n	No	AM13	DQ56	DQ28	DQ14	DQ7
2A	42	VREFB2AN0	IO		DATA5		LVDS2A_3p	No	AN13	DQ56	DQ28	DQ14	DQ7
2A	41	VREFB2AN0	IO		DATA6		LVDS2A_4n	Yes	AG12	DQSn57	DQSn28/CQn28	DQ14	DQ7
2A	40	VREFB2AN0	IO		DATA7		LVDS2A_4p	Yes	AH12	DQS57	DQS28/CQ28	DQ14	DQ7
2A	39	VREFB2AN0	IO		DATA8		LVDS2A_5n	No	AG11	DQ57	DQ28	DQ14	DQ7
2A	38	VREFB2AN0	IO		DATA9		LVDS2A_5p	No	AF11	DQ57	DQ28	DQ14	DQ7
2A	37	VREFB2AN0	IO		DATA10		LVDS2A_6n	Yes	AG10	DQ57	DQ28	DQSn14/CQn14	DQ7
2A	36	VREFB2AN0	IO		DATA11		LVDS2A_6p	Yes	AF10	DQ57	DQ28	DQS14/CQ14	DQ7
2A	35	VREFB2AN0	IO		DATA12		LVDS2A_7n	No	AP12	DQ58	DQ29	DQ14	DQ7
2A	34	VREFB2AN0	IO		DATA13		LVDS2A_7p	No	AP11	DQ58	DQ29	DQ14	DQ7
2A	33	VREFB2AN0	IO		DATA14		LVDS2A_8n	Yes	AN12	DQSn58	DQ29	DQ14	DQ7
2A	32	VREFB2AN0	IO		DATA15		LVDS2A_8p	Yes	AM12	DQS58	DQ29	DQ14	DQ7

Bank Number	Index within I/O Bank *(1)*	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	F35	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
2A	31	VREFB2AN0	IO		DATA16		LVDS2A_9n	No	AK9	DQ58	DQ29	DQ14	DQ7
2A	30	VREFB2AN0	IO		DATA17		LVDS2A_9p	No	AL9	DQ58	DQ29	DQ14	DQ7
2A	29	VREFB2AN0	IO	PLL_2A_CLKOUT1n	DATA18		LVDS2A_10n	Yes	AP10	DQSn59	DQSn29/CQn29	DQ14	DQ7
2A	28	VREFB2AN0	IO	PLL_2A_CLKOUT1p,PLL_2A_CLK	DATA19		LVDS2A_10p	Yes	AN10	DQS59	DQS29/CQ29	DQ14	DQ7
2A	27	VREFB2AN0	IO		nCEO		LVDS2A_11n	No	AM11	DQ59	DQ29	DQ14	DQ7
2A	26	VREFB2AN0	IO	RZQ_2A			LVDS2A_11p	No	AL11	DQ59	DQ29	DQ14	DQ7
2A	25	VREFB2AN0	IO	CLK_2A_1n	DATA20		LVDS2A_12n	Yes	AL10	DQ59	DQ29	DQ14	DQ7
2A	24	VREFB2AN0	IO	CLK_2A_1p	DATA21		LVDS2A_12p	Yes	AM10	DQ59	DQ29	DQ14	DQ7
2A	23	VREFB2AN0	IO	CLK_2A_0n	DATA22		LVDS2A_13n	No	AL16	DQ60	DQ30	DQ15	DQ7
2A	22	VREFB2AN0	IO	CLK_2A_0p	DATA23		LVDS2A_13p	No	AM16	DQ60	DQ30	DQ15	DQ7
2A	21	VREFB2AN0	IO		DATA24		LVDS2A_14n	Yes	AD10	DQSn60	DQ30	DQ15	DQSn7/CQn7
2A	20	VREFB2AN0	IO		DATA25		LVDS2A_14p	Yes	AE11	DQS60	DQ30	DQ15	DQS7/CQ7
2A	19	VREFB2AN0	IO	PLL_2A_CLKOUT0n	DATA26		LVDS2A_15n	No	AN15	DQ60	DQ30	DQ15	DQ7
2A	18	VREFB2AN0	IO	PLL_2A_CLKOUT0p,PLL_2A_CLK	DATA27		LVDS2A_15p	No	AP15	DQ60	DQ30	DQ15	DQ7
2A	17	VREFB2AN0	IO		DATA28		LVDS2A_16n	Yes	AL15	DQSn61	DQSn30/CQn30	DQ15	DQ7
2A	16	VREFB2AN0	IO		DATA29		LVDS2A_16p	Yes	AM15	DQS61	DQS30/CQ30	DQ15	DQ7
2A	15	VREFB2AN0	IO		DATA30		LVDS2A_17n	No	AE12	DQ61	DQ30	DQ15	DQ7
2A	14	VREFB2AN0	IO		DATA31		LVDS2A_17p	No	AE13	DQ61	DQ30	DQ15	DQ7
2A	13	VREFB2AN0	IO		CLKUSR		LVDS2A_18n	Yes	AL14	DQ61	DQ30	DQSn15/CQn15	DQ7
2A	12	VREFB2AN0	IO		PR_REQUEST		LVDS2A_18p	Yes	AL13	DQ61	DQ30	DQS15/CQ15	DQ7
2A	11	VREFB2AN0	IO		PR_READY		LVDS2A_19n	No	AG13	DQ62	DQ31	DQ15	DQ7
2A	10	VREFB2AN0	IO		nPERSTL0		LVDS2A_19p	No	AH13	DQ62	DQ31	DQ15	DQ7
2A	9	VREFB2AN0	IO		PR_DONE		LVDS2A_20n	Yes	AJ11	DQSn62	DQ31	DQ15	DQ7
2A	8	VREFB2AN0	IO		nPERSTL1		LVDS2A_20p	Yes	AJ10	DQS62	DQ31	DQ15	DQ7
2A	7	VREFB2AN0	IO		PR_ERROR		LVDS2A_21n	No	AK14	DQ62	DQ31	DQ15	DQ7
2A	6	VREFB2AN0	IO				LVDS2A_21p	No	AJ14	DQ62	DQ31	DQ15	DQ7
2A	5	VREFB2AN0	IO		CvP_CONFDONE		LVDS2A_22n	Yes	AK13	DQSn63	DQSn31/CQn31	DQ15	DQ7
2A	4	VREFB2AN0	IO				LVDS2A_22p	Yes	AK12	DQS63	DQS31/CQ31	DQ15	DQ7
2A	3	VREFB2AN0	IO		INIT_DONE		LVDS2A_23n	No	AJ12	DQ63	DQ31	DQ15	DQ7
2A	2	VREFB2AN0	IO		DEV_OE		LVDS2A_23p	No	AK11	DQ63	DQ31	DQ15	DQ7
2A	1	VREFB2AN0	IO		CRC_ERROR		LVDS2A_24n	Yes	AH10	DQ63	DQ31	DQ15	DQ7
2A	0	VREFB2AN0	IO		DEV_CLRn		LVDS2A_24p	Yes	AJ9	DQ63	DQ31	DQ15	DQ7
3D	47	VREFB3DN0	IO				LVDS3D_1n	No	K8	DQ96	DQ48	DQ24	DQ12
3D	46	VREFB3DN0	IO				LVDS3D_1p	No	L8	DQ96	DQ48	DQ24	DQ12
3D	45	VREFB3DN0	IO				LVDS3D_2n	Yes	K9	DQSn96	DQ48	DQ24	DQ12
3D	44	VREFB3DN0	IO				LVDS3D_2p	Yes	J9	DQS96	DQ48	DQ24	DQ12
3D	43	VREFB3DN0	IO				LVDS3D_3n	No	L10	DQ96	DQ48	DQ24	DQ12
3D	42	VREFB3DN0	IO				LVDS3D_3p	No	L9	DQ96	DQ48	DQ24	DQ12
3D	41	VREFB3DN0	IO				LVDS3D_4n	Yes	H8	DQSn97	DQSn48/CQn48	DQ24	DQ12
3D	40	VREFB3DN0	IO				LVDS3D_4p	Yes	H9	DQS97	DQS48/CQ48	DQ24	DQ12
3D	39	VREFB3DN0	IO				LVDS3D_5n	No	K7	DQ97	DQ48	DQ24	DQ12
3D	38	VREFB3DN0	IO				LVDS3D_5p	No	K6	DQ97	DQ48	DQ24	DQ12
3D	37	VREFB3DN0	IO				LVDS3D_6n	Yes	L6	DQ97	DQ48	DQSn24/CQn24	DQ12
3D	36	VREFB3DN0	IO				LVDS3D_6p	Yes	L5	DQ97	DQ48	DQS24/CQ24	DQ12
3D	35	VREFB3DN0	IO				LVDS3D_7n	No	J7	DQ98	DQ49	DQ24	DQ12
3D	34	VREFB3DN0	IO				LVDS3D_7p	No	J6	DQ98	DQ49	DQ24	DQ12
3D	33	VREFB3DN0	IO				LVDS3D_8n	Yes	H7	DQSn98	DQ49	DQ24	DQ12
3D	32	VREFB3DN0	IO				LVDS3D_8p	Yes	G7	DQS98	DQ49	DQ24	DQ12
3D	31	VREFB3DN0	IO				LVDS3D_9n	No	G8	DQ98	DQ49	DQ24	DQ12
3D	30	VREFB3DN0	IO				LVDS3D_9p	No	F8	DQ98	DQ49	DQ24	DQ12
3D	29	VREFB3DN0	IO	PLL_3D_CLKOUT1n			LVDS3D_10n	Yes	D7	DQSn99	DQSn49/CQn49	DQ24	DQ12
3D	28	VREFB3DN0	IO	PLL_3D_CLKOUT1p,PLL_3D_CLKOUT1,PLL_3D_FB1			LVDS3D_10p	Yes	D6	DQS99	DQS49/CQ49	DQ24	DQ12
3D	27	VREFB3DN0	IO				LVDS3D_11n	No	G6	DQ99	DQ49	DQ24	DQ12
3D	26	VREFB3DN0	IO	RZQ_3D			LVDS3D_11p	No	G5	DQ99	DQ49	DQ24	DQ12
3D	25	VREFB3DN0	IO	CLK_3D_1n			LVDS3D_12n	Yes	E6	DQ99	DQ49	DQ24	DQ12
3D	24	VREFB3DN0	IO	CLK_3D_1p			LVDS3D_12p	Yes	E7	DQ99	DQ49	DQ24	DQ12
3D	23	VREFB3DN0	IO	CLK_3D_0n			LVDS3D_13n	No	F6	DQ100	DQ50	DQ25	DQ12
3D	22	VREFB3DN0	IO	CLK_3D_0p			LVDS3D_13p	No	F5	DQ100	DQ50	DQ25	DQ12
3D	21	VREFB3DN0	IO				LVDS3D_14n	Yes	J5	DQSn100	DQ50	DQ25	DQSn12/CQn12
3D	20	VREFB3DN0	IO				LVDS3D_14p	Yes	J4	DQS100	DQ50	DQ25	DQS12/CQ12
3D	19	VREFB3DN0	IO	PLL_3D_CLKOUT0n			LVDS3D_15n	No	H5	DQ100	DQ50	DQ25	DQ12
3D	18	VREFB3DN0	IO	PLL_3D_CLKOUT0p,PLL_3D_CLKOUT0,PLL_3D_FB0			LVDS3D_15p	No	H4	DQ100	DQ50	DQ25	DQ12
3D	17	VREFB3DN0	IO				LVDS3D_16n	Yes	E4	DQSn101	DQSn50/CQn50	DQ25	DQ12
3D	16	VREFB3DN0	IO				LVDS3D_16p	Yes	E3	DQS101	DQS50/CQ50	DQ25	DQ12
3D	15	VREFB3DN0	IO				LVDS3D_17n	No	F4	DQ101	DQ50	DQ25	DQ12
3D	14	VREFB3DN0	IO				LVDS3D_17p	No	F3	DQ101	DQ50	DQ25	DQ12
3D	13	VREFB3DN0	IO				LVDS3D_18n	Yes	G3	DQ101	DQ50	DQSn25/CQn25	DQ12
3D	12	VREFB3DN0	IO				LVDS3D_18p	Yes	G2	DQ101	DQ50	DQS25/CQ25	DQ12
3D	11	VREFB3DN0	IO				LVDS3D_19n	No	E2	DQ102	DQ51	DQ25	DQ12
3D	10	VREFB3DN0	IO				LVDS3D_19p	No	E1	DQ102	DQ51	DQ25	DQ12
3D	9	VREFB3DN0	IO				LVDS3D_20n	Yes	H3	DQSn102	DQ51	DQ25	DQ12
3D	8	VREFB3DN0	IO				LVDS3D_20p	Yes	H2	DQS102	DQ51	DQ25	DQ12
3D	7	VREFB3DN0	IO				LVDS3D_21n	No	J1	DQ102	DQ51	DQ25	DQ12
3D	6	VREFB3DN0	IO				LVDS3D_21p	No	J2	DQ102	DQ51	DQ25	DQ12
3D	5	VREFB3DN0	IO				LVDS3D_22n	Yes	K4	DQSn103	DQSn51/CQn51	DQ25	DQ12
3D	4	VREFB3DN0	IO				LVDS3D_22p	Yes	K3	DQS103	DQS51/CQ51	DQ25	DQ12
3D	3	VREFB3DN0	IO				LVDS3D_23n	No	F1	DQ103	DQ51	DQ25	DQ12
3D	2	VREFB3DN0	IO				LVDS3D_23p	No	G1	DQ103	DQ51	DQ25	DQ12
3D	1	VREFB3DN0	IO				LVDS3D_24n	Yes	K2	DQ103	DQ51	DQ25	DQ12
3D	0	VREFB3DN0	IO				LVDS3D_24p	Yes	K1	DQ103	DQ51	DQ25	DQ12
3C	47	VREFB3CN0	IO				LVDS3C_1n	No	L3	DQ104	DQ52	DQ26	DQ13
3C	46	VREFB3CN0	IO				LVDS3C_1p	No	L4	DQ104	DQ52	DQ26	DQ13
3C	45	VREFB3CN0	IO				LVDS3C_2n	Yes	N8	DQSn104	DQ52	DQ26	DQ13
3C	44	VREFB3CN0	IO				LVDS3C_2p	Yes	M8	DQS104	DQ52	DQ26	DQ13
3C	43	VREFB3CN0	IO				LVDS3C_3n	No	M6	DQ104	DQ52	DQ26	DQ13

Bank Number	Index within I/O Bank *(1)*	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	F35	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
3C	42	VREFB3CN0	IO				LVDS3C_3p	No	M5	DQ104	DQ52	DQ26	DQ13
3C	41	VREFB3CN0	IO				LVDS3C_4n	Yes	M1	DQSn105	DQSn52/CQn52	DQ26	DQ13
3C	40	VREFB3CN0	IO				LVDS3C_4p	Yes	L1	DQS105	DQS52/CQ52	DQ26	DQ13
3C	39	VREFB3CN0	IO				LVDS3C_5n	No	M3	DQ105	DQ52	DQ26	DQ13
3C	38	VREFB3CN0	IO				LVDS3C_5p	No	M2	DQ105	DQ52	DQ26	DQ13
3C	37	VREFB3CN0	IO				LVDS3C_6n	Yes	M7	DQ105	DQ52	DQSn26/CQn26	DQ13
3C	36	VREFB3CN0	IO				LVDS3C_6p	Yes	N7	DQ105	DQ52	DQS26/CQ26	DQ13
3C	35	VREFB3CN0	IO				LVDS3C_7n	No	P7	DQ106	DQ53	DQ26	DQ13
3C	34	VREFB3CN0	IO				LVDS3C_7p	No	P6	DQ106	DQ53	DQ26	DQ13
3C	33	VREFB3CN0	IO				LVDS3C_8n	Yes	T6	DQSn106	DQ53	DQ26	DQ13
3C	32	VREFB3CN0	IO				LVDS3C_8p	Yes	R6	DQS106	DQ53	DQ26	DQ13
3C	31	VREFB3CN0	IO				LVDS3C_9n	No	T5	DQ106	DQ53	DQ26	DQ13
3C	30	VREFB3CN0	IO				LVDS3C_9p	No	U5	DQ106	DQ53	DQ26	DQ13
3C	29	VREFB3CN0	IO	PLL_3C_CLKOUT1n			LVDS3C_10n	Yes	U1	DQSn107	DQSn53/CQn53	DQ26	DQ13
3C	28	VREFB3CN0	IO	PLL_3C_CLKOUT1p,PLL_3C_CLKOUT1,PLL_3C_FB1			LVDS3C_10p	Yes	T1	DQS107	DQS53/CQ53	DQ26	DQ13
3C	27	VREFB3CN0	IO				LVDS3C_11n	No	U3	DQ107	DQ53	DQ26	DQ13
3C	26	VREFB3CN0	IO	RZQ_3C			LVDS3C_11p	No	U2	DQ107	DQ53	DQ26	DQ13
3C	25	VREFB3CN0	IO	CLK_3C_1n			LVDS3C_12n	Yes	T4	DQ107	DQ53	DQ26	DQ13
3C	24	VREFB3CN0	IO	CLK_3C_1p			LVDS3C_12p	Yes	T3	DQ107	DQ53	DQ26	DQ13
3C	23	VREFB3CN0	IO	CLK_3C_0n			LVDS3C_13n	No	R4	DQ108	DQ54	DQ27	DQ13
3C	22	VREFB3CN0	IO	CLK_3C_0p			LVDS3C_13p	No	P4	DQ108	DQ54	DQ27	DQ13
3C	21	VREFB3CN0	IO				LVDS3C_14n	Yes	P5	DQSn108	DQ54	DQ27	DQSn13/CQn13
3C	20	VREFB3CN0	IO				LVDS3C_14p	Yes	N5	DQS108	DQ54	DQ27	DQS13/CQ13
3C	19	VREFB3CN0	IO	PLL_3C_CLKOUT0n			LVDS3C_15n	No	N4	DQ108	DQ54	DQ27	DQ13
3C	18	VREFB3CN0	IO	PLL_3C_CLKOUT0p,PLL_3C_CLKOUT0,PLL_3C_FB0			LVDS3C_15p	No	N3	DQ108	DQ54	DQ27	DQ13
3C	17	VREFB3CN0	IO				LVDS3C_16n	Yes	N2	DQSn109	DQSn54/CQn54	DQ27	DQ13
3C	16	VREFB3CN0	IO				LVDS3C_16p	Yes	P2	DQS109	DQS54/CQ54	DQ27	DQ13
3C	15	VREFB3CN0	IO				LVDS3C_17n	No	P1	DQ109	DQ54	DQ27	DQ13
3C	14	VREFB3CN0	IO				LVDS3C_17p	No	R1	DQ109	DQ54	DQ27	DQ13
3C	13	VREFB3CN0	IO				LVDS3C_18n	Yes	R3	DQ109	DQ54	DQSn27/CQn27	DQ13
3C	12	VREFB3CN0	IO				LVDS3C_18p	Yes	R2	DQ109	DQ54	DQS27/CQ27	DQ13
3C	11	VREFB3CN0	IO				LVDS3C_19n	No	U8	DQ110	DQ55	DQ27	DQ13
3C	10	VREFB3CN0	IO				LVDS3C_19p	No	U7	DQ110	DQ55	DQ27	DQ13
3C	9	VREFB3CN0	IO				LVDS3C_20n	Yes	R8	DQSn110	DQ55	DQ27	DQ13
3C	8	VREFB3CN0	IO				LVDS3C_20p	Yes	R7	DQS110	DQ55	DQ27	DQ13
3C	7	VREFB3CN0	IO				LVDS3C_21n	No	T10	DQ110	DQ55	DQ27	DQ13
3C	6	VREFB3CN0	IO				LVDS3C_21p	No	T9	DQ110	DQ55	DQ27	DQ13
3C	5	VREFB3CN0	IO				LVDS3C_22n	Yes	R9	DQSn111	DQSn55/CQn55	DQ27	DQ13
3C	4	VREFB3CN0	IO				LVDS3C_22p	Yes	T8	DQS111	DQS55/CQ55	DQ27	DQ13
3C	3	VREFB3CN0	IO				LVDS3C_23n	No	P10	DQ111	DQ55	DQ27	DQ13
3C	2	VREFB3CN0	IO				LVDS3C_23p	No	P9	DQ111	DQ55	DQ27	DQ13
3C	1	VREFB3CN0	IO				LVDS3C_24n	Yes	N10	DQ111	DQ55	DQ27	DQ13
3C	0	VREFB3CN0	IO				LVDS3C_24p	Yes	N9	DQ111	DQ55	DQ27	DQ13
3B	47	VREFB3BN0	IO				LVDS3B_1n	No	W6	DQ112	DQ56	DQ28	DQ14
3B	46	VREFB3BN0	IO				LVDS3B_1p	No	W5	DQ112	DQ56	DQ28	DQ14
3B	45	VREFB3BN0	IO				LVDS3B_2n	Yes	V3	DQSn112	DQ56	DQ28	DQ14
3B	44	VREFB3BN0	IO				LVDS3B_2p	Yes	V4	DQS112	DQ56	DQ28	DQ14
3B	43	VREFB3BN0	IO				LVDS3B_3n	No	V2	DQ112	DQ56	DQ28	DQ14
3B	42	VREFB3BN0	IO				LVDS3B_3p	No	W2	DQ112	DQ56	DQ28	DQ14
3B	41	VREFB3BN0	IO				LVDS3B_4n	Yes	Y4	DQSn113	DQSn56/CQn56	DQ28	DQ14
3B	40	VREFB3BN0	IO				LVDS3B_4p	Yes	W4	DQS113	DQS56/CQ56	DQ28	DQ14
3B	39	VREFB3BN0	IO				LVDS3B_5n	No	U6	DQ113	DQ56	DQ28	DQ14
3B	38	VREFB3BN0	IO				LVDS3B_5p	No	V5	DQ113	DQ56	DQ28	DQ14
3B	37	VREFB3BN0	IO				LVDS3B_6n	Yes	W1	DQ113	DQ56	DQSn28/CQn28	DQ14
3B	36	VREFB3BN0	IO				LVDS3B_6p	Yes	Y1	DQ113	DQ56	DQS28/CQ28	DQ14
3B	35	VREFB3BN0	IO				LVDS3B_7n	No	V9	DQ114	DQ57	DQ28	DQ14
3B	34	VREFB3BN0	IO				LVDS3B_7p	No	V8	DQ114	DQ57	DQ28	DQ14
3B	33	VREFB3BN0	IO				LVDS3B_8n	Yes	W7	DQSn114	DQ57	DQ28	DQ14
3B	32	VREFB3BN0	IO				LVDS3B_8p	Yes	V7	DQS114	DQ57	DQ28	DQ14
3B	31	VREFB3BN0	IO				LVDS3B_9n	No	Y9	DQ114	DQ57	DQ28	DQ14
3B	30	VREFB3BN0	IO				LVDS3B_9p	No	W9	DQ114	DQ57	DQ28	DQ14
3B	29	VREFB3BN0	IO	PLL_3B_CLKOUT1n			LVDS3B_10n	Yes	Y8	DQSn115	DQSn57/CQn57	DQ28	DQ14
3B	28	VREFB3BN0	IO	PLL_3B_CLKOUT1p,PLL_3B_CLKOUT1,PLL_3B_FB1			LVDS3B_10p	Yes	AA8	DQS115	DQS57/CQ57	DQ28	DQ14
3B	27	VREFB3BN0	IO				LVDS3B_11n	No	V10	DQ115	DQ57	DQ28	DQ14
3B	26	VREFB3BN0	IO	RZQ_3B			LVDS3B_11p	No	W10	DQ115	DQ57	DQ28	DQ14
3B	25	VREFB3BN0	IO	CLK_3B_1n			LVDS3B_12n	Yes	Y7	DQ115	DQ57	DQ28	DQ14
3B	24	VREFB3BN0	IO	CLK_3B_1p			LVDS3B_12p	Yes	Y6	DQ115	DQ57	DQ28	DQ14
3B	23	VREFB3BN0	IO	CLK_3B_0n			LVDS3B_13n	No	AA6	DQ116	DQ58	DQ29	DQ14
3B	22	VREFB3BN0	IO	CLK_3B_0p			LVDS3B_13p	No	AA5	DQ116	DQ58	DQ29	DQ14
3B	21	VREFB3BN0	IO				LVDS3B_14n	Yes	AB6	DQSn116	DQ58	DQ29	DQSn14/CQn14
3B	20	VREFB3BN0	IO				LVDS3B_14p	Yes	AB5	DQS116	DQ58	DQ29	DQS14/CQ14
3B	19	VREFB3BN0	IO	PLL_3B_CLKOUT0n			LVDS3B_15n	No	Y3	DQ116	DQ58	DQ29	DQ14
3B	18	VREFB3BN0	IO	PLL_3B_CLKOUT0p,PLL_3B_CLKOUT0,PLL_3B_FB0			LVDS3B_15p	No	Y2	DQ116	DQ58	DQ29	DQ14
3B	17	VREFB3BN0	IO				LVDS3B_16n	Yes	AA4	DQSn117	DQSn58/CQn58	DQ29	DQ14
3B	16	VREFB3BN0	IO				LVDS3B_16p	Yes	AA3	DQS117	DQS58/CQ58	DQ29	DQ14
3B	15	VREFB3BN0	IO				LVDS3B_17n	No	AB3	DQ117	DQ58	DQ29	DQ14
3B	14	VREFB3BN0	IO				LVDS3B_17p	No	AB2	DQ117	DQ58	DQ29	DQ14
3B	13	VREFB3BN0	IO				LVDS3B_18n	Yes	AA1	DQ117	DQ58	DQSn29/CQn29	DQ14
3B	12	VREFB3BN0	IO				LVDS3B_18p	Yes	AB1	DQ117	DQ58	DQS29/CQ29	DQ14
3B	11	VREFB3BN0	IO				LVDS3B_19n	No	AA10	DQ118	DQ59	DQ29	DQ14
3B	10	VREFB3BN0	IO				LVDS3B_19p	No	AA9	DQ118	DQ59	DQ29	DQ14
3B	9	VREFB3BN0	IO				LVDS3B_20n	Yes	AC8	DQSn118	DQ59	DQ29	DQ14
3B	8	VREFB3BN0	IO				LVDS3B_20p	Yes	AC7	DQS118	DQ59	DQ29	DQ14
3B	7	VREFB3BN0	IO				LVDS3B_21n	No	AB8	DQ118	DQ59	DQ29	DQ14
3B	6	VREFB3BN0	IO				LVDS3B_21p	No	AB7	DQ118	DQ59	DQ29	DQ14

Bank Number	Index within I/O Bank *(1)*	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	F35	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
3B	5	VREFB3BN0	IO				LVDS3B_22n	Yes	AC9	DQSn119	DQSn59/CQn59	DQ29	DQ14
3B	4	VREFB3BN0	IO				LVDS3B_22p	Yes	AB10	DQS119	DQS59/CQ59	DQ29	DQ14
3B	3	VREFB3BN0	IO				LVDS3B_23n	No	AC5	DQ119	DQ59	DQ29	DQ14
3B	2	VREFB3BN0	IO				LVDS3B_23p	No	AC4	DQ119	DQ59	DQ29	DQ14
3B	1	VREFB3BN0	IO				LVDS3B_24n	Yes	AC3	DQ119	DQ59	DQ29	DQ14
3B	0	VREFB3BN0	IO				LVDS3B_24p	Yes	AC2	DQ119	DQ59	DQ29	DQ14
3A	47	VREFB3AN0	IO				LVDS3A_1n	No	AD6	DQ120	DQ60	DQ30	DQ15
3A	46	VREFB3AN0	IO				LVDS3A_1p	No	AD7	DQ120	DQ60	DQ30	DQ15
3A	45	VREFB3AN0	IO				LVDS3A_2n	Yes	AE1	DQSn120	DQ60	DQ30	DQ15
3A	44	VREFB3AN0	IO				LVDS3A_2p	Yes	AE2	DQS120	DQ60	DQ30	DQ15
3A	43	VREFB3AN0	IO				LVDS3A_3n	No	AE3	DQ120	DQ60	DQ30	DQ15
3A	42	VREFB3AN0	IO				LVDS3A_3p	No	AE4	DQ120	DQ60	DQ30	DQ15
3A	41	VREFB3AN0	IO				LVDS3A_4n	Yes	AD4	DQSn121	DQSn60/CQn60	DQ30	DQ15
3A	40	VREFB3AN0	IO				LVDS3A_4p	Yes	AD5	DQS121	DQS60/CQ60	DQ30	DQ15
3A	39	VREFB3AN0	IO				LVDS3A_5n	No	AD1	DQ121	DQ60	DQ30	DQ15
3A	38	VREFB3AN0	IO				LVDS3A_5p	No	AD2	DQ121	DQ60	DQ30	DQ15
3A	37	VREFB3AN0	IO				LVDS3A_6n	Yes	AF1	DQ121	DQ60	DQSn30/CQn30	DQ15
3A	36	VREFB3AN0	IO				LVDS3A_6p	Yes	AG1	DQ121	DQ60	DQS30/CQ30	DQ15
3A	35	VREFB3AN0	IO				LVDS3A_7n	No	AG2	DQ122	DQ61	DQ30	DQ15
3A	34	VREFB3AN0	IO				LVDS3A_7p	No	AH2	DQ122	DQ61	DQ30	DQ15
3A	33	VREFB3AN0	IO				LVDS3A_8n	Yes	AE6	DQSn122	DQ61	DQ30	DQ15
3A	32	VREFB3AN0	IO				LVDS3A_8p	Yes	AF6	DQS122	DQ61	DQ30	DQ15
3A	31	VREFB3AN0	IO				LVDS3A_9n	No	AF4	DQ122	DQ61	DQ30	DQ15
3A	30	VREFB3AN0	IO				LVDS3A_9p	No	AF5	DQ122	DQ61	DQ30	DQ15
3A	29	VREFB3AN0	IO	PLL_3A_CLKOUT1n			LVDS3A_10n	Yes	AF3	DQSn123	DQSn61/CQn61	DQ30	DQ15
3A	28	VREFB3AN0	IO	PLL_3A_CLKOUT1p,PLL_3A_CLKOUT1,PLL_3A_FB1			LVDS3A_10p	Yes	AG3	DQS123	DQS61/CQ61	DQ30	DQ15
3A	27	VREFB3AN0	IO				LVDS3A_11n	No	AJ1	DQ123	DQ61	DQ30	DQ15
3A	26	VREFB3AN0	IO	RZQ_3A			LVDS3A_11p	No	AJ2	DQ123	DQ61	DQ30	DQ15
3A	25	VREFB3AN0	IO	CLK_3A_1n			LVDS3A_12n	Yes	AE8	DQ123	DQ61	DQ30	DQ15
3A	24	VREFB3AN0	IO	CLK_3A_1p			LVDS3A_12p	Yes	AE7	DQ123	DQ61	DQ30	DQ15
3A	23	VREFB3AN0	IO	CLK_3A_0n			LVDS3A_13n	No	AG5	DQ124	DQ62	DQ31	DQ15
3A	22	VREFB3AN0	IO	CLK_3A_0p			LVDS3A_13p	No	AG6	DQ124	DQ62	DQ31	DQ15
3A	21	VREFB3AN0	IO				LVDS3A_14n	Yes	AK1	DQSn124	DQ62	DQ31	DQSn15/CQn15
3A	20	VREFB3AN0	IO				LVDS3A_14p	Yes	AK2	DQS124	DQ62	DQ31	DQS15/CQ15
3A	19	VREFB3AN0	IO	PLL_3A_CLKOUT0n			LVDS3A_15n	No	AH3	DQ124	DQ62	DQ31	DQ15
3A	18	VREFB3AN0	IO	PLL_3A_CLKOUT0p,PLL_3A_CLKOUT0,PLL_3A_FB0			LVDS3A_15p	No	AH4	DQ124	DQ62	DQ31	DQ15
3A	17	VREFB3AN0	IO				LVDS3A_16n	Yes	AK3	DQSn125	DQSn62/CQn62	DQ31	DQ15
3A	16	VREFB3AN0	IO				LVDS3A_16p	Yes	AL3	DQS125	DQS62/CQ62	DQ31	DQ15
3A	15	VREFB3AN0	IO				LVDS3A_17n	No	AL1	DQ125	DQ62	DQ31	DQ15
3A	14	VREFB3AN0	IO				LVDS3A_17p	No	AM1	DQ125	DQ62	DQ31	DQ15
3A	13	VREFB3AN0	IO				LVDS3A_18n	Yes	AJ4	DQ125	DQ62	DQSn31/CQn31	DQ15
3A	12	VREFB3AN0	IO				LVDS3A_18p	Yes	AK4	DQ125	DQ62	DQS31/CQ31	DQ15
3A	11	VREFB3AN0	IO				LVDS3A_19n	No	AG7	DQ126	DQ63	DQ31	DQ15
3A	10	VREFB3AN0	IO				LVDS3A_19p	No	AH7	DQ126	DQ63	DQ31	DQ15
3A	9	VREFB3AN0	IO				LVDS3A_20n	Yes	AH5	DQSn126	DQ63	DQ31	DQ15
3A	8	VREFB3AN0	IO				LVDS3A_20p	Yes	AJ5	DQS126	DQ63	DQ31	DQ15
3A	7	VREFB3AN0	IO				LVDS3A_21n	No	AE9	DQ126	DQ63	DQ31	DQ15
3A	6	VREFB3AN0	IO				LVDS3A_21p	No	AF9	DQ126	DQ63	DQ31	DQ15
3A	5	VREFB3AN0	IO				LVDS3A_22n	Yes	AF8	DQSn127	DQSn63/CQn63	DQ31	DQ15
3A	4	VREFB3AN0	IO				LVDS3A_22p	Yes	AG8	DQS127	DQS63/CQ63	DQ31	DQ15
3A	3	VREFB3AN0	IO				LVDS3A_23n	No	AJ6	DQ127	DQ63	DQ31	DQ15
3A	2	VREFB3AN0	IO				LVDS3A_23p	No	AK6	DQ127	DQ63	DQ31	DQ15
3A	1	VREFB3AN0	IO				LVDS3A_24n	Yes	AJ7	DQ127	DQ63	DQ31	DQ15
3A	0	VREFB3AN0	IO				LVDS3A_24p	Yes	AK7	DQ127	DQ63	DQ31	DQ15
			GND						AN9				
CSS			TDO		TDO				AM6				
CSS			TMS		TMS				AK8				
CSS			TRST		TRST				AP5				
CSS			TCK		TCK				AL6				
CSS			TDI		TDI				AM5				
CSS			MSEL0		MSEL0				AN8				
CSS			MSEL1		MSEL1				AL5				
CSS			MSEL2		MSEL2				AL4				
CSS			nIO_PULLUP		nIO_PULLUP				AH9				
CSS			nSTATUS		nSTATUS				AL8				
CSS			CONF_DONE		CONF_DONE				AN7				
			GND						AM8				
CSS			nCONFIG		nCONFIG				AP9				
CSS			nCE		nCE				AH8				
CSS			nCSO0		nCSO0				AP7				
CSS			nCSO1		nCSO1				AM7				
CSS			nCSO2		nCSO2				AP6				
CSS			AS_DATA0,ASDO		AS_DATA0,ASDO				AN3				
CSS			AS_DATA1		AS_DATA1				AP2				
CSS			AS_DATA2		AS_DATA2				AN2				
CSS			AS_DATA3		AS_DATA3				AP4				
CSS			DCLK		DCLK				AN5				
			ADCGND						D1				
			GND						J12				
			GND						H13				
			GND						J14				
			GND						K12				
			GND						K13				
			GND						K14				
			GND						J15				

Bank Number	Index within I/O Bank *(1)*	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	F35	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			GND						A12				
			GND						A17				
			GND						A2				
			GND						A22				
			GND						A24				
			GND						A27				
			GND						A28				
			GND						A31				
			GND						A32				
			GND						A33				
			GND						A7				
			GND						AA12				
			GND						AA17				
			GND						AA2				
			GND						AA22				
			GND						AA23				
			GND						AA24				
			GND						AA27				
			GND						AA28				
			GND						AA31				
			GND						AA32				
			GND						AA7				
			GND						AB14				
			GND						AB19				
			GND						AB23				
			GND						AB29				
			GND						AB30				
			GND						AB33				
			GND						AB34				
			GND						AB9				
			GND						AC1				
			GND						AC11				
			GND						AC16				
			GND						AC21				
			GND						AC23				
			GND						AC24				
			GND						AC27				
			GND						AC28				
			GND						AC31				
			GND						AC32				
			GND						AC6				
			GND						AD13				
			GND						AD18				
			GND						AD23				
			GND						AD24				
			GND						AD29				
			GND						AD3				
			GND						AD30				
			GND						AD33				
			GND						AD34				
			GND						AE10				
			GND						AE23				
			GND						AE24				
			GND						AE27				
			GND						AE28				
			GND						AE31				
			GND						AE32				
			GND						AF17				
			GND						AF2				
			GND						AF23				
			GND						AF29				
			GND						AF30				
			GND						AF33				
			GND						AF34				
			GND						AG23				
			GND						AG24				
			GND						AG27				
			GND						AG28				
			GND						AG31				
			GND						AG32				
			GND						AG4				
			GND						AH1				
			GND						AH21				
			GND						AH24				
			GND						AH29				
			GND						AH30				
			GND						AH33				
			GND						AH34				
			GND						AH6				
			GND						AJ13				
			GND						AJ18				
			GND						AJ23				
			GND						AJ24				
			GND						AJ27				
			GND						AJ28				

Bank Number	Index within I/O Bank *(1)*	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	F35	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			GND						AJ3				
			GND						AJ31				
			GND						AJ32				
			GND						AJ8				
			GND						AK10				
			GND						AK15				
			GND						AK20				
			GND						AK24				
			GND						AK25				
			GND						AK26				
			GND						AK29				
			GND						AK30				
			GND						AK33				
			GND						AK34				
			GND						AK5				
			GND						AL12				
			GND						AL17				
			GND						AL2				
			GND						AL22				
			GND						AL24				
			GND						AL27				
			GND						AL28				
			GND						AL31				
			GND						AL32				
			GND						AL7				
			GND						AM14				
			GND						AM19				
			GND						AM2				
			GND						AM22				
			GND						AM23				
			GND						AM24				
			GND						AM25				
			GND						AM26				
			GND						AM29				
			GND						AM3				
			GND						AM30				
			GND						AM33				
			GND						AM34				
			GND						AM4				
			GND						AM9				
			GND						AN1				
			GND						AN11				
			GND						AN16				
			GND						AN21				
			GND						AN24				
			GND						AN27				
			GND						AN28				
			GND						AN31				
			GND						AN32				
			GND						AN4				
			GND						AN6				
			GND						AP13				
			GND						AP18				
			GND						AP22				
			GND						AP24				
			GND						AP25				
			GND						AP26				
			GND						AP29				
			GND						AP3				
			GND						AP30				
			GND						AP33				
			GND						AP8				
			GND						B1				
			GND						B14				
			GND						B19				
			GND						B2				
			GND						B22				
			GND						B23				
			GND						B24				
			GND						B25				
			GND						B26				
			GND						B29				
			GND						B3				
			GND						B30				
			GND						B33				
			GND						B34				
			GND						B4				
			GND						B9				
			GND						C1				
			GND						C11				
			GND						C16				
			GND						C24				
			GND						C27				
			GND						C28				
			GND						C31				

Bank Number	Index within I/O Bank *(1)*	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	F35	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			GND						C32				
			GND						C6				
			GND						D23				
			GND						D24				
			GND						D25				
			GND						D26				
			GND						D29				
			GND						D3				
			GND						D30				
			GND						D33				
			GND						D34				
			GND						D8				
			GND						E10				
			GND						E24				
			GND						E27				
			GND						E28				
			GND						E31				
			GND						E32				
			GND						E5				
			GND						F17				
			GND						F2				
			GND						F22				
			GND						F23				
			GND						F29				
			GND						F30				
			GND						F33				
			GND						F34				
			GND						F7				
			GND						G14				
			GND						G19				
			GND						G24				
			GND						G27				
			GND						G28				
			GND						G31				
			GND						G32				
			GND						G9				
			GND						H1				
			GND						H11				
			GND						H16				
			GND						H21				
			GND						H23				
			GND						H24				
			GND						H29				
			GND						H30				
			GND						H33				
			GND						H34				
			GND						H6				
			GND						J13				
			GND						J18				
			GND						J23				
			GND						J24				
			GND						J27				
			GND						J28				
			GND						J31				
			GND						J32				
			GND						J8				
			GND						K10				
			GND						K15				
			GND						K20				
			GND						K23				
			GND						K29				
			GND						K30				
			GND						K33				
			GND						K34				
			GND						L12				
			GND						L17				
			GND						L2				
			GND						L22				
			GND						L23				
			GND						L24				
			GND						L27				
			GND						L28				
			GND						L31				
			GND						L32				
			GND						L7				
			GND						M14				
			GND						M19				
			GND						M23				
			GND						M24				
			GND						M29				
			GND						M30				
			GND						M33				
			GND						M34				
			GND						M9				
			GND						N1				

Bank Number	Index within I/O Bank *(1)*	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	F35	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			GND						N11				
			GND						N16				
			GND						N21				
			GND						N23				
			GND						N24				
			GND						N27				
			GND						N28				
			GND						N31				
			GND						N32				
			GND						N6				
			GND						P13				
			GND						P18				
			GND						P23				
			GND						P29				
			GND						P30				
			GND						P33				
			GND						P34				
			GND						P8				
			GND						R10				
			GND						R15				
			GND						R20				
			GND						R23				
			GND						R24				
			GND						R27				
			GND						R28				
			GND						R31				
			GND						R32				
			GND						T12				
			GND						T17				
			GND						T2				
			GND						T22				
			GND						T23				
			GND						T24				
			GND						T29				
			GND						T30				
			GND						T33				
			GND						T34				
			GND						T7				
			GND						U14				
			GND						U19				
			GND						U23				
			GND						U24				
			GND						U27				
			GND						U28				
			GND						U31				
			GND						U32				
			GND						U4				
			GND						U9				
			GND						V1				
			GND						V11				
			GND						V16				
			GND						V21				
			GND						V23				
			GND						V29				
			GND						V30				
			GND						V33				
			GND						V34				
			GND						V6				
			GND						W13				
			GND						W18				
			GND						W23				
			GND						W24				
			GND						W27				
			GND						W28				
			GND						W31				
			GND						W32				
			GND						W8				
			GND						Y10				
			GND						Y15				
			GND						Y20				
			GND						Y23				
			GND						Y24				
			GND						Y29				
			GND						Y30				
			GND						Y33				
			GND						Y34				
			GNDSENSE						Y17				
			VCC						AA15				
			VCC						AA16				
			VCC						AA18				
			VCC						AA21				
			VCC						AB15				
			VCC						AB16				
			VCC						AB17				
			VCC						AB21				

Bank Number	Index within I/O Bank *(1)*	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	F35	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			VCC						AB22				
			VCC						AC14				
			VCC						AC15				
			VCC						AC17				
			VCC						AC18				
			VCC						AC19				
			VCC						AC20				
			VCC						AC22				
			VCC						AD15				
			VCC						AD16				
			VCC						AD17				
			VCC						AD19				
			VCC						AD20				
			VCC						L11				
			VCC						L13				
			VCC						L14				
			VCC						L15				
			VCC						L16				
			VCC						L18				
			VCC						L19				
			VCC						L20				
			VCC						L21				
			VCC						M11				
			VCC						M12				
			VCC						M13				
			VCC						M15				
			VCC						M16				
			VCC						M17				
			VCC						M18				
			VCC						M20				
			VCC						M21				
			VCC						M22				
			VCC						N14				
			VCC						N15				
			VCC						N17				
			VCC						N20				
			VCC						N22				
			VCC						P11				
			VCC						P15				
			VCC						P16				
			VCC						P17				
			VCC						P21				
			VCC						P22				
			VCC						R11				
			VCC						R12				
			VCC						R13				
			VCC						R14				
			VCC						R16				
			VCC						R17				
			VCC						R18				
			VCC						R19				
			VCC						R21				
			VCC						R22				
			VCC						T11				
			VCC						T13				
			VCC						T14				
			VCC						T15				
			VCC						T16				
			VCC						T18				
			VCC						T19				
			VCC						T20				
			VCC						T21				
			VCC						U11				
			VCC						U12				
			VCC						U16				
			VCC						U17				
			VCC						U20				
			VCC						U22				
			VCC						V12				
			VCC						V15				
			VCC						V17				
			VCC						V18				
			VCC						V19				
			VCC						V20				
			VCC						V22				
			VCC						W11				
			VCC						W12				
			VCC						W14				
			VCC						W15				
			VCC						W16				
			VCC						W17				
			VCC						W19				
			VCC						W20				
			VCC						W21				
			VCC						W22				

Bank Number	Index within I/O Bank *(1)*	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	F35	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			VCC						Y11				
			VCC						Y12				
			VCC						Y13				
			VCC						Y14				
			VCC						Y18				
			VCC						Y19				
			VCC						Y21				
			VCC						Y22				
			VCCPT						AA13				
			VCCPT						AA14				
			VCCPT						AA19				
			VCCPT						AA20				
			VCCPT						P12				
			VCCPT						P14				
			VCCPT						P19				
			VCCPT						P20				
			DNU						AN22				
			DNU						AP23				
			DNU						AD11				
			DNU						AC10				
			DNU						AD12				
			VCCPGM						AC12				
			VCCPGM						AC13				
			TEMPDIODEn						D2				
			TEMPDIODEp						C2				
			VCCBAT						AB11				
			VCCA_PLL						V13				
			VCCA_PLL						V14				
			VCCIO2A						AF12				
			VCCIO2A						AG9				
			VCCIO2A						AH11				
			VCCIO2I						AE15				
			VCCIO2I						AG14				
			VCCIO2I						AH16				
			VCCIO2J						AE20				
			VCCIO2J						AF22				
			VCCIO2J						AG19				
			VCCIO2K						C21				
			VCCIO2K						D18				
			VCCIO2K						E20				
			VCCIO2L						D13				
			VCCIO2L						E15				
			VCCIO2L						F12				
			VCCIO3A						AD8				
			VCCIO3A						AE5				
			VCCIO3A						AF7				
			VCCIO3B						AB4				
			VCCIO3B						W3				
			VCCIO3B						Y5				
			VCCIO3C						M4				
			VCCIO3C						P3				
			VCCIO3C						R5				
			VCCIO3D						G4				
			VCCIO3D						J3				
			VCCIO3D						K5				
2A		VREFB2AN0	VREFB2AN0						AD14				
2I		VREFB2IN0	VREFB2IN0						AE16				
2J		VREFB2JN0	VREFB2JN0						AE19				
2K		VREFB2KN0	VREFB2KN0						K19				
2L		VREFB2LN0	VREFB2LN0						G15				
3A		VREFB3AN0	VREFB3AN0						AD9				
3B		VREFB3BN0	VREFB3BN0						AA11				
3C		VREFB3CN0	VREFB3CN0						U10				
3D		VREFB3DN0	VREFB3DN0						M10				
			VREFN_ADC						D5				
			VREFP_ADC						D4				
			NC						H10				
			NC						H12				
			NC						F11				
			NC						J11				
			NC						F9				
			NC						G11				
			NC						E8				
			NC						J10				
			NC						G10				
			NC						H15				
			NC						G13				
			NC						K16				
			NC						K11				
			NC						F10				
			NC						J16				
			NC						G12				
			NC						H14				
			VCCH_GXBL						AB24				
			VCCH_GXBL						AF24				

Bank Number	Index within I/O Bank *(1)*	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	F35	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			VCCH_GXBL						F24				
			VCCH_GXBL						K24				
			VCCH_GXBL						P24				
			VCCH_GXBL						V24				
			VCCR_GXBL1C						AH25				
			VCCR_GXBL1C						AH26				
			VCCR_GXBL1D						AD25				
			VCCR_GXBL1D						AD26				
			VCCR_GXBL1E						Y25				
			VCCR_GXBL1E						Y26				
			VCCR_GXBL1F						T25				
			VCCR_GXBL1F						T26				
			VCCR_GXBL1G						M25				
			VCCR_GXBL1G						M26				
			VCCR_GXBL1H						H25				
			VCCR_GXBL1H						H26				
			VCCT_GXBL1C						AF25				
			VCCT_GXBL1C						AF26				
			VCCT_GXBL1D						AB25				
			VCCT_GXBL1D						AB26				
			VCCT_GXBL1E						V25				
			VCCT_GXBL1E						V26				
			VCCT_GXBL1F						P25				
			VCCT_GXBL1F						P26				
			VCCT_GXBL1G						K25				
			VCCT_GXBL1G						K26				
			VCCT_GXBL1H						F25				
			VCCT_GXBL1H						F26				
			RREF_BL						AN23				
			RREF_TL						A23				
			VCCERAM						U13				
			VCCERAM						U15				
			VCCERAM						U18				
			VCCERAM						U21				
			VCCLSENSE						Y16				
			VCCP						AB12				
			VCCP						AB13				
			VCCP						AB18				
			VCCP						AB20				
			VCCP						N12				
			VCCP						N13				
			VCCP						N18				
			VCCP						N19				
			VSIGN_0						C4				
			VSIGN_1						B5				
			VSIGP_0						C3				
			VSIGP_1						C5				

Note:

(1) For more information about the external memory interface schemes of the pins with indices, refer to the Arria10EMIF.xls

Bank Number	Index within I/O Bank *(1)*	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	NF40	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
1J			REFCLK_GXBL1J_CHTp						E29				
1J			REFCLK_GXBL1J_CHTn						E28				
1J			GXBL1J_TX_CH5n						A32				
1J			GXBL1J_TX_CH5p						A33				
1J			GXBL1J_RX_CH5n,GXBL1J_REFCLK5n						B30				
1J			GXBL1J_RX_CH5p,GXBL1J_REFCLK5p						B31				
1J			GXBL1J_TX_CH4n						C32				
1J			GXBL1J_TX_CH4p						C33				
1J			GXBL1J_RX_CH4n,GXBL1J_REFCLK4n						D30				
1J			GXBL1J_RX_CH4p,GXBL1J_REFCLK4p						D31				
1J			GXBL1J_TX_CH3n						B34				
1J			GXBL1J_TX_CH3p						B35				
1J			GXBL1J_RX_CH3n,GXBL1J_REFCLK3n						E32				
1J			GXBL1J_RX_CH3p,GXBL1J_REFCLK3p						E33				
1J			GXBL1J_TX_CH2n						A36				
1J			GXBL1J_TX_CH2p						A37				
1J			GXBL1J_RX_CH2n,GXBL1J_REFCLK2n						F30				
1J			GXBL1J_RX_CH2p,GXBL1J_REFCLK2p						F31				
1J			GXBL1J_TX_CH1n						B38				
1J			GXBL1J_TX_CH1p						B39				
1J			GXBL1J_RX_CH1n,GXBL1J_REFCLK1n						G32				
1J			GXBL1J_RX_CH1p,GXBL1J_REFCLK1p						G33				
1J			GXBL1J_TX_CH0n						C36				
1J			GXBL1J_TX_CH0p						C37				
1J			GXBL1J_RX_CH0n,GXBL1J_REFCLK0n						H30				
1J			GXBL1J_RX_CH0p,GXBL1J_REFCLK0p						H31				
1J			REFCLK_GXBL1J_CHBp						G29				
1J			REFCLK_GXBL1J_CHBn						G28				
1I			REFCLK_GXBL1I_CHTp						J29				
1I			REFCLK_GXBL1I_CHTn						J28				
1I			GXBL1I_TX_CH5n						D34				
1I			GXBL1I_TX_CH5p						D35				
1I			GXBL1I_RX_CH5n,GXBL1I_REFCLK5n						H34				
1I			GXBL1I_RX_CH5p,GXBL1I_REFCLK5p						H35				
1I			GXBL1I_TX_CH4n						D38				
1I			GXBL1I_TX_CH4p						D39				
1I			GXBL1I_RX_CH4n,GXBL1I_REFCLK4n						J32				
1I			GXBL1I_RX_CH4p,GXBL1I_REFCLK4p						J33				
1I			GXBL1I_TX_CH3n						E36				
1I			GXBL1I_TX_CH3p						E37				
1I			GXBL1I_RX_CH3n,GXBL1I_REFCLK3n						K30				
1I			GXBL1I_RX_CH3p,GXBL1I_REFCLK3p						K31				
1I			GXBL1I_TX_CH2n						F34				
1I			GXBL1I_TX_CH2p						F35				
1I			GXBL1I_RX_CH2n,GXBL1I_REFCLK2n						K34				
1I			GXBL1I_RX_CH2p,GXBL1I_REFCLK2p						K35				
1I			GXBL1I_TX_CH1n						F38				
1I			GXBL1I_TX_CH1p						F39				
1I			GXBL1I_RX_CH1n,GXBL1I_REFCLK1n						L32				
1I			GXBL1I_RX_CH1p,GXBL1I_REFCLK1p						L33				
1I			GXBL1I_TX_CH0n						G36				
1I			GXBL1I_TX_CH0p						G37				
1I			GXBL1I_RX_CH0n,GXBL1I_REFCLK0n						M30				
1I			GXBL1I_RX_CH0p,GXBL1I_REFCLK0p						M31				
1I			REFCLK_GXBL1I_CHBp						L29				
1I			REFCLK_GXBL1I_CHBn						L28				
1H			REFCLK_GXBL1H_CHTp						N29				
1H			REFCLK_GXBL1H_CHTn						N28				
1H			GXBL1H_TX_CH5n						H38				
1H			GXBL1H_TX_CH5p						H39				
1H			GXBL1H_RX_CH5n,GXBL1H_REFCLK5n						M34				
1H			GXBL1H_RX_CH5p,GXBL1H_REFCLK5p						M35				
1H			GXBL1H_TX_CH4n						J36				
1H			GXBL1H_TX_CH4p						J37				
1H			GXBL1H_RX_CH4n,GXBL1H_REFCLK4n						N32				
1H			GXBL1H_RX_CH4p,GXBL1H_REFCLK4p						N33				
1H			GXBL1H_TX_CH3n						K38				
1H			GXBL1H_TX_CH3p						K39				
1H			GXBL1H_RX_CH3n,GXBL1H_REFCLK3n						P30				
1H			GXBL1H_RX_CH3p,GXBL1H_REFCLK3p						P31				
1H			GXBL1H_TX_CH2n						L36				
1H			GXBL1H_TX_CH2p						L37				
1H			GXBL1H_RX_CH2n,GXBL1H_REFCLK2n						P34				
1H			GXBL1H_RX_CH2p,GXBL1H_REFCLK2p						P35				
1H			GXBL1H_TX_CH1n						M38				
1H			GXBL1H_TX_CH1p						M39				
1H			GXBL1H_RX_CH1n,GXBL1H_REFCLK1n						R32				
1H			GXBL1H_RX_CH1p,GXBL1H_REFCLK1p						R33				
1H			GXBL1H_TX_CH0n						N36				
1H			GXBL1H_TX_CH0p						N37				
1H			GXBL1H_RX_CH0n,GXBL1H_REFCLK0n						T30				

Bank Number	Index within I/O Bank *(1)*	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	NF40	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
1H			GXBL1H_RX_CH0p,GXBL1H_REFCLK0p						T31				
1H			REFCLK_GXBL1H_CHBp						R29				
1H			REFCLK_GXBL1H_CHBn						R28				
1G			REFCLK_GXBL1G_CHTp						U29				
1G			REFCLK_GXBL1G_CHTn						U28				
1G			GXBL1G_TX_CH5n						P38				
1G			GXBL1G_TX_CH5p						P39				
1G			GXBL1G_RX_CH5n,GXBL1G_REFCLK5n						T34				
1G			GXBL1G_RX_CH5p,GXBL1G_REFCLK5p						T35				
1G			GXBL1G_TX_CH4n						R36				
1G			GXBL1G_TX_CH4p						R37				
1G			GXBL1G_RX_CH4n,GXBL1G_REFCLK4n						U32				
1G			GXBL1G_RX_CH4p,GXBL1G_REFCLK4p						U33				
1G			GXBL1G_TX_CH3n						T38				
1G			GXBL1G_TX_CH3p						T39				
1G			GXBL1G_RX_CH3n,GXBL1G_REFCLK3n						V30				
1G			GXBL1G_RX_CH3p,GXBL1G_REFCLK3p						V31				
1G			GXBL1G_TX_CH2n						U36				
1G			GXBL1G_TX_CH2p						U37				
1G			GXBL1G_RX_CH2n,GXBL1G_REFCLK2n						V34				
1G			GXBL1G_RX_CH2p,GXBL1G_REFCLK2p						V35				
1G			GXBL1G_TX_CH1n						V38				
1G			GXBL1G_TX_CH1p						V39				
1G			GXBL1G_RX_CH1n,GXBL1G_REFCLK1n						W32				
1G			GXBL1G_RX_CH1p,GXBL1G_REFCLK1p						W33				
1G			GXBL1G_TX_CH0n						W36				
1G			GXBL1G_TX_CH0p						W37				
1G			GXBL1G_RX_CH0n,GXBL1G_REFCLK0n						Y30				
1G			GXBL1G_RX_CH0p,GXBL1G_REFCLK0p						Y31				
1G			REFCLK_GXBL1G_CHBp						W29				
1G			REFCLK_GXBL1G_CHBn						W28				
1F			REFCLK_GXBL1F_CHTp						AA29				
1F			REFCLK_GXBL1F_CHTn						AA28				
1F			GXBL1F_TX_CH5n						Y38				
1F			GXBL1F_TX_CH5p						Y39				
1F			GXBL1F_RX_CH5n,GXBL1F_REFCLK5n						Y34				
1F			GXBL1F_RX_CH5p,GXBL1F_REFCLK5p						Y35				
1F			GXBL1F_TX_CH4n						AA36				
1F			GXBL1F_TX_CH4p						AA37				
1F			GXBL1F_RX_CH4n,GXBL1F_REFCLK4n						AA32				
1F			GXBL1F_RX_CH4p,GXBL1F_REFCLK4p						AA33				
1F			GXBL1F_TX_CH3n						AB38				
1F			GXBL1F_TX_CH3p						AB39				
1F			GXBL1F_RX_CH3n,GXBL1F_REFCLK3n						AB34				
1F			GXBL1F_RX_CH3p,GXBL1F_REFCLK3p						AB35				
1F			GXBL1F_TX_CH2n						AC36				
1F			GXBL1F_TX_CH2p						AC37				
1F			GXBL1F_RX_CH2n,GXBL1F_REFCLK2n						AB30				
1F			GXBL1F_RX_CH2p,GXBL1F_REFCLK2p						AB31				
1F			GXBL1F_TX_CH1n						AD38				
1F			GXBL1F_TX_CH1p						AD39				
1F			GXBL1F_RX_CH1n,GXBL1F_REFCLK1n						AC32				
1F			GXBL1F_RX_CH1p,GXBL1F_REFCLK1p						AC33				
1F			GXBL1F_TX_CH0n						AE36				
1F			GXBL1F_TX_CH0p						AE37				
1F			GXBL1F_RX_CH0n,GXBL1F_REFCLK0n						AD34				
1F			GXBL1F_RX_CH0p,GXBL1F_REFCLK0p						AD35				
1F			REFCLK_GXBL1F_CHBp						AC29				
1F			REFCLK_GXBL1F_CHBn						AC28				
1E			REFCLK_GXBL1E_CHTp						AE29				
1E			REFCLK_GXBL1E_CHTn						AE28				
1E			GXBL1E_TX_CH5n						AF38				
1E			GXBL1E_TX_CH5p						AF39				
1E			GXBL1E_RX_CH5n,GXBL1E_REFCLK5n						AD30				
1E			GXBL1E_RX_CH5p,GXBL1E_REFCLK5p						AD31				
1E			GXBL1E_TX_CH4n						AG36				
1E			GXBL1E_TX_CH4p						AG37				
1E			GXBL1E_RX_CH4n,GXBL1E_REFCLK4n						AE32				
1E			GXBL1E_RX_CH4p,GXBL1E_REFCLK4p						AE33				
1E			GXBL1E_TX_CH3n						AH38				
1E			GXBL1E_TX_CH3p						AH39				
1E			GXBL1E_RX_CH3n,GXBL1E_REFCLK3n						AF34				
1E			GXBL1E_RX_CH3p,GXBL1E_REFCLK3p						AF35				
1E			GXBL1E_TX_CH2n						AJ36				
1E			GXBL1E_TX_CH2p						AJ37				
1E			GXBL1E_RX_CH2n,GXBL1E_REFCLK2n						AF30				
1E			GXBL1E_RX_CH2p,GXBL1E_REFCLK2p						AF31				
1E			GXBL1E_TX_CH1n						AK38				
1E			GXBL1E_TX_CH1p						AK39				
1E			GXBL1E_RX_CH1n,GXBL1E_REFCLK1n						AG32				
1E			GXBL1E_RX_CH1p,GXBL1E_REFCLK1p						AG33				

Bank Number	Index within I/O Bank *(1)*	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	NF40	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
1E			GXBL1E_TX_CH0n						AL36				
1E			GXBL1E_TX_CH0p						AL37				
1E			GXBL1E_RX_CH0n,GXBL1E_REFCLK0n						AH34				
1E			GXBL1E_RX_CH0p,GXBL1E_REFCLK0p						AH35				
1E			REFCLK_GXBL1E_CHBp						AG29				
1E			REFCLK_GXBL1E_CHBn						AG28				
1D			REFCLK_GXBL1D_CHTp						AJ29				
1D			REFCLK_GXBL1D_CHTn						AJ28				
1D			GXBL1D_TX_CH5n						AM38				
1D			GXBL1D_TX_CH5p						AM39				
1D			GXBL1D_RX_CH5n,GXBL1D_REFCLK5n						AH30				
1D			GXBL1D_RX_CH5p,GXBL1D_REFCLK5p						AH31				
1D			GXBL1D_TX_CH4n						AN36				
1D			GXBL1D_TX_CH4p						AN37				
1D			GXBL1D_RX_CH4n,GXBL1D_REFCLK4n						AJ32				
1D			GXBL1D_RX_CH4p,GXBL1D_REFCLK4p						AJ33				
1D			GXBL1D_TX_CH3n						AP38				
1D			GXBL1D_TX_CH3p						AP39				
1D			GXBL1D_RX_CH3n,GXBL1D_REFCLK3n						AK34				
1D			GXBL1D_RX_CH3p,GXBL1D_REFCLK3p						AK35				
1D			GXBL1D_TX_CH2n						AP34				
1D			GXBL1D_TX_CH2p						AP35				
1D			GXBL1D_RX_CH2n,GXBL1D_REFCLK2n						AK30				
1D			GXBL1D_RX_CH2p,GXBL1D_REFCLK2p						AK31				
1D			GXBL1D_TX_CH1n						AR36				
1D			GXBL1D_TX_CH1p						AR37				
1D			GXBL1D_RX_CH1n,GXBL1D_REFCLK1n						AL32				
1D			GXBL1D_RX_CH1p,GXBL1D_REFCLK1p						AL33				
1D			GXBL1D_TX_CH0n						AT38				
1D			GXBL1D_TX_CH0p						AT39				
1D			GXBL1D_RX_CH0n,GXBL1D_REFCLK0n						AM34				
1D			GXBL1D_RX_CH0p,GXBL1D_REFCLK0p						AM35				
1D			REFCLK_GXBL1D_CHBp						AL29				
1D			REFCLK_GXBL1D_CHBn						AL28				
1C			REFCLK_GXBL1C_CHTp						AN29				
1C			REFCLK_GXBL1C_CHTn						AN28				
1C			GXBL1C_TX_CH5n						AT34				
1C			GXBL1C_TX_CH5p						AT35				
1C			GXBL1C_RX_CH5n,GXBL1C_REFCLK5n						AM30				
1C			GXBL1C_RX_CH5p,GXBL1C_REFCLK5p						AM31				
1C			GXBL1C_TX_CH4n						AU36				
1C			GXBL1C_TX_CH4p						AU37				
1C			GXBL1C_RX_CH4n,GXBL1C_REFCLK4n						AN32				
1C			GXBL1C_RX_CH4p,GXBL1C_REFCLK4p						AN33				
1C			GXBL1C_TX_CH3n						AV38				
1C			GXBL1C_TX_CH3p						AV39				
1C			GXBL1C_RX_CH3n,GXBL1C_REFCLK3n						AP30				
1C			GXBL1C_RX_CH3p,GXBL1C_REFCLK3p						AP31				
1C			GXBL1C_TX_CH2n						AV34				
1C			GXBL1C_TX_CH2p						AV35				
1C			GXBL1C_RX_CH2n,GXBL1C_REFCLK2n						AR32				
1C			GXBL1C_RX_CH2p,GXBL1C_REFCLK2p						AR33				
1C			GXBL1C_TX_CH1n						AW36				
1C			GXBL1C_TX_CH1p						AW37				
1C			GXBL1C_RX_CH1n,GXBL1C_REFCLK1n						AT30				
1C			GXBL1C_RX_CH1p,GXBL1C_REFCLK1p						AT31				
1C			GXBL1C_TX_CH0n						AW32				
1C			GXBL1C_TX_CH0p						AW33				
1C			GXBL1C_RX_CH0n,GXBL1C_REFCLK0n						AU32				
1C			GXBL1C_RX_CH0p,GXBL1C_REFCLK0p						AU33				
1C			REFCLK_GXBL1C_CHBp						AR29				
1C			REFCLK_GXBL1C_CHBn						AR28				
2L	47	VREFB2LN0	IO			DIFFIO2L_1n		No	M21	DQ0	DQ0	DQ0	DQ0
2L	46	VREFB2LN0	IO			DIFFIO2L_1p		No	M22	DQ0	DQ0	DQ0	DQ0
2L	45	VREFB2LN0	IO			DIFFIO2L_2n		No	L22	DQSn0	DQ0	DQ0	DQ0
2L	44	VREFB2LN0	IO			DIFFIO2L_2p		No	K22	DQS0	DQ0	DQ0	DQ0
2L	43	VREFB2LN0	IO			DIFFIO2L_3n		No	N22	DQ0	DQ0	DQ0	DQ0
2L	42	VREFB2LN0	IO			DIFFIO2L_3p		No	N23	DQ0	DQ0	DQ0	DQ0
2L	41	VREFB2LN0	IO			DIFFIO2L_4n		No	L23	DQSn1	DQSn0/CQn0	DQ0	DQ0
2L	40	VREFB2LN0	IO			DIFFIO2L_4p		No	K23	DQS1	DQS0/CQ0	DQ0	DQ0
2L	39	VREFB2LN0	IO			DIFFIO2L_5n		No	P20	DQ1	DQ0	DQ0	DQ0
2L	38	VREFB2LN0	IO			DIFFIO2L_5p		No	N20	DQ1	DQ0	DQ0	DQ0
2L	37	VREFB2LN0	IO			DIFFIO2L_6n		No	M20	DQ1	DQ0	DQSn0/CQn0	DQ0
2L	36	VREFB2LN0	IO			DIFFIO2L_6p		No	L20	DQ1	DQ0	DQS0/CQ0	DQ0
2L	35	VREFB2LN0	IO			DIFFIO2L_7n		No	K20	DQ2	DQ1	DQ0	DQ0
2L	34	VREFB2LN0	IO			DIFFIO2L_7p		No	K21	DQ2	DQ1	DQ0	DQ0
2L	33	VREFB2LN0	IO			DIFFIO2L_8n		No	J23	DQSn2	DQ1	DQ0	DQ0
2L	32	VREFB2LN0	IO			DIFFIO2L_8p		No	H23	DQS2	DQ1	DQ0	DQ0
2L	31	VREFB2LN0	IO			DIFFIO2L_9n		No	J19	DQ2	DQ1	DQ0	DQ0
2L	30	VREFB2LN0	IO			DIFFIO2L_9p		No	J18	DQ2	DQ1	DQ0	DQ0
2L	29	VREFB2LN0	IO	PLL_2L_CLKOUT1n		DIFFIO2L_10n		No	J20	DQSn3	DQSn1/CQn1	DQ0	DQ0

Bank Number	Index within I/O Bank *(1)*	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	NF40	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
2L	28	VREFB2LN0	IO	PLL_2L_CLKOUT1p,PLL_2L_CLKOUT1,PLL_2L_FB1		DIFFIO2L_10p		No	J21	DQS3	DQS1/CQ1	DQ0	DQ0
2L	27	VREFB2LN0	IO			DIFFIO2L_11n		No	H21	DQ3	DQ1	DQ0	DQ0
2L	26	VREFB2LN0	IO	RZQ_2L		DIFFIO2L_11p		No	H22	DQ3	DQ1	DQ0	DQ0
2L	25	VREFB2LN0	IO	CLK_2L_1n		DIFFIO2L_12n		No	L19	DQ3	DQ1	DQ0	DQ0
2L	24	VREFB2LN0	IO	CLK_2L_1p		DIFFIO2L_12p		No	K18	DQ3	DQ1	DQ0	DQ0
2L	23	VREFB2LN0	IO	CLK_2L_0n		DIFFIO2L_13n		No	G22	DQ4	DQ2	DQ1	DQ0
2L	22	VREFB2LN0	IO	CLK_2L_0p		DIFFIO2L_13p		No	F22	DQ4	DQ2	DQ1	DQ0
2L	21	VREFB2LN0	IO			DIFFIO2L_14n		No	G19	DQSn4	DQ2	DQ1	DQSn0/CQn0
2L	20	VREFB2LN0	IO			DIFFIO2L_14p		No	F19	DQS4	DQ2	DQ1	DQS0/CQ0
2L	19	VREFB2LN0	IO	PLL_2L_CLKOUT0n		DIFFIO2L_15n		No	G21	DQ4	DQ2	DQ1	DQ0
2L	18	VREFB2LN0	IO	PLL_2L_CLKOUT0p,PLL_2L_CLKOUT0,PLL_2L_FB0		DIFFIO2L_15p		No	G20	DQ4	DQ2	DQ1	DQ0
2L	17	VREFB2LN0	IO			DIFFIO2L_16n		No	F20	DQSn5	DQSn2/CQn2	DQ1	DQ0
2L	16	VREFB2LN0	IO			DIFFIO2L_16p		No	E20	DQS5	DQS2/CQ2	DQ1	DQ0
2L	15	VREFB2LN0	IO			DIFFIO2L_17n		No	G17	DQ5	DQ2	DQ1	DQ0
2L	14	VREFB2LN0	IO			DIFFIO2L_17p		No	F18	DQ5	DQ2	DQ1	DQ0
2L	13	VREFB2LN0	IO			DIFFIO2L_18n		No	H19	DQ5	DQ2	DQSn1/CQn1	DQ0
2L	12	VREFB2LN0	IO			DIFFIO2L_18p		No	H18	DQ5	DQ2	DQS1/CQ1	DQ0
2L	11	VREFB2LN0	IO			DIFFIO2L_19n		No	E22	DQ6	DQ3	DQ1	DQ0
2L	10	VREFB2LN0	IO			DIFFIO2L_19p		No	E21	DQ6	DQ3	DQ1	DQ0
2L	9	VREFB2LN0	IO			DIFFIO2L_20n		No	D20	DQSn6	DQ3	DQ1	DQ0
2L	8	VREFB2LN0	IO			DIFFIO2L_20p		No	D21	DQS6	DQ3	DQ1	DQ0
2L	7	VREFB2LN0	IO			DIFFIO2L_21n		No	C18	DQ6	DQ3	DQ1	DQ0
2L	6	VREFB2LN0	IO			DIFFIO2L_21p		No	C17	DQ6	DQ3	DQ1	DQ0
2L	5	VREFB2LN0	IO			DIFFIO2L_22n		No	F17	DQSn7	DQSn3/CQn3	DQ1	DQ0
2L	4	VREFB2LN0	IO			DIFFIO2L_22p		No	E17	DQS7	DQS3/CQ3	DQ1	DQ0
2L	3	VREFB2LN0	IO			DIFFIO2L_23n		No	D19	DQ7	DQ3	DQ1	DQ0
2L	2	VREFB2LN0	IO			DIFFIO2L_23p		No	C19	DQ7	DQ3	DQ1	DQ0
2L	1	VREFB2LN0	IO			DIFFIO2L_24n		No	E18	DQ7	DQ3	DQ1	DQ0
2L	0	VREFB2LN0	IO			DIFFIO2L_24p		No	D18	DQ7	DQ3	DQ1	DQ0
2K	47	VREFB2KN0	IO				LVDS2K_1n	No	P25	DQ8	DQ4	DQ2	DQ1
2K	46	VREFB2KN0	IO				LVDS2K_1p	No	N25	DQ8	DQ4	DQ2	DQ1
2K	45	VREFB2KN0	IO				LVDS2K_2n	Yes	L26	DQSn8	DQ4	DQ2	DQ1
2K	44	VREFB2KN0	IO				LVDS2K_2p	Yes	K26	DQS8	DQ4	DQ2	DQ1
2K	43	VREFB2KN0	IO				LVDS2K_3n	No	M25	DQ8	DQ4	DQ2	DQ1
2K	42	VREFB2KN0	IO				LVDS2K_3p	No	L25	DQ8	DQ4	DQ2	DQ1
2K	41	VREFB2KN0	IO				LVDS2K_4n	Yes	L24	DQSn9	DQSn4/CQn4	DQ2	DQ1
2K	40	VREFB2KN0	IO				LVDS2K_4p	Yes	K25	DQS9	DQS4/CQ4	DQ2	DQ1
2K	39	VREFB2KN0	IO				LVDS2K_5n	No	N24	DQ9	DQ4	DQ2	DQ1
2K	38	VREFB2KN0	IO				LVDS2K_5p	No	M24	DQ9	DQ4	DQ2	DQ1
2K	37	VREFB2KN0	IO				LVDS2K_6n	Yes	J25	DQ9	DQ4	DQSn2/CQn2	DQ1
2K	36	VREFB2KN0	IO				LVDS2K_6p	Yes	J26	DQ9	DQ4	DQS2/CQ2	DQ1
2K	35	VREFB2KN0	IO				LVDS2K_7n	No	J24	DQ10	DQ5	DQ2	DQ1
2K	34	VREFB2KN0	IO				LVDS2K_7p	No	H24	DQ10	DQ5	DQ2	DQ1
2K	33	VREFB2KN0	IO				LVDS2K_8n	Yes	E25	DQSn10	DQ5	DQ2	DQ1
2K	32	VREFB2KN0	IO				LVDS2K_8p	Yes	D25	DQS10	DQ5	DQ2	DQ1
2K	31	VREFB2KN0	IO				LVDS2K_9n	No	F23	DQ10	DQ5	DQ2	DQ1
2K	30	VREFB2KN0	IO				LVDS2K_9p	No	F24	DQ10	DQ5	DQ2	DQ1
2K	29	VREFB2KN0	IO	PLL_2K_CLKOUT1n			LVDS2K_10n	Yes	G25	DQSn11	DQSn5/CQn5	DQ2	DQ1
2K	28	VREFB2KN0	IO	PLL_2K_CLKOUT1p,PLL_2K_CLKOUT1,PLL_2K_FB1			LVDS2K_10p	Yes	G26	DQS11	DQS5/CQ5	DQ2	DQ1
2K	27	VREFB2KN0	IO				LVDS2K_11n	No	F26	DQ11	DQ5	DQ2	DQ1
2K	26	VREFB2KN0	IO	RZQ_2K			LVDS2K_11p	No	E26	DQ11	DQ5	DQ2	DQ1
2K	25	VREFB2KN0	IO	CLK_2K_1n			LVDS2K_12n	Yes	G24	DQ11	DQ5	DQ2	DQ1
2K	24	VREFB2KN0	IO	CLK_2K_1p			LVDS2K_12p	Yes	F25	DQ11	DQ5	DQ2	DQ1
2K	23	VREFB2KN0	IO	CLK_2K_0n			LVDS2K_13n	No	D24	DQ12	DQ6	DQ3	DQ1
2K	22	VREFB2KN0	IO	CLK_2K_0p			LVDS2K_13p	No	C24	DQ12	DQ6	DQ3	DQ1
2K	21	VREFB2KN0	IO				LVDS2K_14n	Yes	E23	DQSn12	DQ6	DQ3	DQSn1/CQn1
2K	20	VREFB2KN0	IO				LVDS2K_14p	Yes	D23	DQS12	DQ6	DQ3	DQS1/CQ1
2K	19	VREFB2KN0	IO	PLL_2K_CLKOUT0n			LVDS2K_15n	No	C23	DQ12	DQ6	DQ3	DQ1
2K	18	VREFB2KN0	IO	PLL_2K_CLKOUT0p,PLL_2K_CLKOUT0,PLL_2K_FB0			LVDS2K_15p	No	B22	DQ12	DQ6	DQ3	DQ1
2K	17	VREFB2KN0	IO				LVDS2K_16n	Yes	B24	DQSn13	DQSn6/CQn6	DQ3	DQ1
2K	16	VREFB2KN0	IO				LVDS2K_16p	Yes	C25	DQS13	DQS6/CQ6	DQ3	DQ1
2K	15	VREFB2KN0	IO				LVDS2K_17n	No	C21	DQ13	DQ6	DQ3	DQ1
2K	14	VREFB2KN0	IO				LVDS2K_17p	No	C22	DQ13	DQ6	DQ3	DQ1
2K	13	VREFB2KN0	IO				LVDS2K_18n	Yes	C26	DQ13	DQ6	DQSn3/CQn3	DQ1
2K	12	VREFB2KN0	IO				LVDS2K_18p	Yes	B26	DQ13	DQ6	DQS3/CQ3	DQ1
2K	11	VREFB2KN0	IO				LVDS2K_19n	No	A18	DQ14	DQ7	DQ3	DQ1
2K	10	VREFB2KN0	IO				LVDS2K_19p	No	A17	DQ14	DQ7	DQ3	DQ1
2K	9	VREFB2KN0	IO				LVDS2K_20n	Yes	B19	DQSn14	DQ7	DQ3	DQ1
2K	8	VREFB2KN0	IO				LVDS2K_20p	Yes	B20	DQS14	DQ7	DQ3	DQ1
2K	7	VREFB2KN0	IO				LVDS2K_21n	No	A23	DQ14	DQ7	DQ3	DQ1
2K	6	VREFB2KN0	IO				LVDS2K_21p	No	A24	DQ14	DQ7	DQ3	DQ1
2K	5	VREFB2KN0	IO				LVDS2K_22n	Yes	A25	DQSn15	DQSn7/CQn7	DQ3	DQ1
2K	4	VREFB2KN0	IO				LVDS2K_22p	Yes	A26	DQS15	DQS7/CQ7	DQ3	DQ1
2K	3	VREFB2KN0	IO				LVDS2K_23n	No	B21	DQ15	DQ7	DQ3	DQ1
2K	2	VREFB2KN0	IO				LVDS2K_23p	No	A22	DQ15	DQ7	DQ3	DQ1
2K	1	VREFB2KN0	IO				LVDS2K_24n	Yes	A19	DQ15	DQ7	DQ3	DQ1
2K	0	VREFB2KN0	IO				LVDS2K_24p	Yes	A20	DQ15	DQ7	DQ3	DQ1
2J	47	VREFB2JN0	IO				LVDS2J_1n	No	AV26	DQ16	DQ8	DQ4	DQ2
2J	46	VREFB2JN0	IO				LVDS2J_1p	No	AV27	DQ16	DQ8	DQ4	DQ2
2J	45	VREFB2JN0	IO				LVDS2J_2n	Yes	AU27	DQSn16	DQ8	DQ4	DQ2
2J	44	VREFB2JN0	IO				LVDS2J_2p	Yes	AU28	DQS16	DQ8	DQ4	DQ2

Bank Number	Index within I/O Bank *(1)*	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	NF40	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
2J	43	VREFB2JN0	IO				LVDS2J_3n	No	AV28	DQ16	DQ8	DQ4	DQ2
2J	42	VREFB2JN0	IO				LVDS2J_3p	No	AW28	DQ16	DQ8	DQ4	DQ2
2J	41	VREFB2JN0	IO				LVDS2J_4n	Yes	AW25	DQSn17	DQSn8/CQn8	DQ4	DQ2
2J	40	VREFB2JN0	IO				LVDS2J_4p	Yes	AW26	DQS17	DQS8/CQ8	DQ4	DQ2
2J	39	VREFB2JN0	IO				LVDS2J_5n	No	AV24	DQ17	DQ8	DQ4	DQ2
2J	38	VREFB2JN0	IO				LVDS2J_5p	No	AW24	DQ17	DQ8	DQ4	DQ2
2J	37	VREFB2JN0	IO				LVDS2J_6n	Yes	AV23	DQ17	DQ8	DQSn4/CQn4	DQ2
2J	36	VREFB2JN0	IO				LVDS2J_6p	Yes	AW23	DQ17	DQ8	DQS4/CQ4	DQ2
2J	35	VREFB2JN0	IO				LVDS2J_7n	No	AU25	DQ18	DQ9	DQ4	DQ2
2J	34	VREFB2JN0	IO				LVDS2J_7p	No	AU26	DQ18	DQ9	DQ4	DQ2
2J	33	VREFB2JN0	IO				LVDS2J_8n	Yes	AR26	DQSn18	DQ9	DQ4	DQ2
2J	32	VREFB2JN0	IO				LVDS2J_8p	Yes	AT26	DQS18	DQ9	DQ4	DQ2
2J	31	VREFB2JN0	IO				LVDS2J_9n	No	AT23	DQ18	DQ9	DQ4	DQ2
2J	30	VREFB2JN0	IO				LVDS2J_9p	No	AU24	DQ18	DQ9	DQ4	DQ2
2J	29	VREFB2JN0	IO	PLL_2J_CLKOUT1n			LVDS2J_10n	Yes	AT24	DQSn19	DQSn9/CQn9	DQ4	DQ2
2J	28	VREFB2JN0	IO	PLL_2J_CLKOUT1p,PLL_2J_CLKOUT1,PLL_2J_FB1			LVDS2J_10p	Yes	AT25	DQS19	DQS9/CQ9	DQ4	DQ2
2J	27	VREFB2JN0	IO				LVDS2J_11n	No	AP25	DQ19	DQ9	DQ4	DQ2
2J	26	VREFB2JN0	IO	RZQ_2J			LVDS2J_11p	No	AR25	DQ19	DQ9	DQ4	DQ2
2J	25	VREFB2JN0	IO	CLK_2J_1n			LVDS2J_12n	Yes	AP23	DQ19	DQ9	DQ4	DQ2
2J	24	VREFB2JN0	IO	CLK_2J_1p			LVDS2J_12p	Yes	AP24	DQ19	DQ9	DQ4	DQ2
2J	23	VREFB2JN0	IO	CLK_2J_0n			LVDS2J_13n	No	AN26	DQ20	DQ10	DQ5	DQ2
2J	22	VREFB2JN0	IO	CLK_2J_0p			LVDS2J_13p	No	AP26	DQ20	DQ10	DQ5	DQ2
2J	21	VREFB2JN0	IO				LVDS2J_14n	Yes	AN23	DQSn20	DQ10	DQ5	DQSn2/CQn2
2J	20	VREFB2JN0	IO				LVDS2J_14p	Yes	AN24	DQS20	DQ10	DQ5	DQS2/CQ2
2J	19	VREFB2JN0	IO	PLL_2J_CLKOUT0n			LVDS2J_15n	No	AK26	DQ20	DQ10	DQ5	DQ2
2J	18	VREFB2JN0	IO	PLL_2J_CLKOUT0p,PLL_2J_CLKOUT0,PLL_2J_FB0			LVDS2J_15p	No	AL26	DQ20	DQ10	DQ5	DQ2
2J	17	VREFB2JN0	IO				LVDS2J_16n	Yes	AL25	DQSn21	DQSn10/CQn10	DQ5	DQ2
2J	16	VREFB2JN0	IO				LVDS2J_16p	Yes	AM25	DQS21	DQS10/CQ10	DQ5	DQ2
2J	15	VREFB2JN0	IO				LVDS2J_17n	No	AK23	DQ21	DQ10	DQ5	DQ2
2J	14	VREFB2JN0	IO				LVDS2J_17p	No	AL23	DQ21	DQ10	DQ5	DQ2
2J	13	VREFB2JN0	IO				LVDS2J_18n	Yes	AM24	DQ21	DQ10	DQSn5/CQn5	DQ2
2J	12	VREFB2JN0	IO				LVDS2J_18p	Yes	AL24	DQ21	DQ10	DQS5/CQ5	DQ2
2J	11	VREFB2JN0	IO				LVDS2J_19n	No	AH25	DQ22	DQ11	DQ5	DQ2
2J	10	VREFB2JN0	IO				LVDS2J_19p	No	AJ26	DQ22	DQ11	DQ5	DQ2
2J	9	VREFB2JN0	IO				LVDS2J_20n	Yes	AH23	DQSn22	DQ11	DQ5	DQ2
2J	8	VREFB2JN0	IO				LVDS2J_20p	Yes	AH24	DQS22	DQ11	DQ5	DQ2
2J	7	VREFB2JN0	IO				LVDS2J_21n	No	AJ23	DQ22	DQ11	DQ5	DQ2
2J	6	VREFB2JN0	IO				LVDS2J_21p	No	AJ24	DQ22	DQ11	DQ5	DQ2
2J	5	VREFB2JN0	IO				LVDS2J_22n	Yes	AJ25	DQSn23	DQSn11/CQn11	DQ5	DQ2
2J	4	VREFB2JN0	IO				LVDS2J_22p	Yes	AK25	DQS23	DQS11/CQ11	DQ5	DQ2
2J	3	VREFB2JN0	IO				LVDS2J_23n	No	AF25	DQ23	DQ11	DQ5	DQ2
2J	2	VREFB2JN0	IO				LVDS2J_23p	No	AG25	DQ23	DQ11	DQ5	DQ2
2J	1	VREFB2JN0	IO				LVDS2J_24n	Yes	AF24	DQ23	DQ11	DQ5	DQ2
2J	0	VREFB2JN0	IO				LVDS2J_24p	Yes	AG24	DQ23	DQ11	DQ5	DQ2
2I	35	VREFB2IN0	IO				LVDS2I_7n	No	AT22	DQ26	DQ13	DQ6	DQ3
2I	34	VREFB2IN0	IO				LVDS2I_7p	No	AU22	DQ26	DQ13	DQ6	DQ3
2I	33	VREFB2IN0	IO				LVDS2I_8n	Yes	AR22	DQSn26	DQ13	DQ6	DQ3
2I	32	VREFB2IN0	IO				LVDS2I_8p	Yes	AR23	DQS26	DQ13	DQ6	DQ3
2I	31	VREFB2IN0	IO				LVDS2I_9n	No	AL22	DQ26	DQ13	DQ6	DQ3
2I	30	VREFB2IN0	IO				LVDS2I_9p	No	AM22	DQ26	DQ13	DQ6	DQ3
2I	29	VREFB2IN0	IO	PLL_2I_CLKOUT1n			LVDS2I_10n	Yes	AP21	DQSn27	DQSn13/CQn13	DQ6	DQ3
2I	28	VREFB2IN0	IO	PLL_2I_CLKOUT1p,PLL_2I_CLKOUT1,PLL_2I_FB1			LVDS2I_10p	Yes	AR21	DQS27	DQS13/CQ13	DQ6	DQ3
2I	27	VREFB2IN0	IO				LVDS2I_11n	No	AN22	DQ27	DQ13	DQ6	DQ3
2I	26	VREFB2IN0	IO	RZQ_2I			LVDS2I_11p	No	AN21	DQ27	DQ13	DQ6	DQ3
2I	25	VREFB2IN0	IO	CLK_2I_1n			LVDS2I_12n	Yes	AL20	DQ27	DQ13	DQ6	DQ3
2I	24	VREFB2IN0	IO	CLK_2I_1p			LVDS2I_12p	Yes	AM21	DQ27	DQ13	DQ6	DQ3
2A	47	VREFB2AN0	IO		DATA0		LVDS2A_1n	No	AH18	DQ56	DQ28	DQ14	DQ7
2A	46	VREFB2AN0	IO		DATA1		LVDS2A_1p	No	AJ18	DQ56	DQ28	DQ14	DQ7
2A	45	VREFB2AN0	IO		DATA2		LVDS2A_2n	Yes	AH17	DQSn56	DQ28	DQ14	DQ7
2A	44	VREFB2AN0	IO		DATA3		LVDS2A_2p	Yes	AJ16	DQS56	DQ28	DQ14	DQ7
2A	43	VREFB2AN0	IO		DATA4		LVDS2A_3n	No	AK17	DQ56	DQ28	DQ14	DQ7
2A	42	VREFB2AN0	IO		DATA5		LVDS2A_3p	No	AK16	DQ56	DQ28	DQ14	DQ7
2A	41	VREFB2AN0	IO		DATA6		LVDS2A_4n	Yes	AK18	DQSn57	DQSn28/CQn28	DQ14	DQ7
2A	40	VREFB2AN0	IO		DATA7		LVDS2A_4p	Yes	AL17	DQS57	DQS28/CQ28	DQ14	DQ7
2A	39	VREFB2AN0	IO		DATA8		LVDS2A_5n	No	AH19	DQ57	DQ28	DQ14	DQ7
2A	38	VREFB2AN0	IO		DATA9		LVDS2A_5p	No	AJ19	DQ57	DQ28	DQ14	DQ7
2A	37	VREFB2AN0	IO		DATA10		LVDS2A_6n	Yes	AL19	DQ57	DQ28	DQSn14/CQn14	DQ7
2A	36	VREFB2AN0	IO		DATA11		LVDS2A_6p	Yes	AL18	DQ57	DQ28	DQS14/CQ14	DQ7
2A	35	VREFB2AN0	IO		DATA12		LVDS2A_7n	No	AM17	DQ58	DQ29	DQ14	DQ7
2A	34	VREFB2AN0	IO		DATA13		LVDS2A_7p	No	AN17	DQ58	DQ29	DQ14	DQ7
2A	33	VREFB2AN0	IO		DATA14		LVDS2A_8n	Yes	AM20	DQSn58	DQ29	DQ14	DQ7
2A	32	VREFB2AN0	IO		DATA15		LVDS2A_8p	Yes	AM19	DQS58	DQ29	DQ14	DQ7
2A	31	VREFB2AN0	IO		DATA16		LVDS2A_9n	No	AM16	DQ58	DQ29	DQ14	DQ7
2A	30	VREFB2AN0	IO		DATA17		LVDS2A_9p	No	AN16	DQ58	DQ29	DQ14	DQ7
2A	29	VREFB2AN0	IO	PLL_2A_CLKOUT1n	DATA18		LVDS2A_10n	Yes	AP16	DQSn59	DQSn29/CQn29	DQ14	DQ7
2A	28	VREFB2AN0	IO	PLL_2A_CLKOUT1p,PLL_2A_CL	DATA19		LVDS2A_10p	Yes	AR16	DQS59	DQS29/CQ29	DQ14	DQ7
2A	27	VREFB2AN0	IO		nCEO		LVDS2A_11n	No	AN19	DQ59	DQ29	DQ14	DQ7
2A	26	VREFB2AN0	IO	RZQ_2A			LVDS2A_11p	No	AP19	DQ59	DQ29	DQ14	DQ7
2A	25	VREFB2AN0	IO	CLK_2A_1n	DATA20		LVDS2A_12n	Yes	AN18	DQ59	DQ29	DQ14	DQ7
2A	24	VREFB2AN0	IO	CLK_2A_1p	DATA21		LVDS2A_12p	Yes	AP18	DQ59	DQ29	DQ14	DQ7
2A	23	VREFB2AN0	IO	CLK_2A_0n	DATA22		LVDS2A_13n	No	AR18	DQ60	DQ30	DQ15	DQ7

Bank Number	Index within I/O Bank *(1)*	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	NF40	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
2A	22	VREFB2AN0	IO	CLK_2A_0p	DATA23		LVDS2A_13p	No	AT18	DQ60	DQ30	DQ15	DQ7
2A	21	VREFB2AN0	IO		DATA24		LVDS2A_14n	Yes	AR17	DQSn60	DQ30	DQ15	DQSn7/CQn7
2A	20	VREFB2AN0	IO		DATA25		LVDS2A_14p	Yes	AT17	DQS60	DQ30	DQ15	DQS7/CQ7
2A	19	VREFB2AN0	IO	PLL_2A_CLKOUT0n	DATA26		LVDS2A_15n	No	AT19	DQ60	DQ30	DQ15	DQ7
2A	18	VREFB2AN0	IO	PLL_2A_CLKOUT0p,PLL_2A_CL	DATA27		LVDS2A_15p	No	AU19	DQ60	DQ30	DQ15	DQ7
2A	17	VREFB2AN0	IO		DATA28		LVDS2A_16n	Yes	AT20	DQSn61	DQSn30/CQn30	DQ15	DQ7
2A	16	VREFB2AN0	IO		DATA29		LVDS2A_16p	Yes	AU20	DQS61	DQS30/CQ30	DQ15	DQ7
2A	15	VREFB2AN0	IO		DATA30		LVDS2A_17n	No	AU17	DQ61	DQ30	DQ15	DQ7
2A	14	VREFB2AN0	IO		DATA31		LVDS2A_17p	No	AU16	DQ61	DQ30	DQ15	DQ7
2A	13	VREFB2AN0	IO		CLKUSR		LVDS2A_18n	Yes	AP20	DQ61	DQ30	DQSn15/CQn15	DQ7
2A	12	VREFB2AN0	IO		PR_REQUEST		LVDS2A_18p	Yes	AR20	DQ61	DQ30	DQS15/CQ15	DQ7
2A	11	VREFB2AN0	IO		PR_READY		LVDS2A_19n	No	AV16	DQ62	DQ31	DQ15	DQ7
2A	10	VREFB2AN0	IO		nPERSTL0		LVDS2A_19p	No	AW16	DQ62	DQ31	DQ15	DQ7
2A	9	VREFB2AN0	IO		PR_DONE		LVDS2A_20n	Yes	AV19	DQSn62	DQ31	DQ15	DQ7
2A	8	VREFB2AN0	IO		nPERSTL1		LVDS2A_20p	Yes	AV18	DQS62	DQ31	DQ15	DQ7
2A	7	VREFB2AN0	IO		PR_ERROR		LVDS2A_21n	No	AV17	DQ62	DQ31	DQ15	DQ7
2A	6	VREFB2AN0	IO				LVDS2A_21p	No	AW18	DQ62	DQ31	DQ15	DQ7
2A	5	VREFB2AN0	IO		CvP_CONFDONE		LVDS2A_22n	Yes	AV22	DQSn63	DQSn31/CQn31	DQ15	DQ7
2A	4	VREFB2AN0	IO				LVDS2A_22p	Yes	AW21	DQS63	DQS31/CQ31	DQ15	DQ7
2A	3	VREFB2AN0	IO		INIT_DONE		LVDS2A_23n	No	AW20	DQ63	DQ31	DQ15	DQ7
2A	2	VREFB2AN0	IO		DEV_OE		LVDS2A_23p	No	AW19	DQ63	DQ31	DQ15	DQ7
2A	1	VREFB2AN0	IO		CRC_ERROR		LVDS2A_24n	Yes	AU21	DQ63	DQ31	DQ15	DQ7
2A	0	VREFB2AN0	IO		DEV_CLRn		LVDS2A_24p	Yes	AV21	DQ63	DQ31	DQ15	DQ7
3H	47	VREFB3HN0	IO				LVDS3H_1n	No	P15	DQ64	DQ32	DQ16	DQ8
3H	46	VREFB3HN0	IO				LVDS3H_1p	No	P14	DQ64	DQ32	DQ16	DQ8
3H	45	VREFB3HN0	IO				LVDS3H_2n	Yes	N14	DQSn64	DQ32	DQ16	DQ8
3H	44	VREFB3HN0	IO				LVDS3H_2p	Yes	M14	DQS64	DQ32	DQ16	DQ8
3H	43	VREFB3HN0	IO				LVDS3H_3n	No	J14	DQ64	DQ32	DQ16	DQ8
3H	42	VREFB3HN0	IO				LVDS3H_3p	No	J13	DQ64	DQ32	DQ16	DQ8
3H	41	VREFB3HN0	IO				LVDS3H_4n	Yes	L15	DQSn65	DQSn32/CQn32	DQ16	DQ8
3H	40	VREFB3HN0	IO				LVDS3H_4p	Yes	L14	DQS65	DQS32/CQ32	DQ16	DQ8
3H	39	VREFB3HN0	IO				LVDS3H_5n	No	L13	DQ65	DQ32	DQ16	DQ8
3H	38	VREFB3HN0	IO				LVDS3H_5p	No	L12	DQ65	DQ32	DQ16	DQ8
3H	37	VREFB3HN0	IO				LVDS3H_6n	Yes	K13	DQ65	DQ32	DQSn16/CQn16	DQ8
3H	36	VREFB3HN0	IO				LVDS3H_6p	Yes	K12	DQ65	DQ32	DQS16/CQ16	DQ8
3H	35	VREFB3HN0	IO				LVDS3H_7n	No	H14	DQ66	DQ33	DQ16	DQ8
3H	34	VREFB3HN0	IO				LVDS3H_7p	No	G14	DQ66	DQ33	DQ16	DQ8
3H	33	VREFB3HN0	IO				LVDS3H_8n	Yes	D14	DQSn66	DQ33	DQ16	DQ8
3H	32	VREFB3HN0	IO				LVDS3H_8p	Yes	C14	DQS66	DQ33	DQ16	DQ8
3H	31	VREFB3HN0	IO				LVDS3H_9n	No	D13	DQ66	DQ33	DQ16	DQ8
3H	30	VREFB3HN0	IO				LVDS3H_9p	No	C13	DQ66	DQ33	DQ16	DQ8
3H	29	VREFB3HN0	IO	PLL_3H_CLKOUT1n			LVDS3H_10n	Yes	E13	DQSn67	DQSn33/CQn33	DQ16	DQ8
3H	28	VREFB3HN0	IO	PLL_3H_CLKOUT1p,PLL_3H_CLKOUT1,PLL_3H_FB1			LVDS3H_10p	Yes	E12	DQS67	DQS33/CQ33	DQ16	DQ8
3H	27	VREFB3HN0	IO				LVDS3H_11n	No	H13	DQ67	DQ33	DQ16	DQ8
3H	26	VREFB3HN0	IO	RZQ_3H			LVDS3H_11p	No	H12	DQ67	DQ33	DQ16	DQ8
3H	25	VREFB3HN0	IO	CLK_3H_1n			LVDS3H_12n	Yes	F14	DQ67	DQ33	DQ16	DQ8
3H	24	VREFB3HN0	IO	CLK_3H_1p			LVDS3H_12p	Yes	F13	DQ67	DQ33	DQ16	DQ8
3H	23	VREFB3HN0	IO	CLK_3H_0n			LVDS3H_13n	No	C12	DQ68	DQ34	DQ17	DQ8
3H	22	VREFB3HN0	IO	CLK_3H_0p			LVDS3H_13p	No	C11	DQ68	DQ34	DQ17	DQ8
3H	21	VREFB3HN0	IO				LVDS3H_14n	Yes	E11	DQSn68	DQ34	DQ17	DQSn8/CQn8
3H	20	VREFB3HN0	IO				LVDS3H_14p	Yes	D11	DQS68	DQ34	DQ17	DQS8/CQ8
3H	19	VREFB3HN0	IO	PLL_3H_CLKOUT0n			LVDS3H_15n	No	G12	DQ68	DQ34	DQ17	DQ8
3H	18	VREFB3HN0	IO	PLL_3H_CLKOUT0p,PLL_3H_CLKOUT0,PLL_3H_FB0			LVDS3H_15p	No	F12	DQ68	DQ34	DQ17	DQ8
3H	17	VREFB3HN0	IO				LVDS3H_16n	Yes	G10	DQSn69	DQSn34/CQn34	DQ17	DQ8
3H	16	VREFB3HN0	IO				LVDS3H_16p	Yes	F10	DQS69	DQS34/CQ34	DQ17	DQ8
3H	15	VREFB3HN0	IO				LVDS3H_17n	No	E10	DQ69	DQ34	DQ17	DQ8
3H	14	VREFB3HN0	IO				LVDS3H_17p	No	D10	DQ69	DQ34	DQ17	DQ8
3H	13	VREFB3HN0	IO				LVDS3H_18n	Yes	H11	DQ69	DQ34	DQSn17/CQn17	DQ8
3H	12	VREFB3HN0	IO				LVDS3H_18p	Yes	G11	DQ69	DQ34	DQS17/CQ17	DQ8
3H	11	VREFB3HN0	IO				LVDS3H_19n	No	B10	DQ70	DQ35	DQ17	DQ8
3H	10	VREFB3HN0	IO				LVDS3H_19p	No	A10	DQ70	DQ35	DQ17	DQ8
3H	9	VREFB3HN0	IO				LVDS3H_20n	Yes	B9	DQSn70	DQ35	DQ17	DQ8
3H	8	VREFB3HN0	IO				LVDS3H_20p	Yes	A9	DQS70	DQ35	DQ17	DQ8
3H	7	VREFB3HN0	IO				LVDS3H_21n	No	B12	DQ70	DQ35	DQ17	DQ8
3H	6	VREFB3HN0	IO				LVDS3H_21p	No	B11	DQ70	DQ35	DQ17	DQ8
3H	5	VREFB3HN0	IO				LVDS3H_22n	Yes	A13	DQSn71	DQSn35/CQn35	DQ17	DQ8
3H	4	VREFB3HN0	IO				LVDS3H_22p	Yes	A12	DQS71	DQS35/CQ35	DQ17	DQ8
3H	3	VREFB3HN0	IO				LVDS3H_23n	No	A8	DQ71	DQ35	DQ17	DQ8
3H	2	VREFB3HN0	IO				LVDS3H_23p	No	A7	DQ71	DQ35	DQ17	DQ8
3H	1	VREFB3HN0	IO				LVDS3H_24n	Yes	D9	DQ71	DQ35	DQ17	DQ8
3H	0	VREFB3HN0	IO				LVDS3H_24p	Yes	C9	DQ71	DQ35	DQ17	DQ8
3G	47	VREFB3GN0	IO				LVDS3G_1n	No	F8	DQ72	DQ36	DQ18	DQ9
3G	46	VREFB3GN0	IO				LVDS3G_1p	No	E8	DQ72	DQ36	DQ18	DQ9
3G	45	VREFB3GN0	IO				LVDS3G_2n	Yes	C7	DQSn72	DQ36	DQ18	DQ9
3G	44	VREFB3GN0	IO				LVDS3G_2p	Yes	B7	DQS72	DQ36	DQ18	DQ9
3G	43	VREFB3GN0	IO				LVDS3G_3n	No	D8	DQ72	DQ36	DQ18	DQ9
3G	42	VREFB3GN0	IO				LVDS3G_3p	No	C8	DQ72	DQ36	DQ18	DQ9
3G	41	VREFB3GN0	IO				LVDS3G_4n	Yes	C6	DQSn73	DQSn36/CQn36	DQ18	DQ9
3G	40	VREFB3GN0	IO				LVDS3G_4p	Yes	B6	DQS73	DQS36/CQ36	DQ18	DQ9
3G	39	VREFB3GN0	IO				LVDS3G_5n	No	B5	DQ73	DQ36	DQ18	DQ9
3G	38	VREFB3GN0	IO				LVDS3G_5p	No	A5	DQ73	DQ36	DQ18	DQ9

Bank Number	Index within I/O Bank *(1)*	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	NF40	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
3G	37	VREFB3GN0	IO				LVDS3G_6n	Yes	B4	DQ73	DQ36	DQSn18/CQn18	DQ9
3G	36	VREFB3GN0	IO				LVDS3G_6p	Yes	A4	DQ73	DQ36	DQS18/CQ18	DQ9
3G	35	VREFB3GN0	IO				LVDS3G_7n	No	C4	DQ74	DQ37	DQ18	DQ9
3G	34	VREFB3GN0	IO				LVDS3G_7p	No	C3	DQ74	DQ37	DQ18	DQ9
3G	33	VREFB3GN0	IO				LVDS3G_8n	Yes	D3	DQSn74	DQ37	DQ18	DQ9
3G	32	VREFB3GN0	IO				LVDS3G_8p	Yes	C2	DQS74	DQ37	DQ18	DQ9
3G	31	VREFB3GN0	IO				LVDS3G_9n	No	F7	DQ74	DQ37	DQ18	DQ9
3G	30	VREFB3GN0	IO				LVDS3G_9p	No	E7	DQ74	DQ37	DQ18	DQ9
3G	29	VREFB3GN0	IO	PLL_3G_CLKOUT1n			LVDS3G_10n	Yes	D5	DQSn75	DQSn37/CQn37	DQ18	DQ9
3G	28	VREFB3GN0	IO	PLL_3G_CLKOUT1p,PLL_3G_CLKOUT1,PLL_3G_FB1			LVDS3G_10p	Yes	D4	DQS75	DQS37/CQ37	DQ18	DQ9
3G	27	VREFB3GN0	IO				LVDS3G_11n	No	E6	DQ75	DQ37	DQ18	DQ9
3G	26	VREFB3GN0	IO	RZQ_3G			LVDS3G_11p	No	D6	DQ75	DQ37	DQ18	DQ9
3G	25	VREFB3GN0	IO	CLK_3G_1n			LVDS3G_12n	Yes	F5	DQ75	DQ37	DQ18	DQ9
3G	24	VREFB3GN0	IO	CLK_3G_1p			LVDS3G_12p	Yes	E5	DQ75	DQ37	DQ18	DQ9
3G	23	VREFB3GN0	IO	CLK_3G_0n			LVDS3G_13n	No	H9	DQ76	DQ38	DQ19	DQ9
3G	22	VREFB3GN0	IO	CLK_3G_0p			LVDS3G_13p	No	H8	DQ76	DQ38	DQ19	DQ9
3G	21	VREFB3GN0	IO				LVDS3G_14n	Yes	G9	DQSn76	DQ38	DQ19	DQSn9/CQn9
3G	20	VREFB3GN0	IO				LVDS3G_14p	Yes	F9	DQS76	DQ38	DQ19	DQS9/CQ9
3G	19	VREFB3GN0	IO	PLL_3G_CLKOUT0n			LVDS3G_15n	No	K8	DQ76	DQ38	DQ19	DQ9
3G	18	VREFB3GN0	IO	PLL_3G_CLKOUT0p,PLL_3G_CLKOUT0,PLL_3G_FB0			LVDS3G_15p	No	J8	DQ76	DQ38	DQ19	DQ9
3G	17	VREFB3GN0	IO				LVDS3G_16n	Yes	G6	DQSn77	DQSn38/CQn38	DQ19	DQ9
3G	16	VREFB3GN0	IO				LVDS3G_16p	Yes	G5	DQS77	DQS38/CQ38	DQ19	DQ9
3G	15	VREFB3GN0	IO				LVDS3G_17n	No	H7	DQ77	DQ38	DQ19	DQ9
3G	14	VREFB3GN0	IO				LVDS3G_17p	No	G7	DQ77	DQ38	DQ19	DQ9
3G	13	VREFB3GN0	IO				LVDS3G_18n	Yes	J6	DQ77	DQ38	DQSn19/CQn19	DQ9
3G	12	VREFB3GN0	IO				LVDS3G_18p	Yes	H6	DQ77	DQ38	DQS19/CQ19	DQ9
3G	11	VREFB3GN0	IO				LVDS3G_19n	No	L10	DQ78	DQ39	DQ19	DQ9
3G	10	VREFB3GN0	IO				LVDS3G_19p	No	K10	DQ78	DQ39	DQ19	DQ9
3G	9	VREFB3GN0	IO				LVDS3G_20n	Yes	K11	DQSn78	DQ39	DQ19	DQ9
3G	8	VREFB3GN0	IO				LVDS3G_20p	Yes	J11	DQS78	DQ39	DQ19	DQ9
3G	7	VREFB3GN0	IO				LVDS3G_21n	No	N13	DQ78	DQ39	DQ19	DQ9
3G	6	VREFB3GN0	IO				LVDS3G_21p	No	M12	DQ78	DQ39	DQ19	DQ9
3G	5	VREFB3GN0	IO				LVDS3G_22n	Yes	N11	DQSn79	DQSn39/CQn39	DQ19	DQ9
3G	4	VREFB3GN0	IO				LVDS3G_22p	Yes	M10	DQS79	DQS39/CQ39	DQ19	DQ9
3G	3	VREFB3GN0	IO				LVDS3G_23n	No	J10	DQ79	DQ39	DQ19	DQ9
3G	2	VREFB3GN0	IO				LVDS3G_23p	No	J9	DQ79	DQ39	DQ19	DQ9
3G	1	VREFB3GN0	IO				LVDS3G_24n	Yes	N12	DQ79	DQ39	DQ19	DQ9
3G	0	VREFB3GN0	IO				LVDS3G_24p	Yes	M11	DQ79	DQ39	DQ19	DQ9
3F	47	VREFB3FN0	IO				LVDS3F_1n	No	G4	DQ80	DQ40	DQ20	DQ10
3F	46	VREFB3FN0	IO				LVDS3F_1p	No	F4	DQ80	DQ40	DQ20	DQ10
3F	45	VREFB3FN0	IO				LVDS3F_2n	Yes	D1	DQSn80	DQ40	DQ20	DQ10
3F	44	VREFB3FN0	IO				LVDS3F_2p	Yes	C1	DQS80	DQ40	DQ20	DQ10
3F	43	VREFB3FN0	IO				LVDS3F_3n	No	E2	DQ80	DQ40	DQ20	DQ10
3F	42	VREFB3FN0	IO				LVDS3F_3p	No	E1	DQ80	DQ40	DQ20	DQ10
3F	41	VREFB3FN0	IO				LVDS3F_4n	Yes	F3	DQSn81	DQSn40/CQn40	DQ20	DQ10
3F	40	VREFB3FN0	IO				LVDS3F_4p	Yes	E3	DQS81	DQS40/CQ40	DQ20	DQ10
3F	39	VREFB3FN0	IO				LVDS3F_5n	No	G2	DQ81	DQ40	DQ20	DQ10
3F	38	VREFB3FN0	IO				LVDS3F_5p	No	F2	DQ81	DQ40	DQ20	DQ10
3F	37	VREFB3FN0	IO				LVDS3F_6n	Yes	H2	DQ81	DQ40	DQSn20/CQn20	DQ10
3F	36	VREFB3FN0	IO				LVDS3F_6p	Yes	G1	DQ81	DQ40	DQS20/CQ20	DQ10
3F	35	VREFB3FN0	IO				LVDS3F_7n	No	J5	DQ82	DQ41	DQ20	DQ10
3F	34	VREFB3FN0	IO				LVDS3F_7p	No	J4	DQ82	DQ41	DQ20	DQ10
3F	33	VREFB3FN0	IO				LVDS3F_8n	Yes	J1	DQSn82	DQ41	DQ20	DQ10
3F	32	VREFB3FN0	IO				LVDS3F_8p	Yes	H1	DQS82	DQ41	DQ20	DQ10
3F	31	VREFB3FN0	IO				LVDS3F_9n	No	H4	DQ82	DQ41	DQ20	DQ10
3F	30	VREFB3FN0	IO				LVDS3F_9p	No	H3	DQ82	DQ41	DQ20	DQ10
3F	29	VREFB3FN0	IO	PLL_3F_CLKOUT1n			LVDS3F_10n	Yes	K2	DQSn83	DQSn41/CQn41	DQ20	DQ10
3F	28	VREFB3FN0	IO	PLL_3F_CLKOUT1p,PLL_3F_CLKOUT1,PLL_3F_FB1			LVDS3F_10p	Yes	K1	DQS83	DQS41/CQ41	DQ20	DQ10
3F	27	VREFB3FN0	IO				LVDS3F_11n	No	L3	DQ83	DQ41	DQ20	DQ10
3F	26	VREFB3FN0	IO	RZQ_3F			LVDS3F_11p	No	L2	DQ83	DQ41	DQ20	DQ10
3F	25	VREFB3FN0	IO	CLK_3F_1n			LVDS3F_12n	Yes	K3	DQ83	DQ41	DQ20	DQ10
3F	24	VREFB3FN0	IO	CLK_3F_1p			LVDS3F_12p	Yes	J3	DQ83	DQ41	DQ20	DQ10
3F	23	VREFB3FN0	IO	CLK_3F_0n			LVDS3F_13n	No	N7	DQ84	DQ42	DQ21	DQ10
3F	22	VREFB3FN0	IO	CLK_3F_0p			LVDS3F_13p	No	N6	DQ84	DQ42	DQ21	DQ10
3F	21	VREFB3FN0	IO				LVDS3F_14n	Yes	K6	DQSn84	DQ42	DQ21	DQSn10/CQn10
3F	20	VREFB3FN0	IO				LVDS3F_14p	Yes	K5	DQS84	DQ42	DQ21	DQS10/CQ10
3F	19	VREFB3FN0	IO	PLL_3F_CLKOUT0n			LVDS3F_15n	No	L7	DQ84	DQ42	DQ21	DQ10
3F	18	VREFB3FN0	IO	PLL_3F_CLKOUT0p,PLL_3F_CLKOUT0,PLL_3F_FB0			LVDS3F_15p	No	K7	DQ84	DQ42	DQ21	DQ10
3F	17	VREFB3FN0	IO				LVDS3F_16n	Yes	M7	DQSn85	DQSn42/CQn42	DQ21	DQ10
3F	16	VREFB3FN0	IO				LVDS3F_16p	Yes	M6	DQS85	DQS42/CQ42	DQ21	DQ10
3F	15	VREFB3FN0	IO				LVDS3F_17n	No	M4	DQ85	DQ42	DQ21	DQ10
3F	14	VREFB3FN0	IO				LVDS3F_17p	No	L4	DQ85	DQ42	DQ21	DQ10
3F	13	VREFB3FN0	IO				LVDS3F_18n	Yes	M5	DQ85	DQ42	DQSn21/CQn21	DQ10
3F	12	VREFB3FN0	IO				LVDS3F_18p	Yes	L5	DQ85	DQ42	DQS21/CQ21	DQ10
3F	11	VREFB3FN0	IO				LVDS3F_19n	No	P10	DQ86	DQ43	DQ21	DQ10
3F	10	VREFB3FN0	IO				LVDS3F_19p	No	N9	DQ86	DQ43	DQ21	DQ10
3F	9	VREFB3FN0	IO				LVDS3F_20n	Yes	M9	DQSn86	DQ43	DQ21	DQ10
3F	8	VREFB3FN0	IO				LVDS3F_20p	Yes	N8	DQS86	DQ43	DQ21	DQ10
3F	7	VREFB3FN0	IO				LVDS3F_21n	No	R10	DQ86	DQ43	DQ21	DQ10
3F	6	VREFB3FN0	IO				LVDS3F_21p	No	P9	DQ86	DQ43	DQ21	DQ10
3F	5	VREFB3FN0	IO				LVDS3F_22n	Yes	R8	DQSn87	DQSn43/CQn43	DQ21	DQ10

Bank Number	Index within I/O Bank *(1)*	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	NF40	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
3F	4	VREFB3FN0	IO				LVDS3F_22p	Yes	P8	DQS87	DQS43/CQ43	DQ21	DQ10
3F	3	VREFB3FN0	IO				LVDS3F_23n	No	R11	DQ87	DQ43	DQ21	DQ10
3F	2	VREFB3FN0	IO				LVDS3F_23p	No	P11	DQ87	DQ43	DQ21	DQ10
3F	1	VREFB3FN0	IO				LVDS3F_24n	Yes	L9	DQ87	DQ43	DQ21	DQ10
3F	0	VREFB3FN0	IO				LVDS3F_24p	Yes	L8	DQ87	DQ43	DQ21	DQ10
3E	47	VREFB3EN0	IO				LVDS3E_1n	No	M2	DQ88	DQ44	DQ22	DQ11
3E	46	VREFB3EN0	IO				LVDS3E_1p	No	M1	DQ88	DQ44	DQ22	DQ11
3E	45	VREFB3EN0	IO				LVDS3E_2n	Yes	N4	DQSn88	DQ44	DQ22	DQ11
3E	44	VREFB3EN0	IO				LVDS3E_2p	Yes	N3	DQS88	DQ44	DQ22	DQ11
3E	43	VREFB3EN0	IO				LVDS3E_3n	No	R3	DQ88	DQ44	DQ22	DQ11
3E	42	VREFB3EN0	IO				LVDS3E_3p	No	R2	DQ88	DQ44	DQ22	DQ11
3E	41	VREFB3EN0	IO				LVDS3E_4n	Yes	N2	DQSn89	DQSn44/CQn44	DQ22	DQ11
3E	40	VREFB3EN0	IO				LVDS3E_4p	Yes	N1	DQS89	DQS44/CQ44	DQ22	DQ11
3E	39	VREFB3EN0	IO				LVDS3E_5n	No	R1	DQ89	DQ44	DQ22	DQ11
3E	38	VREFB3EN0	IO				LVDS3E_5p	No	P1	DQ89	DQ44	DQ22	DQ11
3E	37	VREFB3EN0	IO				LVDS3E_6n	Yes	P4	DQ89	DQ44	DQSn22/CQn22	DQ11
3E	36	VREFB3EN0	IO				LVDS3E_6p	Yes	P3	DQ89	DQ44	DQS22/CQ22	DQ11
3E	35	VREFB3EN0	IO				LVDS3E_7n	No	P6	DQ90	DQ45	DQ22	DQ11
3E	34	VREFB3EN0	IO				LVDS3E_7p	No	P5	DQ90	DQ45	DQ22	DQ11
3E	33	VREFB3EN0	IO				LVDS3E_8n	Yes	T5	DQSn90	DQ45	DQ22	DQ11
3E	32	VREFB3EN0	IO				LVDS3E_8p	Yes	R5	DQS90	DQ45	DQ22	DQ11
3E	31	VREFB3EN0	IO				LVDS3E_9n	No	U7	DQ90	DQ45	DQ22	DQ11
3E	30	VREFB3EN0	IO				LVDS3E_9p	No	T7	DQ90	DQ45	DQ22	DQ11
3E	29	VREFB3EN0	IO	PLL_3E_CLKOUT1n			LVDS3E_10n	Yes	U6	DQSn91	DQSn45/CQn45	DQ22	DQ11
3E	28	VREFB3EN0	IO	PLL_3E_CLKOUT1p,PLL_3E_CLKOUT1,PLL_3E_FB1			LVDS3E_10p	Yes	U5	DQS91	DQS45/CQ45	DQ22	DQ11
3E	27	VREFB3EN0	IO				LVDS3E_11n	No	V7	DQ91	DQ45	DQ22	DQ11
3E	26	VREFB3EN0	IO	RZQ_3E			LVDS3E_11p	No	V6	DQ91	DQ45	DQ22	DQ11
3E	25	VREFB3EN0	IO	CLK_3E_1n			LVDS3E_12n	Yes	W6	DQ91	DQ45	DQ22	DQ11
3E	24	VREFB3EN0	IO	CLK_3E_1p			LVDS3E_12p	Yes	W5	DQ91	DQ45	DQ22	DQ11
3E	23	VREFB3EN0	IO	CLK_3E_0n			LVDS3E_13n	No	U4	DQ92	DQ46	DQ23	DQ11
3E	22	VREFB3EN0	IO	CLK_3E_0p			LVDS3E_13p	No	T4	DQ92	DQ46	DQ23	DQ11
3E	21	VREFB3EN0	IO				LVDS3E_14n	Yes	T3	DQSn92	DQ46	DQ23	DQSn11/CQn11
3E	20	VREFB3EN0	IO				LVDS3E_14p	Yes	T2	DQS92	DQ46	DQ23	DQS11/CQ11
3E	19	VREFB3EN0	IO	PLL_3E_CLKOUT0n			LVDS3E_15n	No	U2	DQ92	DQ46	DQ23	DQ11
3E	18	VREFB3EN0	IO	PLL_3E_CLKOUT0p,PLL_3E_CLKOUT0,PLL_3E_FB0			LVDS3E_15p	No	U1	DQ92	DQ46	DQ23	DQ11
3E	17	VREFB3EN0	IO				LVDS3E_16n	Yes	V2	DQSn93	DQSn46/CQn46	DQ23	DQ11
3E	16	VREFB3EN0	IO				LVDS3E_16p	Yes	V1	DQS93	DQS46/CQ46	DQ23	DQ11
3E	15	VREFB3EN0	IO				LVDS3E_17n	No	W4	DQ93	DQ46	DQ23	DQ11
3E	14	VREFB3EN0	IO				LVDS3E_17p	No	W3	DQ93	DQ46	DQ23	DQ11
3E	13	VREFB3EN0	IO				LVDS3E_18n	Yes	V4	DQ93	DQ46	DQSn23/CQn23	DQ11
3E	12	VREFB3EN0	IO				LVDS3E_18p	Yes	V3	DQ93	DQ46	DQS23/CQ23	DQ11
3E	11	VREFB3EN0	IO				LVDS3E_19n	No	U10	DQ94	DQ47	DQ23	DQ11
3E	10	VREFB3EN0	IO				LVDS3E_19p	No	U9	DQ94	DQ47	DQ23	DQ11
3E	9	VREFB3EN0	IO				LVDS3E_20n	Yes	V9	DQSn94	DQ47	DQ23	DQ11
3E	8	VREFB3EN0	IO				LVDS3E_20p	Yes	V8	DQS94	DQ47	DQ23	DQ11
3E	7	VREFB3EN0	IO				LVDS3E_21n	No	T9	DQ94	DQ47	DQ23	DQ11
3E	6	VREFB3EN0	IO				LVDS3E_21p	No	T8	DQ94	DQ47	DQ23	DQ11
3E	5	VREFB3EN0	IO				LVDS3E_22n	Yes	W10	DQSn95	DQSn47/CQn47	DQ23	DQ11
3E	4	VREFB3EN0	IO				LVDS3E_22p	Yes	W9	DQS95	DQS47/CQ47	DQ23	DQ11
3E	3	VREFB3EN0	IO				LVDS3E_23n	No	V11	DQ95	DQ47	DQ23	DQ11
3E	2	VREFB3EN0	IO				LVDS3E_23p	No	U11	DQ95	DQ47	DQ23	DQ11
3E	1	VREFB3EN0	IO				LVDS3E_24n	Yes	R7	DQ95	DQ47	DQ23	DQ11
3E	0	VREFB3EN0	IO				LVDS3E_24p	Yes	R6	DQ95	DQ47	DQ23	DQ11
3D	47	VREFB3DN0	IO				LVDS3D_1n	No	W8	DQ96	DQ48	DQ24	DQ12
3D	46	VREFB3DN0	IO				LVDS3D_1p	No	Y8	DQ96	DQ48	DQ24	DQ12
3D	45	VREFB3DN0	IO				LVDS3D_2n	Yes	Y10	DQSn96	DQ48	DQ24	DQ12
3D	44	VREFB3DN0	IO				LVDS3D_2p	Yes	AA9	DQS96	DQ48	DQ24	DQ12
3D	43	VREFB3DN0	IO				LVDS3D_3n	No	AB11	DQ96	DQ48	DQ24	DQ12
3D	42	VREFB3DN0	IO				LVDS3D_3p	No	AA10	DQ96	DQ48	DQ24	DQ12
3D	41	VREFB3DN0	IO				LVDS3D_4n	Yes	AA8	DQSn97	DQSn48/CQn48	DQ24	DQ12
3D	40	VREFB3DN0	IO				LVDS3D_4p	Yes	AA7	DQS97	DQS48/CQ48	DQ24	DQ12
3D	39	VREFB3DN0	IO				LVDS3D_5n	No	AB10	DQ97	DQ48	DQ24	DQ12
3D	38	VREFB3DN0	IO				LVDS3D_5p	No	AB9	DQ97	DQ48	DQ24	DQ12
3D	37	VREFB3DN0	IO				LVDS3D_6n	Yes	AB7	DQ97	DQ48	DQSn24/CQn24	DQ12
3D	36	VREFB3DN0	IO				LVDS3D_6p	Yes	AC7	DQ97	DQ48	DQS24/CQ24	DQ12
3D	35	VREFB3DN0	IO				LVDS3D_7n	No	Y7	DQ98	DQ49	DQ24	DQ12
3D	34	VREFB3DN0	IO				LVDS3D_7p	No	Y6	DQ98	DQ49	DQ24	DQ12
3D	33	VREFB3DN0	IO				LVDS3D_8n	Yes	Y5	DQSn98	DQ49	DQ24	DQ12
3D	32	VREFB3DN0	IO				LVDS3D_8p	Yes	AA5	DQS98	DQ49	DQ24	DQ12
3D	31	VREFB3DN0	IO				LVDS3D_9n	No	AD5	DQ98	DQ49	DQ24	DQ12
3D	30	VREFB3DN0	IO				LVDS3D_9p	No	AD4	DQ98	DQ49	DQ24	DQ12
3D	29	VREFB3DN0	IO	PLL_3D_CLKOUT1n			LVDS3D_10n	Yes	AE6	DQSn99	DQSn49/CQn49	DQ24	DQ12
3D	28	VREFB3DN0	IO	PLL_3D_CLKOUT1p,PLL_3D_CLKOUT1,PLL_3D_FB1			LVDS3D_10p	Yes	AE5	DQS99	DQS49/CQ49	DQ24	DQ12
3D	27	VREFB3DN0	IO				LVDS3D_11n	No	AC6	DQ99	DQ49	DQ24	DQ12
3D	26	VREFB3DN0	IO	RZQ_3D			LVDS3D_11p	No	AD6	DQ99	DQ49	DQ24	DQ12
3D	25	VREFB3DN0	IO	CLK_3D_1n			LVDS3D_12n	Yes	AB6	DQ99	DQ49	DQ24	DQ12
3D	24	VREFB3DN0	IO	CLK_3D_1p			LVDS3D_12p	Yes	AB5	DQ99	DQ49	DQ24	DQ12
3D	23	VREFB3DN0	IO	CLK_3D_0n			LVDS3D_13n	No	Y3	DQ100	DQ50	DQ25	DQ12
3D	22	VREFB3DN0	IO	CLK_3D_0p			LVDS3D_13p	No	Y2	DQ100	DQ50	DQ25	DQ12
3D	21	VREFB3DN0	IO				LVDS3D_14n	Yes	W1	DQSn100	DQ50	DQ25	DQSn12/CQn12
3D	20	VREFB3DN0	IO				LVDS3D_14p	Yes	Y1	DQS100	DQ50	DQ25	DQS12/CQ12

Bank Number	Index within I/O Bank *(1)*	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	NF40	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
3D	19	VREFB3DN0	IO	PLL_3D_CLKOUT0n			LVDS3D_15n	No	AA4	DQ100	DQ50	DQ25	DQ12
3D	18	VREFB3DN0	IO	PLL_3D_CLKOUT0p,PLL_3D_CLKOUT0,PLL_3D_FB0			LVDS3D_15p	No	AB4	DQ100	DQ50	DQ25	DQ12
3D	17	VREFB3DN0	IO				LVDS3D_16n	Yes	AA3	DQSn101	DQSn50/CQn50	DQ25	DQ12
3D	16	VREFB3DN0	IO				LVDS3D_16p	Yes	AA2	DQS101	DQS50/CQ50	DQ25	DQ12
3D	15	VREFB3DN0	IO				LVDS3D_17n	No	AB2	DQ101	DQ50	DQ25	DQ12
3D	14	VREFB3DN0	IO				LVDS3D_17p	No	AB1	DQ101	DQ50	DQ25	DQ12
3D	13	VREFB3DN0	IO				LVDS3D_18n	Yes	AC4	DQ101	DQ50	DQSn25/CQn25	DQ12
3D	12	VREFB3DN0	IO				LVDS3D_18p	Yes	AC3	DQ101	DQ50	DQS25/CQ25	DQ12
3D	11	VREFB3DN0	IO				LVDS3D_19n	No	AC1	DQ102	DQ51	DQ25	DQ12
3D	10	VREFB3DN0	IO				LVDS3D_19p	No	AD1	DQ102	DQ51	DQ25	DQ12
3D	9	VREFB3DN0	IO				LVDS3D_20n	Yes	AD3	DQSn102	DQ51	DQ25	DQ12
3D	8	VREFB3DN0	IO				LVDS3D_20p	Yes	AC2	DQS102	DQ51	DQ25	DQ12
3D	7	VREFB3DN0	IO				LVDS3D_21n	No	AF2	DQ102	DQ51	DQ25	DQ12
3D	6	VREFB3DN0	IO				LVDS3D_21p	No	AG2	DQ102	DQ51	DQ25	DQ12
3D	5	VREFB3DN0	IO				LVDS3D_22n	Yes	AG1	DQSn103	DQSn51/CQn51	DQ25	DQ12
3D	4	VREFB3DN0	IO				LVDS3D_22p	Yes	AH1	DQS103	DQS51/CQ51	DQ25	DQ12
3D	3	VREFB3DN0	IO				LVDS3D_23n	No	AE2	DQ103	DQ51	DQ25	DQ12
3D	2	VREFB3DN0	IO				LVDS3D_23p	No	AE1	DQ103	DQ51	DQ25	DQ12
3D	1	VREFB3DN0	IO				LVDS3D_24n	Yes	AE3	DQ103	DQ51	DQ25	DQ12
3D	0	VREFB3DN0	IO				LVDS3D_24p	Yes	AF3	DQ103	DQ51	DQ25	DQ12
3C	47	VREFB3CN0	IO				LVDS3C_1n	No	AC9	DQ104	DQ52	DQ26	DQ13
3C	46	VREFB3CN0	IO				LVDS3C_1p	No	AC8	DQ104	DQ52	DQ26	DQ13
3C	45	VREFB3CN0	IO				LVDS3C_2n	Yes	AE11	DQSn104	DQ52	DQ26	DQ13
3C	44	VREFB3CN0	IO				LVDS3C_2p	Yes	AE10	DQS104	DQ52	DQ26	DQ13
3C	43	VREFB3CN0	IO				LVDS3C_3n	No	AD9	DQ104	DQ52	DQ26	DQ13
3C	42	VREFB3CN0	IO				LVDS3C_3p	No	AD8	DQ104	DQ52	DQ26	DQ13
3C	41	VREFB3CN0	IO				LVDS3C_4n	Yes	AE8	DQSn105	DQSn52/CQn52	DQ26	DQ13
3C	40	VREFB3CN0	IO				LVDS3C_4p	Yes	AF8	DQS105	DQS52/CQ52	DQ26	DQ13
3C	39	VREFB3CN0	IO				LVDS3C_5n	No	AC11	DQ105	DQ52	DQ26	DQ13
3C	38	VREFB3CN0	IO				LVDS3C_5p	No	AD10	DQ105	DQ52	DQ26	DQ13
3C	37	VREFB3CN0	IO				LVDS3C_6n	Yes	AF10	DQ105	DQ52	DQSn26/CQn26	DQ13
3C	36	VREFB3CN0	IO				LVDS3C_6p	Yes	AF9	DQ105	DQ52	DQS26/CQ26	DQ13
3C	35	VREFB3CN0	IO				LVDS3C_7n	No	AG4	DQ106	DQ53	DQ26	DQ13
3C	34	VREFB3CN0	IO				LVDS3C_7p	No	AH4	DQ106	DQ53	DQ26	DQ13
3C	33	VREFB3CN0	IO				LVDS3C_8n	Yes	AF5	DQSn106	DQ53	DQ26	DQ13
3C	32	VREFB3CN0	IO				LVDS3C_8p	Yes	AF4	DQS106	DQ53	DQ26	DQ13
3C	31	VREFB3CN0	IO				LVDS3C_9n	No	AE7	DQ106	DQ53	DQ26	DQ13
3C	30	VREFB3CN0	IO				LVDS3C_9p	No	AF7	DQ106	DQ53	DQ26	DQ13
3C	29	VREFB3CN0	IO	PLL_3C_CLKOUT1n			LVDS3C_10n	Yes	AH3	DQSn107	DQSn53/CQn53	DQ26	DQ13
3C	28	VREFB3CN0	IO	PLL_3C_CLKOUT1p,PLL_3C_CLKOUT1,PLL_3C_FB1			LVDS3C_10p	Yes	AJ3	DQS107	DQS53/CQ53	DQ26	DQ13
3C	27	VREFB3CN0	IO				LVDS3C_11n	No	AG7	DQ107	DQ53	DQ26	DQ13
3C	26	VREFB3CN0	IO	RZQ_3C			LVDS3C_11p	No	AH7	DQ107	DQ53	DQ26	DQ13
3C	25	VREFB3CN0	IO	CLK_3C_1n			LVDS3C_12n	Yes	AG6	DQ107	DQ53	DQ26	DQ13
3C	24	VREFB3CN0	IO	CLK_3C_1p			LVDS3C_12p	Yes	AG5	DQ107	DQ53	DQ26	DQ13
3C	23	VREFB3CN0	IO	CLK_3C_0n			LVDS3C_13n	No	AH6	DQ108	DQ54	DQ27	DQ13
3C	22	VREFB3CN0	IO	CLK_3C_0p			LVDS3C_13p	No	AJ5	DQ108	DQ54	DQ27	DQ13
3C	21	VREFB3CN0	IO				LVDS3C_14n	Yes	AJ4	DQSn108	DQ54	DQ27	DQSn13/CQn13
3C	20	VREFB3CN0	IO				LVDS3C_14p	Yes	AK3	DQS108	DQ54	DQ27	DQS13/CQ13
3C	19	VREFB3CN0	IO	PLL_3C_CLKOUT0n			LVDS3C_15n	No	AJ6	DQ108	DQ54	DQ27	DQ13
3C	18	VREFB3CN0	IO	PLL_3C_CLKOUT0p,PLL_3C_CLKOUT0,PLL_3C_FB0			LVDS3C_15p	No	AK6	DQ108	DQ54	DQ27	DQ13
3C	17	VREFB3CN0	IO				LVDS3C_16n	Yes	AK5	DQSn109	DQSn54/CQn54	DQ27	DQ13
3C	16	VREFB3CN0	IO				LVDS3C_16p	Yes	AL5	DQS109	DQS54/CQ54	DQ27	DQ13
3C	15	VREFB3CN0	IO				LVDS3C_17n	No	AL4	DQ109	DQ54	DQ27	DQ13
3C	14	VREFB3CN0	IO				LVDS3C_17p	No	AL3	DQ109	DQ54	DQ27	DQ13
3C	13	VREFB3CN0	IO				LVDS3C_18n	Yes	AM4	DQ109	DQ54	DQSn27/CQn27	DQ13
3C	12	VREFB3CN0	IO				LVDS3C_18p	Yes	AN3	DQ109	DQ54	DQS27/CQ27	DQ13
3C	11	VREFB3CN0	IO				LVDS3C_19n	No	AH2	DQ110	DQ55	DQ27	DQ13
3C	10	VREFB3CN0	IO				LVDS3C_19p	No	AJ1	DQ110	DQ55	DQ27	DQ13
3C	9	VREFB3CN0	IO				LVDS3C_20n	Yes	AK2	DQSn110	DQ55	DQ27	DQ13
3C	8	VREFB3CN0	IO				LVDS3C_20p	Yes	AK1	DQS110	DQ55	DQ27	DQ13
3C	7	VREFB3CN0	IO				LVDS3C_21n	No	AN1	DQ110	DQ55	DQ27	DQ13
3C	6	VREFB3CN0	IO				LVDS3C_21p	No	AM1	DQ110	DQ55	DQ27	DQ13
3C	5	VREFB3CN0	IO				LVDS3C_22n	Yes	AR2	DQSn111	DQSn55/CQn55	DQ27	DQ13
3C	4	VREFB3CN0	IO				LVDS3C_22p	Yes	AR1	DQS111	DQS55/CQ55	DQ27	DQ13
3C	3	VREFB3CN0	IO				LVDS3C_23n	No	AL2	DQ111	DQ55	DQ27	DQ13
3C	2	VREFB3CN0	IO				LVDS3C_23p	No	AM2	DQ111	DQ55	DQ27	DQ13
3C	1	VREFB3CN0	IO				LVDS3C_24n	Yes	AN2	DQ111	DQ55	DQ27	DQ13
3C	0	VREFB3CN0	IO				LVDS3C_24p	Yes	AP1	DQ111	DQ55	DQ27	DQ13
3B	47	VREFB3BN0	IO				LVDS3B_1n	No	AH8	DQ112	DQ56	DQ28	DQ14
3B	46	VREFB3BN0	IO				LVDS3B_1p	No	AJ8	DQ112	DQ56	DQ28	DQ14
3B	45	VREFB3BN0	IO				LVDS3B_2n	Yes	AH9	DQSn112	DQ56	DQ28	DQ14
3B	44	VREFB3BN0	IO				LVDS3B_2p	Yes	AJ9	DQS112	DQ56	DQ28	DQ14
3B	43	VREFB3BN0	IO				LVDS3B_3n	No	AF12	DQ112	DQ56	DQ28	DQ14
3B	42	VREFB3BN0	IO				LVDS3B_3p	No	AG12	DQ112	DQ56	DQ28	DQ14
3B	41	VREFB3BN0	IO				LVDS3B_4n	Yes	AG10	DQSn113	DQSn56/CQn56	DQ28	DQ14
3B	40	VREFB3BN0	IO				LVDS3B_4p	Yes	AG9	DQS113	DQS56/CQ56	DQ28	DQ14
3B	39	VREFB3BN0	IO				LVDS3B_5n	No	AG11	DQ113	DQ56	DQ28	DQ14
3B	38	VREFB3BN0	IO				LVDS3B_5p	No	AH11	DQ113	DQ56	DQ28	DQ14
3B	37	VREFB3BN0	IO				LVDS3B_6n	Yes	AJ11	DQ113	DQ56	DQSn28/CQn28	DQ14
3B	36	VREFB3BN0	IO				LVDS3B_6p	Yes	AJ10	DQ113	DQ56	DQS28/CQ28	DQ14
3B	35	VREFB3BN0	IO				LVDS3B_7n	No	AK7	DQ114	DQ57	DQ28	DQ14

Bank Number	Index within I/O Bank *(1)*	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	NF40	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
3B	34	VREFB3BN0	IO				LVDS3B_7p	No	AL7	DQ114	DQ57	DQ28	DQ14
3B	33	VREFB3BN0	IO				LVDS3B_8n	Yes	AM6	DQSn114	DQ57	DQ28	DQ14
3B	32	VREFB3BN0	IO				LVDS3B_8p	Yes	AN6	DQS114	DQ57	DQ28	DQ14
3B	31	VREFB3BN0	IO				LVDS3B_9n	No	AK8	DQ114	DQ57	DQ28	DQ14
3B	30	VREFB3BN0	IO				LVDS3B_9p	No	AL8	DQ114	DQ57	DQ28	DQ14
3B	29	VREFB3BN0	IO	PLL_3B_CLKOUT1n			LVDS3B_10n	Yes	AM7	DQSn115	DQSn57/CQn57	DQ28	DQ14
3B	28	VREFB3BN0	IO	PLL_3B_CLKOUT1p,PLL_3B_CLKOUT1,PLL_3B_FB1			LVDS3B_10p	Yes	AN7	DQS115	DQS57/CQ57	DQ28	DQ14
3B	27	VREFB3BN0	IO				LVDS3B_11n	No	AM9	DQ115	DQ57	DQ28	DQ14
3B	26	VREFB3BN0	IO	RZQ_3B			LVDS3B_11p	No	AN8	DQ115	DQ57	DQ28	DQ14
3B	25	VREFB3BN0	IO	CLK_3B_1n			LVDS3B_12n	Yes	AK10	DQ115	DQ57	DQ28	DQ14
3B	24	VREFB3BN0	IO	CLK_3B_1p			LVDS3B_12p	Yes	AL9	DQ115	DQ57	DQ28	DQ14
3B	23	VREFB3BN0	IO	CLK_3B_0n			LVDS3B_13n	No	AM5	DQ116	DQ58	DQ29	DQ14
3B	22	VREFB3BN0	IO	CLK_3B_0p			LVDS3B_13p	No	AN4	DQ116	DQ58	DQ29	DQ14
3B	21	VREFB3BN0	IO				LVDS3B_14n	Yes	AP3	DQSn116	DQ58	DQ29	DQSn14/CQn14
3B	20	VREFB3BN0	IO				LVDS3B_14p	Yes	AR3	DQS116	DQ58	DQ29	DQS14/CQ14
3B	19	VREFB3BN0	IO	PLL_3B_CLKOUT0n			LVDS3B_15n	No	AP5	DQ116	DQ58	DQ29	DQ14
3B	18	VREFB3BN0	IO	PLL_3B_CLKOUT0p,PLL_3B_CLKOUT0,PLL_3B_FB0			LVDS3B_15p	No	AP4	DQ116	DQ58	DQ29	DQ14
3B	17	VREFB3BN0	IO				LVDS3B_16n	Yes	AP6	DQSn117	DQSn58/CQn58	DQ29	DQ14
3B	16	VREFB3BN0	IO				LVDS3B_16p	Yes	AR5	DQS117	DQS58/CQ58	DQ29	DQ14
3B	15	VREFB3BN0	IO				LVDS3B_17n	No	AU2	DQ117	DQ58	DQ29	DQ14
3B	14	VREFB3BN0	IO				LVDS3B_17p	No	AU1	DQ117	DQ58	DQ29	DQ14
3B	13	VREFB3BN0	IO				LVDS3B_18n	Yes	AT3	DQ117	DQ58	DQSn29/CQn29	DQ14
3B	12	VREFB3BN0	IO				LVDS3B_18p	Yes	AT2	DQ117	DQ58	DQS29/CQ29	DQ14
3B	11	VREFB3BN0	IO				LVDS3B_19n	No	AT5	DQ118	DQ59	DQ29	DQ14
3B	10	VREFB3BN0	IO				LVDS3B_19p	No	AT4	DQ118	DQ59	DQ29	DQ14
3B	9	VREFB3BN0	IO				LVDS3B_20n	Yes	AR7	DQSn118	DQ59	DQ29	DQ14
3B	8	VREFB3BN0	IO				LVDS3B_20p	Yes	AR6	DQS118	DQ59	DQ29	DQ14
3B	7	VREFB3BN0	IO				LVDS3B_21n	No	AU4	DQ118	DQ59	DQ29	DQ14
3B	6	VREFB3BN0	IO				LVDS3B_21p	No	AV4	DQ118	DQ59	DQ29	DQ14
3B	5	VREFB3BN0	IO				LVDS3B_22n	Yes	AV6	DQSn119	DQSn59/CQn59	DQ29	DQ14
3B	4	VREFB3BN0	IO				LVDS3B_22p	Yes	AW6	DQS119	DQS59/CQ59	DQ29	DQ14
3B	3	VREFB3BN0	IO				LVDS3B_23n	No	AU6	DQ119	DQ59	DQ29	DQ14
3B	2	VREFB3BN0	IO				LVDS3B_23p	No	AU5	DQ119	DQ59	DQ29	DQ14
3B	1	VREFB3BN0	IO				LVDS3B_24n	Yes	AW5	DQ119	DQ59	DQ29	DQ14
3B	0	VREFB3BN0	IO				LVDS3B_24p	Yes	AW4	DQ119	DQ59	DQ29	DQ14
3A	47	VREFB3AN0	IO				LVDS3A_1n	No	AU7	DQ120	DQ60	DQ30	DQ15
3A	46	VREFB3AN0	IO				LVDS3A_1p	No	AV7	DQ120	DQ60	DQ30	DQ15
3A	45	VREFB3AN0	IO				LVDS3A_2n	Yes	AT8	DQSn120	DQ60	DQ30	DQ15
3A	44	VREFB3AN0	IO				LVDS3A_2p	Yes	AT7	DQS120	DQ60	DQ30	DQ15
3A	43	VREFB3AN0	IO				LVDS3A_3n	No	AT10	DQ120	DQ60	DQ30	DQ15
3A	42	VREFB3AN0	IO				LVDS3A_3p	No	AT9	DQ120	DQ60	DQ30	DQ15
3A	41	VREFB3AN0	IO				LVDS3A_4n	Yes	AV8	DQSn121	DQSn60/CQn60	DQ30	DQ15
3A	40	VREFB3AN0	IO				LVDS3A_4p	Yes	AW8	DQS121	DQS60/CQ60	DQ30	DQ15
3A	39	VREFB3AN0	IO				LVDS3A_5n	No	AU9	DQ121	DQ60	DQ30	DQ15
3A	38	VREFB3AN0	IO				LVDS3A_5p	No	AV9	DQ121	DQ60	DQ30	DQ15
3A	37	VREFB3AN0	IO				LVDS3A_6n	Yes	AW10	DQ121	DQ60	DQSn30/CQn30	DQ15
3A	36	VREFB3AN0	IO				LVDS3A_6p	Yes	AW9	DQ121	DQ60	DQS30/CQ30	DQ15
3A	35	VREFB3AN0	IO				LVDS3A_7n	No	AP8	DQ122	DQ61	DQ30	DQ15
3A	34	VREFB3AN0	IO				LVDS3A_7p	No	AR8	DQ122	DQ61	DQ30	DQ15
3A	33	VREFB3AN0	IO				LVDS3A_8n	Yes	AU11	DQSn122	DQ61	DQ30	DQ15
3A	32	VREFB3AN0	IO				LVDS3A_8p	Yes	AU10	DQS122	DQ61	DQ30	DQ15
3A	31	VREFB3AN0	IO				LVDS3A_9n	No	AN9	DQ122	DQ61	DQ30	DQ15
3A	30	VREFB3AN0	IO				LVDS3A_9p	No	AP9	DQ122	DQ61	DQ30	DQ15
3A	29	VREFB3AN0	IO	PLL_3A_CLKOUT1n			LVDS3A_10n	Yes	AP10	DQSn123	DQSn61/CQn61	DQ30	DQ15
3A	28	VREFB3AN0	IO	PLL_3A_CLKOUT1p,PLL_3A_CLKOUT1,PLL_3A_FB1			LVDS3A_10p	Yes	AR10	DQS123	DQS61/CQ61	DQ30	DQ15
3A	27	VREFB3AN0	IO				LVDS3A_11n	No	AR12	DQ123	DQ61	DQ30	DQ15
3A	26	VREFB3AN0	IO	RZQ_3A			LVDS3A_11p	No	AT12	DQ123	DQ61	DQ30	DQ15
3A	25	VREFB3AN0	IO	CLK_3A_1n			LVDS3A_12n	Yes	AP11	DQ123	DQ61	DQ30	DQ15
3A	24	VREFB3AN0	IO	CLK_3A_1p			LVDS3A_12p	Yes	AR11	DQ123	DQ61	DQ30	DQ15
3A	23	VREFB3AN0	IO	CLK_3A_0n			LVDS3A_13n	No	AL10	DQ124	DQ62	DQ31	DQ15
3A	22	VREFB3AN0	IO	CLK_3A_0p			LVDS3A_13p	No	AM10	DQ124	DQ62	DQ31	DQ15
3A	21	VREFB3AN0	IO				LVDS3A_14n	Yes	AK12	DQSn124	DQ62	DQ31	DQSn15/CQn15
3A	20	VREFB3AN0	IO				LVDS3A_14p	Yes	AK11	DQS124	DQ62	DQ31	DQS15/CQ15
3A	19	VREFB3AN0	IO	PLL_3A_CLKOUT0n			LVDS3A_15n	No	AL12	DQ124	DQ62	DQ31	DQ15
3A	18	VREFB3AN0	IO	PLL_3A_CLKOUT0p,PLL_3A_CLKOUT0,PLL_3A_FB0			LVDS3A_15p	No	AM12	DQ124	DQ62	DQ31	DQ15
3A	17	VREFB3AN0	IO				LVDS3A_16n	Yes	AM11	DQSn125	DQSn62/CQn62	DQ31	DQ15
3A	16	VREFB3AN0	IO				LVDS3A_16p	Yes	AN11	DQS125	DQS62/CQ62	DQ31	DQ15
3A	15	VREFB3AN0	IO				LVDS3A_17n	No	AL14	DQ125	DQ62	DQ31	DQ15
3A	14	VREFB3AN0	IO				LVDS3A_17p	No	AL13	DQ125	DQ62	DQ31	DQ15
3A	13	VREFB3AN0	IO				LVDS3A_18n	Yes	AN13	DQ125	DQ62	DQSn31/CQn31	DQ15
3A	12	VREFB3AN0	IO				LVDS3A_18p	Yes	AN12	DQ125	DQ62	DQS31/CQ31	DQ15
3A	11	VREFB3AN0	IO				LVDS3A_19n	No	AJ15	DQ126	DQ63	DQ31	DQ15
3A	10	VREFB3AN0	IO				LVDS3A_19p	No	AK15	DQ126	DQ63	DQ31	DQ15
3A	9	VREFB3AN0	IO				LVDS3A_20n	Yes	AH13	DQSn126	DQ63	DQ31	DQ15
3A	8	VREFB3AN0	IO				LVDS3A_20p	Yes	AH12	DQS126	DQ63	DQ31	DQ15
3A	7	VREFB3AN0	IO				LVDS3A_21n	No	AJ13	DQ126	DQ63	DQ31	DQ15
3A	6	VREFB3AN0	IO				LVDS3A_21p	No	AK13	DQ126	DQ63	DQ31	DQ15
3A	5	VREFB3AN0	IO				LVDS3A_22n	Yes	AF14	DQSn127	DQSn63/CQn63	DQ31	DQ15
3A	4	VREFB3AN0	IO				LVDS3A_22p	Yes	AG14	DQS127	DQS63/CQ63	DQ31	DQ15
3A	3	VREFB3AN0	IO				LVDS3A_23n	No	AH14	DQ127	DQ63	DQ31	DQ15
3A	2	VREFB3AN0	IO				LVDS3A_23p	No	AJ14	DQ127	DQ63	DQ31	DQ15

Bank Number	Index within I/O Bank *(1)*	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	NF40	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
3A	1	VREFB3AN0	IO				LVDS3A_24n	Yes	AF15	DQ127	DQ63	DQ31	DQ15
3A	0	VREFB3AN0	IO				LVDS3A_24p	Yes	AG15	DQ127	DQ63	DQ31	DQ15
			GND						AR15				
CSS			TDO		TDO				AW14				
CSS			TMS		TMS				AV13				
CSS			TRST		TRST				AR13				
CSS			TCK		TCK				AW15				
CSS			TDI		TDI				AL15				
CSS			MSEL0		MSEL0				AU15				
CSS			MSEL1		MSEL1				AP15				
CSS			MSEL2		MSEL2				AT15				
CSS			nIO_PULLUP		nIO_PULLUP				AT14				
CSS			nSTATUS		nSTATUS				AU12				
CSS			CONF_DONE		CONF_DONE				AT13				
			GND						AP14				
CSS			nCONFIG		nCONFIG				AM14				
CSS			nCE		nCE				AM15				
CSS			nCSO0		nCSO0				AU14				
CSS			nCSO1		nCSO1				AV12				
CSS			nCSO2		nCSO2				AV14				
CSS			AS_DATA0,ASDO		AS_DATA0,ASDO				AP13				
CSS			AS_DATA1		AS_DATA1				AW11				
CSS			AS_DATA2		AS_DATA2				AV11				
CSS			AS_DATA3		AS_DATA3				AW13				
CSS			DCLK		DCLK				AN14				
			ADCGND						B17				
			GND						N16				
			GND						M16				
			GND						N17				
			GND						P16				
			GND						P18				
			GND						R18				
			GND						N18				
			GND						A11				
			GND						A16				
			GND						A21				
			GND						A27				
			GND						A29				
			GND						A30				
			GND						A31				
			GND						A34				
			GND						A35				
			GND						A38				
			GND						A6				
			GND						AA1				
			GND						AA11				
			GND						AA17				
			GND						AA21				
			GND						AA26				
			GND						AA27				
			GND						AA30				
			GND						AA31				
			GND						AA34				
			GND						AA35				
			GND						AA38				
			GND						AA39				
			GND						AB13				
			GND						AB18				
			GND						AB23				
			GND						AB26				
			GND						AB27				
			GND						AB3				
			GND						AB32				
			GND						AB33				
			GND						AB36				
			GND						AB37				
			GND						AB8				
			GND						AC10				
			GND						AC15				
			GND						AC20				
			GND						AC22				
			GND						AC25				
			GND						AC27				
			GND						AC30				
			GND						AC31				
			GND						AC34				
			GND						AC35				
			GND						AC38				
			GND						AC39				
			GND						AD12				
			GND						AD2				

Bank Number	Index within I/O Bank *(1)*	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	NF40	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			GND						AD26				
			GND						AD32				
			GND						AD33				
			GND						AD36				
			GND						AD37				
			GND						AE19				
			GND						AE24				
			GND						AE26				
			GND						AE27				
			GND						AE30				
			GND						AE31				
			GND						AE34				
			GND						AE35				
			GND						AE38				
			GND						AE39				
			GND						AE4				
			GND						AE9				
			GND						AF1				
			GND						AF11				
			GND						AF16				
			GND						AF26				
			GND						AF27				
			GND						AF32				
			GND						AF33				
			GND						AF36				
			GND						AF37				
			GND						AF6				
			GND						AG13				
			GND						AG18				
			GND						AG23				
			GND						AG26				
			GND						AG27				
			GND						AG3				
			GND						AG30				
			GND						AG31				
			GND						AG34				
			GND						AG35				
			GND						AG38				
			GND						AG39				
			GND						AH10				
			GND						AH15				
			GND						AH20				
			GND						AH26				
			GND						AH32				
			GND						AH33				
			GND						AH36				
			GND						AH37				
			GND						AJ12				
			GND						AJ17				
			GND						AJ2				
			GND						AJ22				
			GND						AJ27				
			GND						AJ30				
			GND						AJ31				
			GND						AJ34				
			GND						AJ35				
			GND						AJ38				
			GND						AJ39				
			GND						AJ7				
			GND						AK27				
			GND						AK32				
			GND						AK33				
			GND						AK36				
			GND						AK37				
			GND						AK4				
			GND						AL1				
			GND						AL16				
			GND						AL27				
			GND						AL30				
			GND						AL31				
			GND						AL34				
			GND						AL35				
			GND						AL38				
			GND						AL39				
			GND						AM23				
			GND						AM26				
			GND						AM3				
			GND						AM32				
			GND						AM33				
			GND						AM36				
			GND						AM37				

Bank Number	Index within I/O Bank *(1)*	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	NF40	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			GND						AN10				
			GND						AN15				
			GND						AN20				
			GND						AN27				
			GND						AN30				
			GND						AN31				
			GND						AN34				
			GND						AN35				
			GND						AN38				
			GND						AN39				
			GND						AN5				
			GND						AP12				
			GND						AP2				
			GND						AP27				
			GND						AP32				
			GND						AP33				
			GND						AP36				
			GND						AP37				
			GND						AP7				
			GND						AR14				
			GND						AR19				
			GND						AR27				
			GND						AR30				
			GND						AR31				
			GND						AR34				
			GND						AR35				
			GND						AR38				
			GND						AR39				
			GND						AR4				
			GND						AR9				
			GND						AT1				
			GND						AT11				
			GND						AT16				
			GND						AT27				
			GND						AT28				
			GND						AT29				
			GND						AT32				
			GND						AT33				
			GND						AT36				
			GND						AT37				
			GND						AT6				
			GND						AU13				
			GND						AU18				
			GND						AU23				
			GND						AU29				
			GND						AU3				
			GND						AU30				
			GND						AU31				
			GND						AU34				
			GND						AU35				
			GND						AU38				
			GND						AU39				
			GND						AU8				
			GND						AV10				
			GND						AV15				
			GND						AV20				
			GND						AV25				
			GND						AV31				
			GND						AV32				
			GND						AV33				
			GND						AV36				
			GND						AV37				
			GND						AV5				
			GND						AW12				
			GND						AW17				
			GND						AW22				
			GND						AW27				
			GND						AW29				
			GND						AW31				
			GND						AW34				
			GND						AW35				
			GND						AW38				
			GND						AW7				
			GND						B13				
			GND						B18				
			GND						B2				
			GND						B23				
			GND						B25				
			GND						B27				
			GND						B28				
			GND						B29				

Bank Number	Index within I/O Bank *(1)*	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	NF40	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			GND						B3				
			GND						B32				
			GND						B33				
			GND						B36				
			GND						B37				
			GND						B8				
			GND						C10				
			GND						C15				
			GND						C20				
			GND						C27				
			GND						C28				
			GND						C29				
			GND						C30				
			GND						C31				
			GND						C34				
			GND						C35				
			GND						C38				
			GND						C39				
			GND						C5				
			GND						D12				
			GND						D17				
			GND						D2				
			GND						D22				
			GND						D26				
			GND						D32				
			GND						D33				
			GND						D36				
			GND						D37				
			GND						D7				
			GND						E14				
			GND						E19				
			GND						E27				
			GND						E30				
			GND						E31				
			GND						E34				
			GND						E35				
			GND						E38				
			GND						E39				
			GND						E4				
			GND						E9				
			GND						F1				
			GND						F11				
			GND						F16				
			GND						F21				
			GND						F27				
			GND						F32				
			GND						F33				
			GND						F36				
			GND						F37				
			GND						F6				
			GND						G18				
			GND						G23				
			GND						G27				
			GND						G3				
			GND						G30				
			GND						G31				
			GND						G34				
			GND						G35				
			GND						G38				
			GND						G39				
			GND						H10				
			GND						H15				
			GND						H26				
			GND						H32				
			GND						H33				
			GND						H36				
			GND						H37				
			GND						H5				
			GND						J17				
			GND						J2				
			GND						J27				
			GND						J30				
			GND						J31				
			GND						J34				
			GND						J35				
			GND						J38				
			GND						J39				
			GND						J7				
			GND						K27				
			GND						K32				
			GND						K33				

Bank Number	Index within I/O Bank *(1)*	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	NF40	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			GND						K36				
			GND						K37				
			GND						L1				
			GND						L16				
			GND						L21				
			GND						L27				
			GND						L30				
			GND						L31				
			GND						L34				
			GND						L35				
			GND						L38				
			GND						L39				
			GND						M13				
			GND						M18				
			GND						M23				
			GND						M26				
			GND						M3				
			GND						M32				
			GND						M33				
			GND						M36				
			GND						M37				
			GND						N10				
			GND						N15				
			GND						N21				
			GND						N26				
			GND						N27				
			GND						N30				
			GND						N31				
			GND						N34				
			GND						N35				
			GND						N38				
			GND						N39				
			GND						N5				
			GND						P12				
			GND						P17				
			GND						P2				
			GND						P26				
			GND						P27				
			GND						P32				
			GND						P33				
			GND						P36				
			GND						P37				
			GND						P7				
			GND						R19				
			GND						R24				
			GND						R26				
			GND						R27				
			GND						R30				
			GND						R31				
			GND						R34				
			GND						R35				
			GND						R38				
			GND						R39				
			GND						R9				
			GND						T1				
			GND						T11				
			GND						T16				
			GND						T21				
			GND						T26				
			GND						T32				
			GND						T33				
			GND						T36				
			GND						T37				
			GND						U13				
			GND						U18				
			GND						U23				
			GND						U27				
			GND						U3				
			GND						U30				
			GND						U31				
			GND						U34				
			GND						U35				
			GND						U38				
			GND						U39				
			GND						U8				
			GND						V10				
			GND						V15				
			GND						V20				
			GND						V25				
			GND						V26				
			GND						V27				

Bank Number	Index within I/O Bank *(1)*	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	NF40	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			GND						V32				
			GND						V33				
			GND						V36				
			GND						V37				
			GND						W12				
			GND						W17				
			GND						W2				
			GND						W22				
			GND						W26				
			GND						W27				
			GND						W30				
			GND						W31				
			GND						W34				
			GND						W35				
			GND						W38				
			GND						W39				
			GND						W7				
			GND						Y15				
			GND						Y19				
			GND						Y24				
			GND						Y26				
			GND						Y32				
			GND						Y33				
			GND						Y36				
			GND						Y37				
			GND						Y9				
			GNDSENSE						AA18				
			VCC						AA12				
			VCC						AA13				
			VCC						AA14				
			VCC						AA15				
			VCC						AA16				
			VCC						AA20				
			VCC						AA22				
			VCC						AA23				
			VCC						AA24				
			VCC						AA25				
			VCC						AB12				
			VCC						AB15				
			VCC						AB16				
			VCC						AB17				
			VCC						AB19				
			VCC						AB20				
			VCC						AB21				
			VCC						AB22				
			VCC						AB24				
			VCC						AB25				
			VCC						AC12				
			VCC						AC13				
			VCC						AC18				
			VCC						AC23				
			VCC						AC24				
			VCC						AC26				
			VCC						AD13				
			VCC						AD17				
			VCC						AD18				
			VCC						AD19				
			VCC						AD21				
			VCC						AD22				
			VCC						AD23				
			VCC						AE12				
			VCC						AE13				
			VCC						AE14				
			VCC						AE15				
			VCC						AE16				
			VCC						AE17				
			VCC						AE21				
			VCC						AE22				
			VCC						AE25				
			VCC						AF21				
			VCC						AF22				
			VCC						P21				
			VCC						P23				
			VCC						R12				
			VCC						R13				
			VCC						R14				
			VCC						R15				
			VCC						R16				
			VCC						R17				
			VCC						R20				
			VCC						R21				

Bank Number	Index within I/O Bank *(1)*	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	NF40	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			VCC						R22				
			VCC						R23				
			VCC						R25				
			VCC						T12				
			VCC						T13				
			VCC						T18				
			VCC						T22				
			VCC						T25				
			VCC						U12				
			VCC						U14				
			VCC						U19				
			VCC						U24				
			VCC						U25				
			VCC						U26				
			VCC						V12				
			VCC						V13				
			VCC						V14				
			VCC						V16				
			VCC						V17				
			VCC						V18				
			VCC						V19				
			VCC						V21				
			VCC						V22				
			VCC						V23				
			VCC						V24				
			VCC						W13				
			VCC						W14				
			VCC						W20				
			VCC						W21				
			VCC						W23				
			VCC						W24				
			VCC						W25				
			VCC						Y14				
			VCC						Y16				
			VCC						Y17				
			VCC						Y20				
			VCC						Y25				
			VCCPT						AB14				
			VCCPT						AC14				
			VCCPT						AC16				
			VCCPT						AC17				
			VCCPT						AC19				
			VCCPT						AC21				
			VCCPT						U15				
			VCCPT						U16				
			VCCPT						U17				
			VCCPT						U20				
			VCCPT						U21				
			VCCPT						U22				
			DNU						AV29				
			DNU						AV30				
			DNU						AG16				
			DNU						AG17				
			DNU						AF17				
			VCCPGM						AF18				
			VCCPGM						AF19				
			TEMPDIODEn						B16				
			TEMPDIODEp						C16				
			VCCBAT						AE18				
			VCCA_PLL						W18				
			VCCA_PLL						W19				
			VCCIO2A						AK19				
			VCCIO2A						AM18				
			VCCIO2A						AP17				
			VCCIO2I						AL21				
			VCCIO2I						AP22				
			VCCIO2I						AT21				
			VCCIO2J						AK24				
			VCCIO2J						AN25				
			VCCIO2J						AR24				
			VCCIO2K						E24				
			VCCIO2K						H25				
			VCCIO2K						K24				
			VCCIO2L						H20				
			VCCIO2L						J22				
			VCCIO2L						K19				
			VCCIO3A						AK14				
			VCCIO3A						AL11				
			VCCIO3A						AM13				
			VCCIO3B						AK9				
			VCCIO3B						AL6				

Bank Number	Index within I/O Bank *(1)*	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	NF40	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			VCCIO3B						AM8				
			VCCIO3C						AD7				
			VCCIO3C						AG8				
			VCCIO3C						AH5				
			VCCIO3D						AA6				
			VCCIO3D						AC5				
			VCCIO3D						Y4				
			VCCIO3E						R4				
			VCCIO3E						T6				
			VCCIO3E						V5				
			VCCIO3F						K4				
			VCCIO3F						L6				
			VCCIO3F						M8				
			VCCIO3G						G8				
			VCCIO3G						K9				
			VCCIO3G						L11				
			VCCIO3H						G13				
			VCCIO3H						J12				
			VCCIO3H						K14				
2A		VREFB2AN0	VREFB2AN0						AG19				
2I		VREFB2IN0	VREFB2IN0						AE23				
2J		VREFB2JN0	VREFB2JN0						AF23				
2K		VREFB2KN0	VREFB2KN0						P24				
2L		VREFB2LN0	VREFB2LN0						P22				
3A		VREFB3AN0	VREFB3AN0						AH16				
3B		VREFB3BN0	VREFB3BN0						AF13				
3C		VREFB3CN0	VREFB3CN0						AD11				
3D		VREFB3DN0	VREFB3DN0						Y11				
3E		VREFB3EN0	VREFB3EN0						W11				
3F		VREFB3FN0	VREFB3FN0						T10				
3G		VREFB3GN0	VREFB3GN0						P13				
3H		VREFB3HN0	VREFB3HN0						M15				
			VREFN_ADC						D15				
			VREFP_ADC						D16				
			NC						G15				
			NC						J15				
			NC						K15				
			NC						E16				
			NC						H16				
			NC						K16				
			NC						G16				
			NC						H17				
			NC						F15				
			NC						L17				
			NC						N19				
			NC						M19				
			NC						E15				
			NC						J16				
			NC						L18				
			NC						M17				
			NC						K17				
			NC						A2				
			NC						A3				
			NC						AE20				
			NC						AF20				
			NC						AG20				
			NC						AG21				
			NC						AG22				
			NC						AH21				
			NC						AH22				
			NC						AJ20				
			NC						AJ21				
			NC						AK20				
			NC						AK21				
			NC						AK22				
			NC						AV1				
			NC						AV2				
			NC						AV3				
			NC						AW2				
			NC						AW3				
			NC						B1				
			NC						P19				
			NC						W15				
			NC						W16				
			VCCH_GXBL						AD27				
			VCCH_GXBL						AH27				
			VCCH_GXBL						AM27				
			VCCH_GXBL						D27				
			VCCH_GXBL						H27				
			VCCH_GXBL						M27				
			VCCH_GXBL						T27				

Bank Number	Index within I/O Bank *(1)*	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	NF40	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			VCCH_GXBL						Y27				
			VCCR_GXBL1C						AP28				
			VCCR_GXBL1C						AP29				
			VCCR_GXBL1D						AK28				
			VCCR_GXBL1D						AK29				
			VCCR_GXBL1E						AF28				
			VCCR_GXBL1E						AF29				
			VCCR_GXBL1F						AB28				
			VCCR_GXBL1F						AB29				
			VCCR_GXBL1G						V28				
			VCCR_GXBL1G						V29				
			VCCR_GXBL1H						P28				
			VCCR_GXBL1H						P29				
			VCCR_GXBL1I						K28				
			VCCR_GXBL1I						K29				
			VCCR_GXBL1J						F28				
			VCCR_GXBL1J						F29				
			VCCT_GXBL1C						AM28				
			VCCT_GXBL1C						AM29				
			VCCT_GXBL1D						AH28				
			VCCT_GXBL1D						AH29				
			VCCT_GXBL1E						AD28				
			VCCT_GXBL1E						AD29				
			VCCT_GXBL1F						Y28				
			VCCT_GXBL1F						Y29				
			VCCT_GXBL1G						T28				
			VCCT_GXBL1G						T29				
			VCCT_GXBL1H						M28				
			VCCT_GXBL1H						M29				
			VCCT_GXBL1I						H28				
			VCCT_GXBL1I						H29				
			VCCT_GXBL1J						D28				
			VCCT_GXBL1J						D29				
			RREF_BL						AW30				
			RREF_TL						A28				
			VCCERAM						Y12				
			VCCERAM						Y13				
			VCCERAM						Y18				
			VCCERAM						Y21				
			VCCERAM						Y22				
			VCCERAM						Y23				
			VCCLSENSE						AA19				
			VCCP						AD14				
			VCCP						AD15				
			VCCP						AD16				
			VCCP						AD20				
			VCCP						AD24				
			VCCP						AD25				
			VCCP						T14				
			VCCP						T15				
			VCCP						T17				
			VCCP						T19				
			VCCP						T20				
			VCCP						T23				
			VCCP						T24				
			VSIGN_0						B15				
			VSIGN_1						B14				
			VSIGP_0						A15				
			VSIGP_1						A14				

Note:

(1) For more information about the external memory interface schemes of the pins with indices, refer to the Arria10EMIF.xls

Bank Number	Index within I/O Bank *(1)*	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	KF40	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
1H			REFCLK_GXBL1H_CHTp						K31				
1H			REFCLK_GXBL1H_CHTn						K30				
1H			GXBL1H_TX_CH5n						A36				
1H			GXBL1H_TX_CH5p						A37				
1H			GXBL1H_RX_CH5n,GXBL1H_REFCLK5n						B34				
1H			GXBL1H_RX_CH5p,GXBL1H_REFCLK5p						B35				
1H			GXBL1H_TX_CH4n						B38				
1H			GXBL1H_TX_CH4p						B39				
1H			GXBL1H_RX_CH4n,GXBL1H_REFCLK4n						D34				
1H			GXBL1H_RX_CH4p,GXBL1H_REFCLK4p						D35				
1H			GXBL1H_TX_CH3n						C36				
1H			GXBL1H_TX_CH3p						C37				
1H			GXBL1H_RX_CH3n,GXBL1H_REFCLK3n						G32				
1H			GXBL1H_RX_CH3p,GXBL1H_REFCLK3p						G33				
1H			GXBL1H_TX_CH2n						D38				
1H			GXBL1H_TX_CH2p						D39				
1H			GXBL1H_RX_CH2n,GXBL1H_REFCLK2n						F34				
1H			GXBL1H_RX_CH2p,GXBL1H_REFCLK2p						F35				
1H			GXBL1H_TX_CH1n						E36				
1H			GXBL1H_TX_CH1p						E37				
1H			GXBL1H_RX_CH1n,GXBL1H_REFCLK1n						J32				
1H			GXBL1H_RX_CH1p,GXBL1H_REFCLK1p						J33				
1H			GXBL1H_TX_CH0n						F38				
1H			GXBL1H_TX_CH0p						F39				
1H			GXBL1H_RX_CH0n,GXBL1H_REFCLK0n						H34				
1H			GXBL1H_RX_CH0p,GXBL1H_REFCLK0p						H35				
1H			REFCLK_GXBL1H_CHBp						M31				
1H			REFCLK_GXBL1H_CHBn						M30				
1G			REFCLK_GXBL1G_CHTp						P31				
1G			REFCLK_GXBL1G_CHTn						P30				
1G			GXBL1G_TX_CH5n						G36				
1G			GXBL1G_TX_CH5p						G37				
1G			GXBL1G_RX_CH5n,GXBL1G_REFCLK5n						L32				
1G			GXBL1G_RX_CH5p,GXBL1G_REFCLK5p						L33				
1G			GXBL1G_TX_CH4n						H38				
1G			GXBL1G_TX_CH4p						H39				
1G			GXBL1G_RX_CH4n,GXBL1G_REFCLK4n						K34				
1G			GXBL1G_RX_CH4p,GXBL1G_REFCLK4p						K35				
1G			GXBL1G_TX_CH3n						J36				
1G			GXBL1G_TX_CH3p						J37				
1G			GXBL1G_RX_CH3n,GXBL1G_REFCLK3n						N32				
1G			GXBL1G_RX_CH3p,GXBL1G_REFCLK3p						N33				
1G			GXBL1G_TX_CH2n						K38				
1G			GXBL1G_TX_CH2p						K39				
1G			GXBL1G_RX_CH2n,GXBL1G_REFCLK2n						M34				
1G			GXBL1G_RX_CH2p,GXBL1G_REFCLK2p						M35				
1G			GXBL1G_TX_CH1n						L36				
1G			GXBL1G_TX_CH1p						L37				
1G			GXBL1G_RX_CH1n,GXBL1G_REFCLK1n						R32				
1G			GXBL1G_RX_CH1p,GXBL1G_REFCLK1p						R33				
1G			GXBL1G_TX_CH0n						M38				
1G			GXBL1G_TX_CH0p						M39				
1G			GXBL1G_RX_CH0n,GXBL1G_REFCLK0n						P34				
1G			GXBL1G_RX_CH0p,GXBL1G_REFCLK0p						P35				
1G			REFCLK_GXBL1G_CHBp						T31				
1G			REFCLK_GXBL1G_CHBn						T30				
1F			REFCLK_GXBL1F_CHTp						V31				
1F			REFCLK_GXBL1F_CHTn						V30				
1F			GXBL1F_TX_CH5n						N36				
1F			GXBL1F_TX_CH5p						N37				
1F			GXBL1F_RX_CH5n,GXBL1F_REFCLK5n						T34				
1F			GXBL1F_RX_CH5p,GXBL1F_REFCLK5p						T35				
1F			GXBL1F_TX_CH4n						P38				
1F			GXBL1F_TX_CH4p						P39				
1F			GXBL1F_RX_CH4n,GXBL1F_REFCLK4n						U32				
1F			GXBL1F_RX_CH4p,GXBL1F_REFCLK4p						U33				
1F			GXBL1F_TX_CH3n						R36				
1F			GXBL1F_TX_CH3p						R37				
1F			GXBL1F_RX_CH3n,GXBL1F_REFCLK3n						V34				
1F			GXBL1F_RX_CH3p,GXBL1F_REFCLK3p						V35				
1F			GXBL1F_TX_CH2n						T38				
1F			GXBL1F_TX_CH2p						T39				
1F			GXBL1F_RX_CH2n,GXBL1F_REFCLK2n						W32				
1F			GXBL1F_RX_CH2p,GXBL1F_REFCLK2p						W33				
1F			GXBL1F_TX_CH1n						U36				
1F			GXBL1F_TX_CH1p						U37				
1F			GXBL1F_RX_CH1n,GXBL1F_REFCLK1n						W36				
1F			GXBL1F_RX_CH1p,GXBL1F_REFCLK1p						W37				
1F			GXBL1F_TX_CH0n						V38				
1F			GXBL1F_TX_CH0p						V39				
1F			GXBL1F_RX_CH0n,GXBL1F_REFCLK0n						Y34				

Bank Number	Index within I/O Bank *(1)*	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	KF40	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
1F			GXBL1F_RX_CH0p,GXBL1F_REFCLK0p						Y35				
1F			REFCLK_GXBL1F_CHBp						Y31				
1F			REFCLK_GXBL1F_CHBn						Y30				
1E			REFCLK_GXBL1E_CHTp						AB31				
1E			REFCLK_GXBL1E_CHTn						AB30				
1E			GXBL1E_TX_CH5n						Y38				
1E			GXBL1E_TX_CH5p						Y39				
1E			GXBL1E_RX_CH5n,GXBL1E_REFCLK5n						AA32				
1E			GXBL1E_RX_CH5p,GXBL1E_REFCLK5p						AA33				
1E			GXBL1E_TX_CH4n						AB38				
1E			GXBL1E_TX_CH4p						AB39				
1E			GXBL1E_RX_CH4n,GXBL1E_REFCLK4n						AA36				
1E			GXBL1E_RX_CH4p,GXBL1E_REFCLK4p						AA37				
1E			GXBL1E_TX_CH3n						AD38				
1E			GXBL1E_TX_CH3p						AD39				
1E			GXBL1E_RX_CH3n,GXBL1E_REFCLK3n						AB34				
1E			GXBL1E_RX_CH3p,GXBL1E_REFCLK3p						AB35				
1E			GXBL1E_TX_CH2n						AE36				
1E			GXBL1E_TX_CH2p						AE37				
1E			GXBL1E_RX_CH2n,GXBL1E_REFCLK2n						AC32				
1E			GXBL1E_RX_CH2p,GXBL1E_REFCLK2p						AC33				
1E			GXBL1E_TX_CH1n						AF38				
1E			GXBL1E_TX_CH1p						AF39				
1E			GXBL1E_RX_CH1n,GXBL1E_REFCLK1n						AC36				
1E			GXBL1E_RX_CH1p,GXBL1E_REFCLK1p						AC37				
1E			GXBL1E_TX_CH0n						AG36				
1E			GXBL1E_TX_CH0p						AG37				
1E			GXBL1E_RX_CH0n,GXBL1E_REFCLK0n						AD34				
1E			GXBL1E_RX_CH0p,GXBL1E_REFCLK0p						AD35				
1E			REFCLK_GXBL1E_CHBp						AD31				
1E			REFCLK_GXBL1E_CHBn						AD30				
1D			REFCLK_GXBL1D_CHTp						AF31				
1D			REFCLK_GXBL1D_CHTn						AF30				
1D			GXBL1D_TX_CH5n						AH38				
1D			GXBL1D_TX_CH5p						AH39				
1D			GXBL1D_RX_CH5n,GXBL1D_REFCLK5n						AF34				
1D			GXBL1D_RX_CH5p,GXBL1D_REFCLK5p						AF35				
1D			GXBL1D_TX_CH4n						AJ36				
1D			GXBL1D_TX_CH4p						AJ37				
1D			GXBL1D_RX_CH4n,GXBL1D_REFCLK4n						AE32				
1D			GXBL1D_RX_CH4p,GXBL1D_REFCLK4p						AE33				
1D			GXBL1D_TX_CH3n						AK38				
1D			GXBL1D_TX_CH3p						AK39				
1D			GXBL1D_RX_CH3n,GXBL1D_REFCLK3n						AH34				
1D			GXBL1D_RX_CH3p,GXBL1D_REFCLK3p						AH35				
1D			GXBL1D_TX_CH2n						AL36				
1D			GXBL1D_TX_CH2p						AL37				
1D			GXBL1D_RX_CH2n,GXBL1D_REFCLK2n						AG32				
1D			GXBL1D_RX_CH2p,GXBL1D_REFCLK2p						AG33				
1D			GXBL1D_TX_CH1n						AM38				
1D			GXBL1D_TX_CH1p						AM39				
1D			GXBL1D_RX_CH1n,GXBL1D_REFCLK1n						AK34				
1D			GXBL1D_RX_CH1p,GXBL1D_REFCLK1p						AK35				
1D			GXBL1D_TX_CH0n						AN36				
1D			GXBL1D_TX_CH0p						AN37				
1D			GXBL1D_RX_CH0n,GXBL1D_REFCLK0n						AJ32				
1D			GXBL1D_RX_CH0p,GXBL1D_REFCLK0p						AJ33				
1D			REFCLK_GXBL1D_CHBp						AH31				
1D			REFCLK_GXBL1D_CHBn						AH30				
1C			REFCLK_GXBL1C_CHTp						AK31				
1C			REFCLK_GXBL1C_CHTn						AK30				
1C			GXBL1C_TX_CH5n						AP38				
1C			GXBL1C_TX_CH5p						AP39				
1C			GXBL1C_RX_CH5n,GXBL1C_REFCLK5n						AM34				
1C			GXBL1C_RX_CH5p,GXBL1C_REFCLK5p						AM35				
1C			GXBL1C_TX_CH4n						AR36				
1C			GXBL1C_TX_CH4p						AR37				
1C			GXBL1C_RX_CH4n,GXBL1C_REFCLK4n						AL32				
1C			GXBL1C_RX_CH4p,GXBL1C_REFCLK4p						AL33				
1C			GXBL1C_TX_CH3n						AT38				
1C			GXBL1C_TX_CH3p						AT39				
1C			GXBL1C_RX_CH3n,GXBL1C_REFCLK3n						AP34				
1C			GXBL1C_RX_CH3p,GXBL1C_REFCLK3p						AP35				
1C			GXBL1C_TX_CH2n						AU36				
1C			GXBL1C_TX_CH2p						AU37				
1C			GXBL1C_RX_CH2n,GXBL1C_REFCLK2n						AN32				
1C			GXBL1C_RX_CH2p,GXBL1C_REFCLK2p						AN33				
1C			GXBL1C_TX_CH1n						AV38				
1C			GXBL1C_TX_CH1p						AV39				
1C			GXBL1C_RX_CH1n,GXBL1C_REFCLK1n						AT34				
1C			GXBL1C_RX_CH1p,GXBL1C_REFCLK1p						AT35				

Bank Number	Index within I/O Bank *(1)*	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	KF40	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
1C			GXBL1C_TX_CH0n						AW36				
1C			GXBL1C_TX_CH0p						AW37				
1C			GXBL1C_RX_CH0n,GXBL1C_REFCLK0n						AV34				
1C			GXBL1C_RX_CH0p,GXBL1C_REFCLK0p						AV35				
1C			REFCLK_GXBL1C_CHBp						AM31				
1C			REFCLK_GXBL1C_CHBn						AM30				
2L	47	VREFB2LN0	IO			DIFFIO2L_1n		No	C26	DQ0	DQ0	DQ0	DQ0
2L	46	VREFB2LN0	IO			DIFFIO2L_1p		No	B26	DQ0	DQ0	DQ0	DQ0
2L	45	VREFB2LN0	IO			DIFFIO2L_2n		No	B24	DQSn0	DQ0	DQ0	DQ0
2L	44	VREFB2LN0	IO			DIFFIO2L_2p		No	A24	DQS0	DQ0	DQ0	DQ0
2L	43	VREFB2LN0	IO			DIFFIO2L_3n		No	B25	DQ0	DQ0	DQ0	DQ0
2L	42	VREFB2LN0	IO			DIFFIO2L_3p		No	A25	DQ0	DQ0	DQ0	DQ0
2L	41	VREFB2LN0	IO			DIFFIO2L_4n		No	E25	DQSn1	DQSn0/CQn0	DQ0	DQ0
2L	40	VREFB2LN0	IO			DIFFIO2L_4p		No	D25	DQS1	DQS0/CQ0	DQ0	DQ0
2L	39	VREFB2LN0	IO			DIFFIO2L_5n		No	E26	DQ1	DQ0	DQ0	DQ0
2L	38	VREFB2LN0	IO			DIFFIO2L_5p		No	D26	DQ1	DQ0	DQ0	DQ0
2L	37	VREFB2LN0	IO			DIFFIO2L_6n		No	C27	DQ1	DQ0	DQSn0/CQn0	DQ0
2L	36	VREFB2LN0	IO			DIFFIO2L_6p		No	B27	DQ1	DQ0	DQS0/CQ0	DQ0
2L	35	VREFB2LN0	IO			DIFFIO2L_7n		No	D24	DQ2	DQ1	DQ0	DQ0
2L	34	VREFB2LN0	IO			DIFFIO2L_7p		No	C24	DQ2	DQ1	DQ0	DQ0
2L	33	VREFB2LN0	IO			DIFFIO2L_8n		No	A27	DQSn2	DQ1	DQ0	DQ0
2L	32	VREFB2LN0	IO			DIFFIO2L_8p		No	A28	DQS2	DQ1	DQ0	DQ0
2L	31	VREFB2LN0	IO			DIFFIO2L_9n		No	D28	DQ2	DQ1	DQ0	DQ0
2L	30	VREFB2LN0	IO			DIFFIO2L_9p		No	C28	DQ2	DQ1	DQ0	DQ0
2L	29	VREFB2LN0	IO	PLL_2L_CLKOUT1n		DIFFIO2L_10n		No	B29	DQSn3	DQSn1/CQn1	DQ0	DQ0
2L	28	VREFB2LN0	IO	PLL_2L_CLKOUT1p,PLL_2L_CLKOUT1,PLL_2L_FB1		DIFFIO2L_10p		No	A29	DQS3	DQS1/CQ1	DQ0	DQ0
2L	27	VREFB2LN0	IO			DIFFIO2L_11n		No	B30	DQ3	DQ1	DQ0	DQ0
2L	26	VREFB2LN0	IO	RZQ_2L		DIFFIO2L_11p		No	A30	DQ3	DQ1	DQ0	DQ0
2L	25	VREFB2LN0	IO	CLK_2L_1n		DIFFIO2L_12n		No	D29	DQ3	DQ1	DQ0	DQ0
2L	24	VREFB2LN0	IO	CLK_2L_1p		DIFFIO2L_12p		No	C29	DQ3	DQ1	DQ0	DQ0
2L	23	VREFB2LN0	IO	CLK_2L_0n		DIFFIO2L_13n		No	G24	DQ4	DQ2	DQ1	DQ0
2L	22	VREFB2LN0	IO	CLK_2L_0p		DIFFIO2L_13p		No	F24	DQ4	DQ2	DQ1	DQ0
2L	21	VREFB2LN0	IO			DIFFIO2L_14n		No	M21	DQSn4	DQ2	DQ1	DQSn0/CQn0
2L	20	VREFB2LN0	IO			DIFFIO2L_14p		No	M22	DQS4	DQ2	DQ1	DQS0/CQ0
2L	19	VREFB2LN0	IO	PLL_2L_CLKOUT0n		DIFFIO2L_15n		No	J23	DQ4	DQ2	DQ1	DQ0
2L	18	VREFB2LN0	IO	PLL_2L_CLKOUT0p,PLL_2L_CLKOUT0,PLL_2L_FB0		DIFFIO2L_15p		No	H23	DQ4	DQ2	DQ1	DQ0
2L	17	VREFB2LN0	IO			DIFFIO2L_16n		No	J24	DQSn5	DQSn2/CQn2	DQ1	DQ0
2L	16	VREFB2LN0	IO			DIFFIO2L_16p		No	H24	DQS5	DQS2/CQ2	DQ1	DQ0
2L	15	VREFB2LN0	IO			DIFFIO2L_17n		No	L22	DQ5	DQ2	DQ1	DQ0
2L	14	VREFB2LN0	IO			DIFFIO2L_17p		No	K22	DQ5	DQ2	DQ1	DQ0
2L	13	VREFB2LN0	IO			DIFFIO2L_18n		No	G25	DQ5	DQ2	DQSn1/CQn1	DQ0
2L	12	VREFB2LN0	IO			DIFFIO2L_18p		No	F25	DQ5	DQ2	DQS1/CQ1	DQ0
2L	11	VREFB2LN0	IO			DIFFIO2L_19n		No	L23	DQ6	DQ3	DQ1	DQ0
2L	10	VREFB2LN0	IO			DIFFIO2L_19p		No	K23	DQ6	DQ3	DQ1	DQ0
2L	9	VREFB2LN0	IO			DIFFIO2L_20n		No	M24	DQSn6	DQ3	DQ1	DQ0
2L	8	VREFB2LN0	IO			DIFFIO2L_20p		No	L24	DQS6	DQ3	DQ1	DQ0
2L	7	VREFB2LN0	IO			DIFFIO2L_21n		No	F27	DQ6	DQ3	DQ1	DQ0
2L	6	VREFB2LN0	IO			DIFFIO2L_21p		No	E27	DQ6	DQ3	DQ1	DQ0
2L	5	VREFB2LN0	IO			DIFFIO2L_22n		No	H26	DQSn7	DQSn3/CQn3	DQ1	DQ0
2L	4	VREFB2LN0	IO			DIFFIO2L_22p		No	G26	DQS7	DQS3/CQ3	DQ1	DQ0
2L	3	VREFB2LN0	IO			DIFFIO2L_23n		No	K25	DQ7	DQ3	DQ1	DQ0
2L	2	VREFB2LN0	IO			DIFFIO2L_23p		No	J25	DQ7	DQ3	DQ1	DQ0
2L	1	VREFB2LN0	IO			DIFFIO2L_24n		No	M25	DQ7	DQ3	DQ1	DQ0
2L	0	VREFB2LN0	IO			DIFFIO2L_24p		No	L25	DQ7	DQ3	DQ1	DQ0
2K	47	VREFB2KN0	IO				LVDS2K_1n	No	F28	DQ8	DQ4	DQ2	DQ1
2K	46	VREFB2KN0	IO				LVDS2K_1p	No	E28	DQ8	DQ4	DQ2	DQ1
2K	45	VREFB2KN0	IO				LVDS2K_2n	Yes	C31	DQSn8	DQ4	DQ2	DQ1
2K	44	VREFB2KN0	IO				LVDS2K_2p	Yes	C32	DQS8	DQ4	DQ2	DQ1
2K	43	VREFB2KN0	IO				LVDS2K_3n	No	D30	DQ8	DQ4	DQ2	DQ1
2K	42	VREFB2KN0	IO				LVDS2K_3p	No	D31	DQ8	DQ4	DQ2	DQ1
2K	41	VREFB2KN0	IO				LVDS2K_4n	Yes	F29	DQSn9	DQSn4/CQn4	DQ2	DQ1
2K	40	VREFB2KN0	IO				LVDS2K_4p	Yes	E30	DQS9	DQS4/CQ4	DQ2	DQ1
2K	39	VREFB2KN0	IO				LVDS2K_5n	No	G30	DQ9	DQ4	DQ2	DQ1
2K	38	VREFB2KN0	IO				LVDS2K_5p	No	F30	DQ9	DQ4	DQ2	DQ1
2K	37	VREFB2KN0	IO				LVDS2K_6n	Yes	L27	DQ9	DQ4	DQSn2/CQn2	DQ1
2K	36	VREFB2KN0	IO				LVDS2K_6p	Yes	K27	DQ9	DQ4	DQS2/CQ2	DQ1
2K	35	VREFB2KN0	IO				LVDS2K_7n	No	E31	DQ10	DQ5	DQ2	DQ1
2K	34	VREFB2KN0	IO				LVDS2K_7p	No	E32	DQ10	DQ5	DQ2	DQ1
2K	33	VREFB2KN0	IO				LVDS2K_8n	Yes	H27	DQSn10	DQ5	DQ2	DQ1
2K	32	VREFB2KN0	IO				LVDS2K_8p	Yes	G27	DQS10	DQ5	DQ2	DQ1
2K	31	VREFB2KN0	IO				LVDS2K_9n	No	L28	DQ10	DQ5	DQ2	DQ1
2K	30	VREFB2KN0	IO				LVDS2K_9p	No	K28	DQ10	DQ5	DQ2	DQ1
2K	29	VREFB2KN0	IO	PLL_2K_CLKOUT1n			LVDS2K_10n	Yes	H28	DQSn11	DQSn5/CQn5	DQ2	DQ1
2K	28	VREFB2KN0	IO	PLL_2K_CLKOUT1p,PLL_2K_CLKOUT1,PLL_2K_FB1			LVDS2K_10p	Yes	G29	DQS11	DQS5/CQ5	DQ2	DQ1
2K	27	VREFB2KN0	IO				LVDS2K_11n	No	K26	DQ11	DQ5	DQ2	DQ1
2K	26	VREFB2KN0	IO	RZQ_2K			LVDS2K_11p	No	J26	DQ11	DQ5	DQ2	DQ1
2K	25	VREFB2KN0	IO	CLK_2K_1n			LVDS2K_12n	Yes	M26	DQ11	DQ5	DQ2	DQ1
2K	24	VREFB2KN0	IO	CLK_2K_1p			LVDS2K_12p	Yes	M27	DQ11	DQ5	DQ2	DQ1
2K	23	VREFB2KN0	IO	CLK_2K_0n			LVDS2K_13n	No	U25	DQ12	DQ6	DQ3	DQ1
2K	22	VREFB2KN0	IO	CLK_2K_0p			LVDS2K_13p	No	T25	DQ12	DQ6	DQ3	DQ1
2K	21	VREFB2KN0	IO				LVDS2K_14n	Yes	R27	DQSn12	DQ6	DQ3	DQSn1/CQn1

Bank Number	Index within I/O Bank *(1)*	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	KF40	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
2K	20	VREFB2KN0	IO				LVDS2K_14p	Yes	R28	DQS12	DQ6	DQ3	DQS1/CQ1
2K	19	VREFB2KN0	IO	PLL_2K_CLKOUT0n			LVDS2K_15n	No	R25	DQ12	DQ6	DQ3	DQ1
2K	18	VREFB2KN0	IO	PLL_2K_CLKOUT0p,PLL_2K_CLKOUT0,PLL_2K_FB0			LVDS2K_15p	No	R26	DQ12	DQ6	DQ3	DQ1
2K	17	VREFB2KN0	IO				LVDS2K_16n	Yes	P26	DQSn13	DQSn6/CQn6	DQ3	DQ1
2K	16	VREFB2KN0	IO				LVDS2K_16p	Yes	N26	DQS13	DQS6/CQ6	DQ3	DQ1
2K	15	VREFB2KN0	IO				LVDS2K_17n	No	N27	DQ13	DQ6	DQ3	DQ1
2K	14	VREFB2KN0	IO				LVDS2K_17p	No	P28	DQ13	DQ6	DQ3	DQ1
2K	13	VREFB2KN0	IO				LVDS2K_18n	Yes	V27	DQ13	DQ6	DQSn3/CQn3	DQ1
2K	12	VREFB2KN0	IO				LVDS2K_18p	Yes	U27	DQ13	DQ6	DQS3/CQ3	DQ1
2K	11	VREFB2KN0	IO				LVDS2K_19n	No	T27	DQ14	DQ7	DQ3	DQ1
2K	10	VREFB2KN0	IO				LVDS2K_19p	No	T28	DQ14	DQ7	DQ3	DQ1
2K	9	VREFB2KN0	IO				LVDS2K_20n	Yes	V26	DQSn14	DQ7	DQ3	DQ1
2K	8	VREFB2KN0	IO				LVDS2K_20p	Yes	U26	DQS14	DQ7	DQ3	DQ1
2K	7	VREFB2KN0	IO				LVDS2K_21n	No	W28	DQ14	DQ7	DQ3	DQ1
2K	6	VREFB2KN0	IO				LVDS2K_21p	No	V28	DQ14	DQ7	DQ3	DQ1
2K	5	VREFB2KN0	IO				LVDS2K_22n	Yes	Y27	DQSn15	DQSn7/CQn7	DQ3	DQ1
2K	4	VREFB2KN0	IO				LVDS2K_22p	Yes	Y28	DQS15	DQS7/CQ7	DQ3	DQ1
2K	3	VREFB2KN0	IO				LVDS2K_23n	No	Y25	DQ15	DQ7	DQ3	DQ1
2K	2	VREFB2KN0	IO				LVDS2K_23p	No	W25	DQ15	DQ7	DQ3	DQ1
2K	1	VREFB2KN0	IO				LVDS2K_24n	Yes	Y26	DQ15	DQ7	DQ3	DQ1
2K	0	VREFB2KN0	IO				LVDS2K_24p	Yes	W26	DQ15	DQ7	DQ3	DQ1
2J	47	VREFB2JN0	IO				LVDS2J_1n	No	E20	DQ16	DQ8	DQ4	DQ2
2J	46	VREFB2JN0	IO				LVDS2J_1p	No	D20	DQ16	DQ8	DQ4	DQ2
2J	45	VREFB2JN0	IO				LVDS2J_2n	Yes	G20	DQSn16	DQ8	DQ4	DQ2
2J	44	VREFB2JN0	IO				LVDS2J_2p	Yes	F20	DQS16	DQ8	DQ4	DQ2
2J	43	VREFB2JN0	IO				LVDS2J_3n	No	E21	DQ16	DQ8	DQ4	DQ2
2J	42	VREFB2JN0	IO				LVDS2J_3p	No	D21	DQ16	DQ8	DQ4	DQ2
2J	41	VREFB2JN0	IO				LVDS2J_4n	Yes	F19	DQSn17	DQSn8/CQn8	DQ4	DQ2
2J	40	VREFB2JN0	IO				LVDS2J_4p	Yes	F18	DQS17	DQS8/CQ8	DQ4	DQ2
2J	39	VREFB2JN0	IO				LVDS2J_5n	No	G17	DQ17	DQ8	DQ4	DQ2
2J	38	VREFB2JN0	IO				LVDS2J_5p	No	F17	DQ17	DQ8	DQ4	DQ2
2J	37	VREFB2JN0	IO				LVDS2J_6n	Yes	C22	DQ17	DQ8	DQSn4/CQn4	DQ2
2J	36	VREFB2JN0	IO				LVDS2J_6p	Yes	B22	DQ17	DQ8	DQS4/CQ4	DQ2
2J	35	VREFB2JN0	IO				LVDS2J_7n	No	H18	DQ18	DQ9	DQ4	DQ2
2J	34	VREFB2JN0	IO				LVDS2J_7p	No	G19	DQ18	DQ9	DQ4	DQ2
2J	33	VREFB2JN0	IO				LVDS2J_8n	Yes	D19	DQSn18	DQ9	DQ4	DQ2
2J	32	VREFB2JN0	IO				LVDS2J_8p	Yes	C19	DQS18	DQ9	DQ4	DQ2
2J	31	VREFB2JN0	IO				LVDS2J_9n	No	C21	DQ18	DQ9	DQ4	DQ2
2J	30	VREFB2JN0	IO				LVDS2J_9p	No	B21	DQ18	DQ9	DQ4	DQ2
2J	29	VREFB2JN0	IO	PLL_2J_CLKOUT1n			LVDS2J_10n	Yes	B20	DQSn19	DQSn9/CQn9	DQ4	DQ2
2J	28	VREFB2JN0	IO	PLL_2J_CLKOUT1p,PLL_2J_CLKOUT1,PLL_2J_FB1			LVDS2J_10p	Yes	A20	DQS19	DQS9/CQ9	DQ4	DQ2
2J	27	VREFB2JN0	IO				LVDS2J_11n	No	B19	DQ19	DQ9	DQ4	DQ2
2J	26	VREFB2JN0	IO	RZQ_2J			LVDS2J_11p	No	A19	DQ19	DQ9	DQ4	DQ2
2J	25	VREFB2JN0	IO	CLK_2J_1n			LVDS2J_12n	Yes	A22	DQ19	DQ9	DQ4	DQ2
2J	24	VREFB2JN0	IO	CLK_2J_1p			LVDS2J_12p	Yes	A23	DQ19	DQ9	DQ4	DQ2
2J	23	VREFB2JN0	IO	CLK_2J_0n			LVDS2J_13n	No	E18	DQ20	DQ10	DQ5	DQ2
2J	22	VREFB2JN0	IO	CLK_2J_0p			LVDS2J_13p	No	E17	DQ20	DQ10	DQ5	DQ2
2J	21	VREFB2JN0	IO				LVDS2J_14n	Yes	A18	DQSn20	DQ10	DQ5	DQSn2/CQn2
2J	20	VREFB2JN0	IO				LVDS2J_14p	Yes	A17	DQS20	DQ10	DQ5	DQS2/CQ2
2J	19	VREFB2JN0	IO	PLL_2J_CLKOUT0n			LVDS2J_15n	No	D18	DQ20	DQ10	DQ5	DQ2
2J	18	VREFB2JN0	IO	PLL_2J_CLKOUT0p,PLL_2J_CLKOUT0,PLL_2J_FB0			LVDS2J_15p	No	C18	DQ20	DQ10	DQ5	DQ2
2J	17	VREFB2JN0	IO				LVDS2J_16n	Yes	C17	DQSn21	DQSn10/CQn10	DQ5	DQ2
2J	16	VREFB2JN0	IO				LVDS2J_16p	Yes	B17	DQS21	DQS10/CQ10	DQ5	DQ2
2J	15	VREFB2JN0	IO				LVDS2J_17n	No	B16	DQ21	DQ10	DQ5	DQ2
2J	14	VREFB2JN0	IO				LVDS2J_17p	No	A15	DQ21	DQ10	DQ5	DQ2
2J	13	VREFB2JN0	IO				LVDS2J_18n	Yes	K17	DQ21	DQ10	DQSn5/CQn5	DQ2
2J	12	VREFB2JN0	IO				LVDS2J_18p	Yes	K16	DQ21	DQ10	DQS5/CQ5	DQ2
2J	11	VREFB2JN0	IO				LVDS2J_19n	No	D16	DQ22	DQ11	DQ5	DQ2
2J	10	VREFB2JN0	IO				LVDS2J_19p	No	C16	DQ22	DQ11	DQ5	DQ2
2J	9	VREFB2JN0	IO				LVDS2J_20n	Yes	J16	DQSn22	DQ11	DQ5	DQ2
2J	8	VREFB2JN0	IO				LVDS2J_20p	Yes	H17	DQS22	DQ11	DQ5	DQ2
2J	7	VREFB2JN0	IO				LVDS2J_21n	No	K15	DQ22	DQ11	DQ5	DQ2
2J	6	VREFB2JN0	IO				LVDS2J_21p	No	J15	DQ22	DQ11	DQ5	DQ2
2J	5	VREFB2JN0	IO				LVDS2J_22n	Yes	M15	DQSn23	DQSn11/CQn11	DQ5	DQ2
2J	4	VREFB2JN0	IO				LVDS2J_22p	Yes	L15	DQS23	DQS11/CQ11	DQ5	DQ2
2J	3	VREFB2JN0	IO				LVDS2J_23n	No	H16	DQ23	DQ11	DQ5	DQ2
2J	2	VREFB2JN0	IO				LVDS2J_23p	No	G16	DQ23	DQ11	DQ5	DQ2
2J	1	VREFB2JN0	IO				LVDS2J_24n	Yes	G15	DQ23	DQ11	DQ5	DQ2
2J	0	VREFB2JN0	IO				LVDS2J_24p	Yes	F15	DQ23	DQ11	DQ5	DQ2
2I	47	VREFB2IN0	IO				LVDS2I_1n	No	AD26	DQ24	DQ12	DQ6	DQ3
2I	46	VREFB2IN0	IO				LVDS2I_1p	No	AE26	DQ24	DQ12	DQ6	DQ3
2I	45	VREFB2IN0	IO				LVDS2I_2n	Yes	AA27	DQSn24	DQ12	DQ6	DQ3
2I	44	VREFB2IN0	IO				LVDS2I_2p	Yes	AB27	DQS24	DQ12	DQ6	DQ3
2I	43	VREFB2IN0	IO				LVDS2I_3n	No	AC28	DQ24	DQ12	DQ6	DQ3
2I	42	VREFB2IN0	IO				LVDS2I_3p	No	AD28	DQ24	DQ12	DQ6	DQ3
2I	41	VREFB2IN0	IO				LVDS2I_4n	Yes	AG26	DQSn25	DQSn12/CQn12	DQ6	DQ3
2I	40	VREFB2IN0	IO				LVDS2I_4p	Yes	AH26	DQS25	DQS12/CQ12	DQ6	DQ3
2I	39	VREFB2IN0	IO				LVDS2I_5n	No	AB25	DQ25	DQ12	DQ6	DQ3
2I	38	VREFB2IN0	IO				LVDS2I_5p	No	AB26	DQ25	DQ12	DQ6	DQ3
2I	37	VREFB2IN0	IO				LVDS2I_6n	Yes	AD25	DQ25	DQ12	DQSn6/CQn6	DQ3
2I	36	VREFB2IN0	IO				LVDS2I_6p	Yes	AE25	DQ25	DQ12	DQS6/CQ6	DQ3

Bank Number	Index within I/O Bank *(1)*	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	KF40	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
2I	35	VREFB2IN0	IO				LVDS2I_7n	No	AC26	DQ26	DQ13	DQ6	DQ3
2I	34	VREFB2IN0	IO				LVDS2I_7p	No	AC27	DQ26	DQ13	DQ6	DQ3
2I	33	VREFB2IN0	IO				LVDS2I_8n	Yes	AE27	DQSn26	DQ13	DQ6	DQ3
2I	32	VREFB2IN0	IO				LVDS2I_8p	Yes	AF27	DQS26	DQ13	DQ6	DQ3
2I	31	VREFB2IN0	IO				LVDS2I_9n	No	AF25	DQ26	DQ13	DQ6	DQ3
2I	30	VREFB2IN0	IO				LVDS2I_9p	No	AG25	DQ26	DQ13	DQ6	DQ3
2I	29	VREFB2IN0	IO	PLL_2I_CLKOUT1n			LVDS2I_10n	Yes	AF28	DQSn27	DQSn13/CQn13	DQ6	DQ3
2I	28	VREFB2IN0	IO	PLL_2I_CLKOUT1p,PLL_2I_CLKOUT1,PLL_2I_FB1			LVDS2I_10p	Yes	AG27	DQS27	DQS13/CQ13	DQ6	DQ3
2I	27	VREFB2IN0	IO				LVDS2I_11n	No	AH27	DQ27	DQ13	DQ6	DQ3
2I	26	VREFB2IN0	IO	RZQ_2I			LVDS2I_11p	No	AH28	DQ27	DQ13	DQ6	DQ3
2I	25	VREFB2IN0	IO	CLK_2I_1n			LVDS2I_12n	Yes	AJ26	DQ27	DQ13	DQ6	DQ3
2I	24	VREFB2IN0	IO	CLK_2I_1p			LVDS2I_12p	Yes	AK26	DQ27	DQ13	DQ6	DQ3
2I	23	VREFB2IN0	IO	CLK_2I_0n			LVDS2I_13n	No	AN27	DQ28	DQ14	DQ7	DQ3
2I	22	VREFB2IN0	IO	CLK_2I_0p			LVDS2I_13p	No	AN28	DQ28	DQ14	DQ7	DQ3
2I	21	VREFB2IN0	IO				LVDS2I_14n	Yes	AK28	DQSn28	DQ14	DQ7	DQSn3/CQn3
2I	20	VREFB2IN0	IO				LVDS2I_14p	Yes	AL28	DQS28	DQ14	DQ7	DQS3/CQ3
2I	19	VREFB2IN0	IO	PLL_2I_CLKOUT0n			LVDS2I_15n	No	AP29	DQ28	DQ14	DQ7	DQ3
2I	18	VREFB2IN0	IO	PLL_2I_CLKOUT0p,PLL_2I_CLKOUT0,PLL_2I_FB0			LVDS2I_15p	No	AP30	DQ28	DQ14	DQ7	DQ3
2I	17	VREFB2IN0	IO				LVDS2I_16n	Yes	AP28	DQSn29	DQSn14/CQn14	DQ7	DQ3
2I	16	VREFB2IN0	IO				LVDS2I_16p	Yes	AR28	DQS29	DQS14/CQ14	DQ7	DQ3
2I	15	VREFB2IN0	IO				LVDS2I_17n	No	AK27	DQ29	DQ14	DQ7	DQ3
2I	14	VREFB2IN0	IO				LVDS2I_17p	No	AL27	DQ29	DQ14	DQ7	DQ3
2I	13	VREFB2IN0	IO				LVDS2I_18n	Yes	AT30	DQ29	DQ14	DQSn7/CQn7	DQ3
2I	12	VREFB2IN0	IO				LVDS2I_18p	Yes	AU30	DQ29	DQ14	DQS7/CQ7	DQ3
2I	11	VREFB2IN0	IO				LVDS2I_19n	No	AM26	DQ30	DQ15	DQ7	DQ3
2I	10	VREFB2IN0	IO				LVDS2I_19p	No	AM27	DQ30	DQ15	DQ7	DQ3
2I	9	VREFB2IN0	IO				LVDS2I_20n	Yes	AR30	DQSn30	DQ15	DQ7	DQ3
2I	8	VREFB2IN0	IO				LVDS2I_20p	Yes	AR31	DQS30	DQ15	DQ7	DQ3
2I	7	VREFB2IN0	IO				LVDS2I_21n	No	AU31	DQ30	DQ15	DQ7	DQ3
2I	6	VREFB2IN0	IO				LVDS2I_21p	No	AU32	DQ30	DQ15	DQ7	DQ3
2I	5	VREFB2IN0	IO				LVDS2I_22n	Yes	AU29	DQSn31	DQSn15/CQn15	DQ7	DQ3
2I	4	VREFB2IN0	IO				LVDS2I_22p	Yes	AV29	DQS31	DQS15/CQ15	DQ7	DQ3
2I	3	VREFB2IN0	IO				LVDS2I_23n	No	AR32	DQ31	DQ15	DQ7	DQ3
2I	2	VREFB2IN0	IO				LVDS2I_23p	No	AT32	DQ31	DQ15	DQ7	DQ3
2I	1	VREFB2IN0	IO				LVDS2I_24n	Yes	AT28	DQ31	DQ15	DQ7	DQ3
2I	0	VREFB2IN0	IO				LVDS2I_24p	Yes	AT29	DQ31	DQ15	DQ7	DQ3
2H	47	VREFB2HN0	IO			DIFFIO2H_1n		No	AJ24	DQ32	DQ16	DQ8	DQ4
2H	46	VREFB2HN0	IO			DIFFIO2H_1p		No	AJ25	DQ32	DQ16	DQ8	DQ4
2H	45	VREFB2HN0	IO			DIFFIO2H_2n		No	AK25	DQSn32	DQ16	DQ8	DQ4
2H	44	VREFB2HN0	IO			DIFFIO2H_2p		No	AL25	DQS32	DQ16	DQ8	DQ4
2H	43	VREFB2HN0	IO			DIFFIO2H_3n		No	AM25	DQ32	DQ16	DQ8	DQ4
2H	42	VREFB2HN0	IO			DIFFIO2H_3p		No	AN26	DQ32	DQ16	DQ8	DQ4
2H	41	VREFB2HN0	IO			DIFFIO2H_4n		No	AH23	DQSn33	DQSn16/CQn16	DQ8	DQ4
2H	40	VREFB2HN0	IO			DIFFIO2H_4p		No	AJ23	DQS33	DQS16/CQ16	DQ8	DQ4
2H	39	VREFB2HN0	IO			DIFFIO2H_5n		No	AK23	DQ33	DQ16	DQ8	DQ4
2H	38	VREFB2HN0	IO			DIFFIO2H_5p		No	AL23	DQ33	DQ16	DQ8	DQ4
2H	37	VREFB2HN0	IO			DIFFIO2H_6n		No	AP24	DQ33	DQ16	DQSn8/CQn8	DQ4
2H	36	VREFB2HN0	IO			DIFFIO2H_6p		No	AP25	DQ33	DQ16	DQS8/CQ8	DQ4
2H	35	VREFB2HN0	IO			DIFFIO2H_7n		No	AL24	DQ34	DQ17	DQ8	DQ4
2H	34	VREFB2HN0	IO			DIFFIO2H_7p		No	AM24	DQ34	DQ17	DQ8	DQ4
2H	33	VREFB2HN0	IO			DIFFIO2H_8n		No	AP26	DQSn34	DQ17	DQ8	DQ4
2H	32	VREFB2HN0	IO			DIFFIO2H_8p		No	AR26	DQS34	DQ17	DQ8	DQ4
2H	31	VREFB2HN0	IO			DIFFIO2H_9n		No	AN23	DQ34	DQ17	DQ8	DQ4
2H	30	VREFB2HN0	IO			DIFFIO2H_9p		No	AN24	DQ34	DQ17	DQ8	DQ4
2H	29	VREFB2HN0	IO	PLL_2H_CLKOUT1n		DIFFIO2H_10n		No	AR27	DQSn35	DQSn17/CQn17	DQ8	DQ4
2H	28	VREFB2HN0	IO	PLL_2H_CLKOUT1p,PLL_2H_CLKOUT1,PLL_2H_FB1		DIFFIO2H_10p		No	AT27	DQS35	DQS17/CQ17	DQ8	DQ4
2H	27	VREFB2HN0	IO			DIFFIO2H_11n		No	AR25	DQ35	DQ17	DQ8	DQ4
2H	26	VREFB2HN0	IO	RZQ_2H		DIFFIO2H_11p		No	AT25	DQ35	DQ17	DQ8	DQ4
2H	25	VREFB2HN0	IO	CLK_2H_1n		DIFFIO2H_12n		No	AP23	DQ35	DQ17	DQ8	DQ4
2H	24	VREFB2HN0	IO	CLK_2H_1p		DIFFIO2H_12p		No	AR23	DQ35	DQ17	DQ8	DQ4
2H	23	VREFB2HN0	IO	CLK_2H_0n		DIFFIO2H_13n		No	AW29	DQ36	DQ18	DQ9	DQ4
2H	22	VREFB2HN0	IO	CLK_2H_0p		DIFFIO2H_13p		No	AW30	DQ36	DQ18	DQ9	DQ4
2H	21	VREFB2HN0	IO			DIFFIO2H_14n		No	AU26	DQSn36	DQ18	DQ9	DQSn4/CQn4
2H	20	VREFB2HN0	IO			DIFFIO2H_14p		No	AU27	DQS36	DQ18	DQ9	DQS4/CQ4
2H	19	VREFB2HN0	IO	PLL_2H_CLKOUT0n		DIFFIO2H_15n		No	AV26	DQ36	DQ18	DQ9	DQ4
2H	18	VREFB2HN0	IO	PLL_2H_CLKOUT0p,PLL_2H_CLKOUT0,PLL_2H_FB0		DIFFIO2H_15p		No	AV27	DQ36	DQ18	DQ9	DQ4
2H	17	VREFB2HN0	IO			DIFFIO2H_16n		No	AV28	DQSn37	DQSn18/CQn18	DQ9	DQ4
2H	16	VREFB2HN0	IO			DIFFIO2H_16p		No	AW28	DQS37	DQS18/CQ18	DQ9	DQ4
2H	15	VREFB2HN0	IO			DIFFIO2H_17n		No	AT23	DQ37	DQ18	DQ9	DQ4
2H	14	VREFB2HN0	IO			DIFFIO2H_17p		No	AT24	DQ37	DQ18	DQ9	DQ4
2H	13	VREFB2HN0	IO			DIFFIO2H_18n		No	AW25	DQ37	DQ18	DQSn9/CQn9	DQ4
2H	12	VREFB2HN0	IO			DIFFIO2H_18p		No	AW26	DQ37	DQ18	DQS9/CQ9	DQ4
2H	11	VREFB2HN0	IO			DIFFIO2H_19n		No	AU24	DQ38	DQ19	DQ9	DQ4
2H	10	VREFB2HN0	IO			DIFFIO2H_19p		No	AU25	DQ38	DQ19	DQ9	DQ4
2H	9	VREFB2HN0	IO			DIFFIO2H_20n		No	AV22	DQSn38	DQ19	DQ9	DQ4
2H	8	VREFB2HN0	IO			DIFFIO2H_20p		No	AW21	DQS38	DQ19	DQ9	DQ4
2H	7	VREFB2HN0	IO			DIFFIO2H_21n		No	AV24	DQ38	DQ19	DQ9	DQ4
2H	6	VREFB2HN0	IO			DIFFIO2H_21p		No	AW24	DQ38	DQ19	DQ9	DQ4
2H	5	VREFB2HN0	IO			DIFFIO2H_22n		No	AV23	DQSn39	DQSn19/CQn19	DQ9	DQ4
2H	4	VREFB2HN0	IO			DIFFIO2H_22p		No	AW23	DQS39	DQS19/CQ19	DQ9	DQ4
2H	3	VREFB2HN0	IO			DIFFIO2H_23n		No	AT22	DQ39	DQ19	DQ9	DQ4

Bank Number	Index within I/O Bank *(1)*	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	KF40	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
2H	2	VREFB2HN0	IO			DIFFIO2H_23p		No	AU22	DQ39	DQ19	DQ9	DQ4
2H	1	VREFB2HN0	IO			DIFFIO2H_24n		No	AU21	DQ39	DQ19	DQ9	DQ4
2H	0	VREFB2HN0	IO			DIFFIO2H_24p		No	AV21	DQ39	DQ19	DQ9	DQ4
2G	35	VREFB2GN0	IO				LVDS2G_7n	No	AL22	DQ42	DQ21	DQ10	DQ5
2G	34	VREFB2GN0	IO				LVDS2G_7p	No	AM22	DQ42	DQ21	DQ10	DQ5
2G	33	VREFB2GN0	IO				LVDS2G_8n	Yes	AN22	DQSn42	DQ21	DQ10	DQ5
2G	32	VREFB2GN0	IO				LVDS2G_8p	Yes	AP21	DQS42	DQ21	DQ10	DQ5
2G	31	VREFB2GN0	IO				LVDS2G_9n	No	AK21	DQ42	DQ21	DQ10	DQ5
2G	30	VREFB2GN0	IO				LVDS2G_9p	No	AK22	DQ42	DQ21	DQ10	DQ5
2G	29	VREFB2GN0	IO	PLL_2G_CLKOUT1n			LVDS2G_10n	Yes	AM21	DQSn43	DQSn21/CQn21	DQ10	DQ5
2G	28	VREFB2GN0	IO	PLL_2G_CLKOUT1p,PLL_2G_CLKOUT1,PLL_2G_FB1			LVDS2G_10p	Yes	AN21	DQS43	DQS21/CQ21	DQ10	DQ5
2G	27	VREFB2GN0	IO				LVDS2G_11n	No	AR21	DQ43	DQ21	DQ10	DQ5
2G	26	VREFB2GN0	IO	RZQ_2G			LVDS2G_11p	No	AR22	DQ43	DQ21	DQ10	DQ5
2G	25	VREFB2GN0	IO	CLK_2G_1n			LVDS2G_12n	Yes	AH21	DQ43	DQ21	DQ10	DQ5
2G	24	VREFB2GN0	IO	CLK_2G_1p			LVDS2G_12p	Yes	AJ21	DQ43	DQ21	DQ10	DQ5
2G	23	VREFB2GN0	IO	CLK_2G_0n			LVDS2G_13n	No	AP20	DQ44	DQ22	DQ11	DQ5
2G	22	VREFB2GN0	IO	CLK_2G_0p			LVDS2G_13p	No	AR20	DQ44	DQ22	DQ11	DQ5
2G	21	VREFB2GN0	IO				LVDS2G_14n	Yes	AL20	DQSn44	DQ22	DQ11	DQSn5/CQn5
2G	20	VREFB2GN0	IO				LVDS2G_14p	Yes	AM20	DQS44	DQ22	DQ11	DQS5/CQ5
2G	19	VREFB2GN0	IO	PLL_2G_CLKOUT0n			LVDS2G_15n	No	AT20	DQ44	DQ22	DQ11	DQ5
2G	18	VREFB2GN0	IO	PLL_2G_CLKOUT0p,PLL_2G_CLKOUT0,PLL_2G_FB0			LVDS2G_15p	No	AU20	DQ44	DQ22	DQ11	DQ5
2G	17	VREFB2GN0	IO				LVDS2G_16n	Yes	AT19	DQSn45	DQSn22/CQn22	DQ11	DQ5
2G	16	VREFB2GN0	IO				LVDS2G_16p	Yes	AU19	DQS45	DQS22/CQ22	DQ11	DQ5
2G	15	VREFB2GN0	IO				LVDS2G_17n	No	AJ20	DQ45	DQ22	DQ11	DQ5
2G	14	VREFB2GN0	IO				LVDS2G_17p	No	AK20	DQ45	DQ22	DQ11	DQ5
2G	13	VREFB2GN0	IO				LVDS2G_18n	Yes	AN19	DQ45	DQ22	DQSn11/CQn11	DQ5
2G	12	VREFB2GN0	IO				LVDS2G_18p	Yes	AP19	DQ45	DQ22	DQS11/CQ11	DQ5
2A	47	VREFB2AN0	IO		DATA0		LVDS2A_1n	No	AP15	DQ56	DQ28	DQ14	DQ7
2A	46	VREFB2AN0	IO		DATA1		LVDS2A_1p	No	AP14	DQ56	DQ28	DQ14	DQ7
2A	45	VREFB2AN0	IO		DATA2		LVDS2A_2n	Yes	AH16	DQSn56	DQ28	DQ14	DQ7
2A	44	VREFB2AN0	IO		DATA3		LVDS2A_2p	Yes	AJ16	DQS56	DQ28	DQ14	DQ7
2A	43	VREFB2AN0	IO		DATA4		LVDS2A_3n	No	AK17	DQ56	DQ28	DQ14	DQ7
2A	42	VREFB2AN0	IO		DATA5		LVDS2A_3p	No	AK16	DQ56	DQ28	DQ14	DQ7
2A	41	VREFB2AN0	IO		DATA6		LVDS2A_4n	Yes	AN16	DQSn57	DQSn28/CQn28	DQ14	DQ7
2A	40	VREFB2AN0	IO		DATA7		LVDS2A_4p	Yes	AP16	DQS57	DQS28/CQ28	DQ14	DQ7
2A	39	VREFB2AN0	IO		DATA8		LVDS2A_5n	No	AL17	DQ57	DQ28	DQ14	DQ7
2A	38	VREFB2AN0	IO		DATA9		LVDS2A_5p	No	AM17	DQ57	DQ28	DQ14	DQ7
2A	37	VREFB2AN0	IO		DATA10		LVDS2A_6n	Yes	AU14	DQ57	DQ28	DQSn14/CQn14	DQ7
2A	36	VREFB2AN0	IO		DATA11		LVDS2A_6p	Yes	AV14	DQ57	DQ28	DQS14/CQ14	DQ7
2A	35	VREFB2AN0	IO		DATA12		LVDS2A_7n	No	AM16	DQ58	DQ29	DQ14	DQ7
2A	34	VREFB2AN0	IO		DATA13		LVDS2A_7p	No	AM15	DQ58	DQ29	DQ14	DQ7
2A	33	VREFB2AN0	IO		DATA14		LVDS2A_8n	Yes	AT14	DQSn58	DQ29	DQ14	DQ7
2A	32	VREFB2AN0	IO		DATA15		LVDS2A_8p	Yes	AT13	DQS58	DQ29	DQ14	DQ7
2A	31	VREFB2AN0	IO		DATA16		LVDS2A_9n	No	AV13	DQ58	DQ29	DQ14	DQ7
2A	30	VREFB2AN0	IO		DATA17		LVDS2A_9p	No	AW13	DQ58	DQ29	DQ14	DQ7
2A	29	VREFB2AN0	IO	PLL_2A_CLKOUT1n	DATA18		LVDS2A_10n	Yes	AR16	DQSn59	DQSn29/CQn29	DQ14	DQ7
2A	28	VREFB2AN0	IO	PLL_2A_CLKOUT1p,PLL_2A_CL	DATA19		LVDS2A_10p	Yes	AR15	DQS59	DQS29/CQ29	DQ14	DQ7
2A	27	VREFB2AN0	IO		nCEO		LVDS2A_11n	No	AT15	DQ59	DQ29	DQ14	DQ7
2A	26	VREFB2AN0	IO	RZQ_2A			LVDS2A_11p	No	AU15	DQ59	DQ29	DQ14	DQ7
2A	25	VREFB2AN0	IO	CLK_2A_1n	DATA20		LVDS2A_12n	Yes	AW15	DQ59	DQ29	DQ14	DQ7
2A	24	VREFB2AN0	IO	CLK_2A_1p	DATA21		LVDS2A_12p	Yes	AW14	DQ59	DQ29	DQ14	DQ7
2A	23	VREFB2AN0	IO	CLK_2A_0n	DATA22		LVDS2A_13n	No	AV16	DQ60	DQ30	DQ15	DQ7
2A	22	VREFB2AN0	IO	CLK_2A_0p	DATA23		LVDS2A_13p	No	AW16	DQ60	DQ30	DQ15	DQ7
2A	21	VREFB2AN0	IO		DATA24		LVDS2A_14n	Yes	AV17	DQSn60	DQ30	DQ15	DQSn7/CQn7
2A	20	VREFB2AN0	IO		DATA25		LVDS2A_14p	Yes	AW18	DQS60	DQ30	DQ15	DQS7/CQ7
2A	19	VREFB2AN0	IO	PLL_2A_CLKOUT0n	DATA26		LVDS2A_15n	No	AU17	DQ60	DQ30	DQ15	DQ7
2A	18	VREFB2AN0	IO	PLL_2A_CLKOUT0p,PLL_2A_CL	DATA27		LVDS2A_15p	No	AU16	DQ60	DQ30	DQ15	DQ7
2A	17	VREFB2AN0	IO		DATA28		LVDS2A_16n	Yes	AT18	DQSn61	DQSn30/CQn30	DQ15	DQ7
2A	16	VREFB2AN0	IO		DATA29		LVDS2A_16p	Yes	AT17	DQS61	DQS30/CQ30	DQ15	DQ7
2A	15	VREFB2AN0	IO		DATA30		LVDS2A_17n	No	AV19	DQ61	DQ30	DQ15	DQ7
2A	14	VREFB2AN0	IO		DATA31		LVDS2A_17p	No	AV18	DQ61	DQ30	DQ15	DQ7
2A	13	VREFB2AN0	IO		CLKUSR		LVDS2A_18n	Yes	AJ18	DQ61	DQ30	DQSn15/CQn15	DQ7
2A	12	VREFB2AN0	IO		PR_REQUEST		LVDS2A_18p	Yes	AK18	DQ61	DQ30	DQS15/CQ15	DQ7
2A	11	VREFB2AN0	IO		PR_READY		LVDS2A_19n	No	AW19	DQ62	DQ31	DQ15	DQ7
2A	10	VREFB2AN0	IO		nPERSTL0		LVDS2A_19p	No	AW20	DQ62	DQ31	DQ15	DQ7
2A	9	VREFB2AN0	IO		PR_DONE		LVDS2A_20n	Yes	AN17	DQSn62	DQ31	DQ15	DQ7
2A	8	VREFB2AN0	IO		nPERSTL1		LVDS2A_20p	Yes	AP18	DQS62	DQ31	DQ15	DQ7
2A	7	VREFB2AN0	IO		PR_ERROR		LVDS2A_21n	No	AL19	DQ62	DQ31	DQ15	DQ7
2A	6	VREFB2AN0	IO				LVDS2A_21p	No	AL18	DQ62	DQ31	DQ15	DQ7
2A	5	VREFB2AN0	IO		CvP_CONFDONE		LVDS2A_22n	Yes	AH18	DQSn63	DQSn31/CQn31	DQ15	DQ7
2A	4	VREFB2AN0	IO				LVDS2A_22p	Yes	AJ19	DQS63	DQS31/CQ31	DQ15	DQ7
2A	3	VREFB2AN0	IO		INIT_DONE		LVDS2A_23n	No	AR18	DQ63	DQ31	DQ15	DQ7
2A	2	VREFB2AN0	IO		DEV_OE		LVDS2A_23p	No	AR17	DQ63	DQ31	DQ15	DQ7
2A	1	VREFB2AN0	IO		CRC_ERROR		LVDS2A_24n	Yes	AM19	DQ63	DQ31	DQ15	DQ7
2A	0	VREFB2AN0	IO		DEV_CLRn		LVDS2A_24p	Yes	AN18	DQ63	DQ31	DQ15	DQ7
3H	47	VREFB3HN0	IO				LVDS3H_1n	No	H14	DQ64	DQ32	DQ16	DQ8
3H	46	VREFB3HN0	IO				LVDS3H_1p	No	G14	DQ64	DQ32	DQ16	DQ8
3H	45	VREFB3HN0	IO				LVDS3H_2n	Yes	L14	DQSn64	DQ32	DQ16	DQ8
3H	44	VREFB3HN0	IO				LVDS3H_2p	Yes	L13	DQS64	DQ32	DQ16	DQ8
3H	43	VREFB3HN0	IO				LVDS3H_3n	No	K13	DQ64	DQ32	DQ16	DQ8
3H	42	VREFB3HN0	IO				LVDS3H_3p	No	J14	DQ64	DQ32	DQ16	DQ8

Bank Number	Index within I/O Bank *(1)*	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	KF40	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
3H	41	VREFB3HN0	IO				LVDS3H_4n	Yes	J13	DQSn65	DQSn32/CQn32	DQ16	DQ8
3H	40	VREFB3HN0	IO				LVDS3H_4p	Yes	H13	DQS65	DQS32/CQ32	DQ16	DQ8
3H	39	VREFB3HN0	IO				LVDS3H_5n	No	F14	DQ65	DQ32	DQ16	DQ8
3H	38	VREFB3HN0	IO				LVDS3H_5p	No	F13	DQ65	DQ32	DQ16	DQ8
3H	37	VREFB3HN0	IO				LVDS3H_6n	Yes	P13	DQ65	DQ32	DQSn16/CQn16	DQ8
3H	36	VREFB3HN0	IO				LVDS3H_6p	Yes	N13	DQ65	DQ32	DQS16/CQ16	DQ8
3H	35	VREFB3HN0	IO				LVDS3H_7n	No	B12	DQ66	DQ33	DQ16	DQ8
3H	34	VREFB3HN0	IO				LVDS3H_7p	No	A12	DQ66	DQ33	DQ16	DQ8
3H	33	VREFB3HN0	IO				LVDS3H_8n	Yes	E13	DQSn66	DQ33	DQ16	DQ8
3H	32	VREFB3HN0	IO				LVDS3H_8p	Yes	D13	DQS66	DQ33	DQ16	DQ8
3H	31	VREFB3HN0	IO				LVDS3H_9n	No	C11	DQ66	DQ33	DQ16	DQ8
3H	30	VREFB3HN0	IO				LVDS3H_9p	No	B11	DQ66	DQ33	DQ16	DQ8
3H	29	VREFB3HN0	IO	PLL_3H_CLKOUT1n			LVDS3H_10n	Yes	C13	DQSn67	DQSn33/CQn33	DQ16	DQ8
3H	28	VREFB3HN0	IO	PLL_3H_CLKOUT1p,PLL_3H_CLKOUT1,PLL_3H_FB1			LVDS3H_10p	Yes	C12	DQS67	DQS33/CQ33	DQ16	DQ8
3H	27	VREFB3HN0	IO				LVDS3H_11n	No	F12	DQ67	DQ33	DQ16	DQ8
3H	26	VREFB3HN0	IO	RZQ_3H			LVDS3H_11p	No	E12	DQ67	DQ33	DQ16	DQ8
3H	25	VREFB3HN0	IO	CLK_3H_1n			LVDS3H_12n	Yes	E11	DQ67	DQ33	DQ16	DQ8
3H	24	VREFB3HN0	IO	CLK_3H_1p			LVDS3H_12p	Yes	D11	DQ67	DQ33	DQ16	DQ8
3H	23	VREFB3HN0	IO	CLK_3H_0n			LVDS3H_13n	No	N12	DQ68	DQ34	DQ17	DQ8
3H	22	VREFB3HN0	IO	CLK_3H_0p			LVDS3H_13p	No	M12	DQ68	DQ34	DQ17	DQ8
3H	21	VREFB3HN0	IO				LVDS3H_14n	Yes	H12	DQSn68	DQ34	DQ17	DQSn8/CQn8
3H	20	VREFB3HN0	IO				LVDS3H_14p	Yes	G12	DQS68	DQ34	DQ17	DQS8/CQ8
3H	19	VREFB3HN0	IO	PLL_3H_CLKOUT0n			LVDS3H_15n	No	L12	DQ68	DQ34	DQ17	DQ8
3H	18	VREFB3HN0	IO	PLL_3H_CLKOUT0p,PLL_3H_CLKOUT0,PLL_3H_FB0			LVDS3H_15p	No	K12	DQ68	DQ34	DQ17	DQ8
3H	17	VREFB3HN0	IO				LVDS3H_16n	Yes	K11	DQSn69	DQSn34/CQn34	DQ17	DQ8
3H	16	VREFB3HN0	IO				LVDS3H_16p	Yes	J11	DQS69	DQS34/CQ34	DQ17	DQ8
3H	15	VREFB3HN0	IO				LVDS3H_17n	No	H11	DQ69	DQ34	DQ17	DQ8
3H	14	VREFB3HN0	IO				LVDS3H_17p	No	G11	DQ69	DQ34	DQ17	DQ8
3H	13	VREFB3HN0	IO				LVDS3H_18n	Yes	E10	DQ69	DQ34	DQSn17/CQn17	DQ8
3H	12	VREFB3HN0	IO				LVDS3H_18p	Yes	D10	DQ69	DQ34	DQS17/CQ17	DQ8
3H	11	VREFB3HN0	IO				LVDS3H_19n	No	G10	DQ70	DQ35	DQ17	DQ8
3H	10	VREFB3HN0	IO				LVDS3H_19p	No	F10	DQ70	DQ35	DQ17	DQ8
3H	9	VREFB3HN0	IO				LVDS3H_20n	Yes	B10	DQSn70	DQ35	DQ17	DQ8
3H	8	VREFB3HN0	IO				LVDS3H_20p	Yes	A10	DQS70	DQ35	DQ17	DQ8
3H	7	VREFB3HN0	IO				LVDS3H_21n	No	D9	DQ70	DQ35	DQ17	DQ8
3H	6	VREFB3HN0	IO				LVDS3H_21p	No	C9	DQ70	DQ35	DQ17	DQ8
3H	5	VREFB3HN0	IO				LVDS3H_22n	Yes	D8	DQSn71	DQSn35/CQn35	DQ17	DQ8
3H	4	VREFB3HN0	IO				LVDS3H_22p	Yes	C8	DQS71	DQS35/CQ35	DQ17	DQ8
3H	3	VREFB3HN0	IO				LVDS3H_23n	No	B9	DQ71	DQ35	DQ17	DQ8
3H	2	VREFB3HN0	IO				LVDS3H_23p	No	A9	DQ71	DQ35	DQ17	DQ8
3H	1	VREFB3HN0	IO				LVDS3H_24n	Yes	A8	DQ71	DQ35	DQ17	DQ8
3H	0	VREFB3HN0	IO				LVDS3H_24p	Yes	A7	DQ71	DQ35	DQ17	DQ8
3G	47	VREFB3GN0	IO				LVDS3G_1n	No	P11	DQ72	DQ36	DQ18	DQ9
3G	46	VREFB3GN0	IO				LVDS3G_1p	No	N11	DQ72	DQ36	DQ18	DQ9
3G	45	VREFB3GN0	IO				LVDS3G_2n	Yes	M11	DQSn72	DQ36	DQ18	DQ9
3G	44	VREFB3GN0	IO				LVDS3G_2p	Yes	M10	DQS72	DQ36	DQ18	DQ9
3G	43	VREFB3GN0	IO				LVDS3G_3n	No	N9	DQ72	DQ36	DQ18	DQ9
3G	42	VREFB3GN0	IO				LVDS3G_3p	No	M9	DQ72	DQ36	DQ18	DQ9
3G	41	VREFB3GN0	IO				LVDS3G_4n	Yes	R12	DQSn73	DQSn36/CQn36	DQ18	DQ9
3G	40	VREFB3GN0	IO				LVDS3G_4p	Yes	R11	DQS73	DQS36/CQ36	DQ18	DQ9
3G	39	VREFB3GN0	IO				LVDS3G_5n	No	T13	DQ73	DQ36	DQ18	DQ9
3G	38	VREFB3GN0	IO				LVDS3G_5p	No	T12	DQ73	DQ36	DQ18	DQ9
3G	37	VREFB3GN0	IO				LVDS3G_6n	Yes	R10	DQ73	DQ36	DQSn18/CQn18	DQ9
3G	36	VREFB3GN0	IO				LVDS3G_6p	Yes	P10	DQ73	DQ36	DQS18/CQ18	DQ9
3G	35	VREFB3GN0	IO				LVDS3G_7n	No	L10	DQ74	DQ37	DQ18	DQ9
3G	34	VREFB3GN0	IO				LVDS3G_7p	No	L9	DQ74	DQ37	DQ18	DQ9
3G	33	VREFB3GN0	IO				LVDS3G_8n	Yes	K10	DQSn74	DQ37	DQ18	DQ9
3G	32	VREFB3GN0	IO				LVDS3G_8p	Yes	J10	DQS74	DQ37	DQ18	DQ9
3G	31	VREFB3GN0	IO				LVDS3G_9n	No	J8	DQ74	DQ37	DQ18	DQ9
3G	30	VREFB3GN0	IO				LVDS3G_9p	No	H8	DQ74	DQ37	DQ18	DQ9
3G	29	VREFB3GN0	IO	PLL_3G_CLKOUT1n			LVDS3G_10n	Yes	G9	DQSn75	DQSn37/CQn37	DQ18	DQ9
3G	28	VREFB3GN0	IO	PLL_3G_CLKOUT1p,PLL_3G_CLKOUT1,PLL_3G_FB1			LVDS3G_10p	Yes	F9	DQS75	DQS37/CQ37	DQ18	DQ9
3G	27	VREFB3GN0	IO				LVDS3G_11n	No	J9	DQ75	DQ37	DQ18	DQ9
3G	26	VREFB3GN0	IO	RZQ_3G			LVDS3G_11p	No	H9	DQ75	DQ37	DQ18	DQ9
3G	25	VREFB3GN0	IO	CLK_3G_1n			LVDS3G_12n	Yes	L8	DQ75	DQ37	DQ18	DQ9
3G	24	VREFB3GN0	IO	CLK_3G_1p			LVDS3G_12p	Yes	K8	DQ75	DQ37	DQ18	DQ9
3G	23	VREFB3GN0	IO	CLK_3G_0n			LVDS3G_13n	No	A4	DQ76	DQ38	DQ19	DQ9
3G	22	VREFB3GN0	IO	CLK_3G_0p			LVDS3G_13p	No	A3	DQ76	DQ38	DQ19	DQ9
3G	21	VREFB3GN0	IO				LVDS3G_14n	Yes	C7	DQSn76	DQ38	DQ19	DQSn9/CQn9
3G	20	VREFB3GN0	IO				LVDS3G_14p	Yes	B7	DQS76	DQ38	DQ19	DQS9/CQ9
3G	19	VREFB3GN0	IO	PLL_3G_CLKOUT0n			LVDS3G_15n	No	C3	DQ76	DQ38	DQ19	DQ9
3G	18	VREFB3GN0	IO	PLL_3G_CLKOUT0p,PLL_3G_CLKOUT0,PLL_3G_FB0			LVDS3G_15p	No	B4	DQ76	DQ38	DQ19	DQ9
3G	17	VREFB3GN0	IO				LVDS3G_16n	Yes	D4	DQSn77	DQSn38/CQn38	DQ19	DQ9
3G	16	VREFB3GN0	IO				LVDS3G_16p	Yes	C4	DQS77	DQS38/CQ38	DQ19	DQ9
3G	15	VREFB3GN0	IO				LVDS3G_17n	No	C6	DQ77	DQ38	DQ19	DQ9
3G	14	VREFB3GN0	IO				LVDS3G_17p	No	B6	DQ77	DQ38	DQ19	DQ9
3G	13	VREFB3GN0	IO				LVDS3G_18n	Yes	E7	DQ77	DQ38	DQSn19/CQn19	DQ9
3G	12	VREFB3GN0	IO				LVDS3G_18p	Yes	E6	DQ77	DQ38	DQS19/CQ19	DQ9
3G	11	VREFB3GN0	IO				LVDS3G_19n	No	B5	DQ78	DQ39	DQ19	DQ9
3G	10	VREFB3GN0	IO				LVDS3G_19p	No	A5	DQ78	DQ39	DQ19	DQ9
3G	9	VREFB3GN0	IO				LVDS3G_20n	Yes	F8	DQSn78	DQ39	DQ19	DQ9

Bank Number	Index within I/O Bank *(1)*	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	KF40	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
3G	8	VREFB3GN0	IO				LVDS3G_20p	Yes	E8	DQS78	DQ39	DQ19	DQ9
3G	7	VREFB3GN0	IO				LVDS3G_21n	No	D6	DQ78	DQ39	DQ19	DQ9
3G	6	VREFB3GN0	IO				LVDS3G_21p	No	D5	DQ78	DQ39	DQ19	DQ9
3G	5	VREFB3GN0	IO				LVDS3G_22n	Yes	F5	DQSn79	DQSn39/CQn39	DQ19	DQ9
3G	4	VREFB3GN0	IO				LVDS3G_22p	Yes	E5	DQS79	DQS39/CQ39	DQ19	DQ9
3G	3	VREFB3GN0	IO				LVDS3G_23n	No	G7	DQ79	DQ39	DQ19	DQ9
3G	2	VREFB3GN0	IO				LVDS3G_23p	No	F7	DQ79	DQ39	DQ19	DQ9
3G	1	VREFB3GN0	IO				LVDS3G_24n	Yes	H7	DQ79	DQ39	DQ19	DQ9
3G	0	VREFB3GN0	IO				LVDS3G_24p	Yes	G6	DQ79	DQ39	DQ19	DQ9
3F	47	VREFB3FN0	IO				LVDS3F_1n	No	P9	DQ80	DQ40	DQ20	DQ10
3F	46	VREFB3FN0	IO				LVDS3F_1p	No	R8	DQ80	DQ40	DQ20	DQ10
3F	45	VREFB3FN0	IO				LVDS3F_2n	Yes	T8	DQSn80	DQ40	DQ20	DQ10
3F	44	VREFB3FN0	IO				LVDS3F_2p	Yes	R7	DQS80	DQ40	DQ20	DQ10
3F	43	VREFB3FN0	IO				LVDS3F_3n	No	U10	DQ80	DQ40	DQ20	DQ10
3F	42	VREFB3FN0	IO				LVDS3F_3p	No	U9	DQ80	DQ40	DQ20	DQ10
3F	41	VREFB3FN0	IO				LVDS3F_4n	Yes	T10	DQSn81	DQSn40/CQn40	DQ20	DQ10
3F	40	VREFB3FN0	IO				LVDS3F_4p	Yes	T9	DQS81	DQS40/CQ40	DQ20	DQ10
3F	39	VREFB3FN0	IO				LVDS3F_5n	No	U12	DQ81	DQ40	DQ20	DQ10
3F	38	VREFB3FN0	IO				LVDS3F_5p	No	U11	DQ81	DQ40	DQ20	DQ10
3F	37	VREFB3FN0	IO				LVDS3F_6n	Yes	V12	DQ81	DQ40	DQSn20/CQn20	DQ10
3F	36	VREFB3FN0	IO				LVDS3F_6p	Yes	V11	DQ81	DQ40	DQS20/CQ20	DQ10
3F	35	VREFB3FN0	IO				LVDS3F_7n	No	K6	DQ82	DQ41	DQ20	DQ10
3F	34	VREFB3FN0	IO				LVDS3F_7p	No	J6	DQ82	DQ41	DQ20	DQ10
3F	33	VREFB3FN0	IO				LVDS3F_8n	Yes	L7	DQSn82	DQ41	DQ20	DQ10
3F	32	VREFB3FN0	IO				LVDS3F_8p	Yes	K7	DQS82	DQ41	DQ20	DQ10
3F	31	VREFB3FN0	IO				LVDS3F_9n	No	N6	DQ82	DQ41	DQ20	DQ10
3F	30	VREFB3FN0	IO				LVDS3F_9p	No	M6	DQ82	DQ41	DQ20	DQ10
3F	29	VREFB3FN0	IO	PLL_3F_CLKOUT1n			LVDS3F_10n	Yes	P8	DQSn83	DQSn41/CQn41	DQ20	DQ10
3F	28	VREFB3FN0	IO	PLL_3F_CLKOUT1p,PLL_3F_CLKOUT1,PLL_3F_FB1			LVDS3F_10p	Yes	N8	DQS83	DQS41/CQ41	DQ20	DQ10
3F	27	VREFB3FN0	IO				LVDS3F_11n	No	N7	DQ83	DQ41	DQ20	DQ10
3F	26	VREFB3FN0	IO	RZQ_3F			LVDS3F_11p	No	M7	DQ83	DQ41	DQ20	DQ10
3F	25	VREFB3FN0	IO	CLK_3F_1n			LVDS3F_12n	Yes	L5	DQ83	DQ41	DQ20	DQ10
3F	24	VREFB3FN0	IO	CLK_3F_1p			LVDS3F_12p	Yes	K5	DQ83	DQ41	DQ20	DQ10
3F	23	VREFB3FN0	IO	CLK_3F_0n			LVDS3F_13n	No	F4	DQ84	DQ42	DQ21	DQ10
3F	22	VREFB3FN0	IO	CLK_3F_0p			LVDS3F_13p	No	F3	DQ84	DQ42	DQ21	DQ10
3F	21	VREFB3FN0	IO				LVDS3F_14n	Yes	H6	DQSn84	DQ42	DQ21	DQSn10/CQn10
3F	20	VREFB3FN0	IO				LVDS3F_14p	Yes	G5	DQS84	DQ42	DQ21	DQS10/CQ10
3F	19	VREFB3FN0	IO	PLL_3F_CLKOUT0n			LVDS3F_15n	No	E3	DQ84	DQ42	DQ21	DQ10
3F	18	VREFB3FN0	IO	PLL_3F_CLKOUT0p,PLL_3F_CLKOUT0,PLL_3F_FB0			LVDS3F_15p	No	D3	DQ84	DQ42	DQ21	DQ10
3F	17	VREFB3FN0	IO				LVDS3F_16n	Yes	H3	DQSn85	DQSn42/CQn42	DQ21	DQ10
3F	16	VREFB3FN0	IO				LVDS3F_16p	Yes	H2	DQS85	DQS42/CQ42	DQ21	DQ10
3F	15	VREFB3FN0	IO				LVDS3F_17n	No	H4	DQ85	DQ42	DQ21	DQ10
3F	14	VREFB3FN0	IO				LVDS3F_17p	No	G4	DQ85	DQ42	DQ21	DQ10
3F	13	VREFB3FN0	IO				LVDS3F_18n	Yes	B2	DQ85	DQ42	DQSn21/CQn21	DQ10
3F	12	VREFB3FN0	IO				LVDS3F_18p	Yes	A2	DQ85	DQ42	DQS21/CQ21	DQ10
3F	11	VREFB3FN0	IO				LVDS3F_19n	No	J5	DQ86	DQ43	DQ21	DQ10
3F	10	VREFB3FN0	IO				LVDS3F_19p	No	J4	DQ86	DQ43	DQ21	DQ10
3F	9	VREFB3FN0	IO				LVDS3F_20n	Yes	E2	DQSn86	DQ43	DQ21	DQ10
3F	8	VREFB3FN0	IO				LVDS3F_20p	Yes	E1	DQS86	DQ43	DQ21	DQ10
3F	7	VREFB3FN0	IO				LVDS3F_21n	No	C2	DQ86	DQ43	DQ21	DQ10
3F	6	VREFB3FN0	IO				LVDS3F_21p	No	B1	DQ86	DQ43	DQ21	DQ10
3F	5	VREFB3FN0	IO				LVDS3F_22n	Yes	D1	DQSn87	DQSn43/CQn43	DQ21	DQ10
3F	4	VREFB3FN0	IO				LVDS3F_22p	Yes	C1	DQS87	DQS43/CQ43	DQ21	DQ10
3F	3	VREFB3FN0	IO				LVDS3F_23n	No	G2	DQ87	DQ43	DQ21	DQ10
3F	2	VREFB3FN0	IO				LVDS3F_23p	No	F2	DQ87	DQ43	DQ21	DQ10
3F	1	VREFB3FN0	IO				LVDS3F_24n	Yes	H1	DQ87	DQ43	DQ21	DQ10
3F	0	VREFB3FN0	IO				LVDS3F_24p	Yes	G1	DQ87	DQ43	DQ21	DQ10
3E	47	VREFB3EN0	IO				LVDS3E_1n	No	V8	DQ88	DQ44	DQ22	DQ11
3E	46	VREFB3EN0	IO				LVDS3E_1p	No	V7	DQ88	DQ44	DQ22	DQ11
3E	45	VREFB3EN0	IO				LVDS3E_2n	Yes	Y8	DQSn88	DQ44	DQ22	DQ11
3E	44	VREFB3EN0	IO				LVDS3E_2p	Yes	W8	DQS88	DQ44	DQ22	DQ11
3E	43	VREFB3EN0	IO				LVDS3E_3n	No	Y11	DQ88	DQ44	DQ22	DQ11
3E	42	VREFB3EN0	IO				LVDS3E_3p	No	Y10	DQ88	DQ44	DQ22	DQ11
3E	41	VREFB3EN0	IO				LVDS3E_4n	Yes	W9	DQSn89	DQSn44/CQn44	DQ22	DQ11
3E	40	VREFB3EN0	IO				LVDS3E_4p	Yes	V9	DQS89	DQS44/CQ44	DQ22	DQ11
3E	39	VREFB3EN0	IO				LVDS3E_5n	No	W11	DQ89	DQ44	DQ22	DQ11
3E	38	VREFB3EN0	IO				LVDS3E_5p	No	W10	DQ89	DQ44	DQ22	DQ11
3E	37	VREFB3EN0	IO				LVDS3E_6n	Yes	Y13	DQ89	DQ44	DQSn22/CQn22	DQ11
3E	36	VREFB3EN0	IO				LVDS3E_6p	Yes	Y12	DQ89	DQ44	DQS22/CQ22	DQ11
3E	35	VREFB3EN0	IO				LVDS3E_7n	No	T4	DQ90	DQ45	DQ22	DQ11
3E	34	VREFB3EN0	IO				LVDS3E_7p	No	T3	DQ90	DQ45	DQ22	DQ11
3E	33	VREFB3EN0	IO				LVDS3E_8n	Yes	U7	DQSn90	DQ45	DQ22	DQ11
3E	32	VREFB3EN0	IO				LVDS3E_8p	Yes	T7	DQS90	DQ45	DQ22	DQ11
3E	31	VREFB3EN0	IO				LVDS3E_9n	No	U5	DQ90	DQ45	DQ22	DQ11
3E	30	VREFB3EN0	IO				LVDS3E_9p	No	U4	DQ90	DQ45	DQ22	DQ11
3E	29	VREFB3EN0	IO	PLL_3E_CLKOUT1n			LVDS3E_10n	Yes	R6	DQSn91	DQSn45/CQn45	DQ22	DQ11
3E	28	VREFB3EN0	IO	PLL_3E_CLKOUT1p,PLL_3E_CLKOUT1,PLL_3E_FB1			LVDS3E_10p	Yes	R5	DQS91	DQS45/CQ45	DQ22	DQ11
3E	27	VREFB3EN0	IO				LVDS3E_11n	No	U6	DQ91	DQ45	DQ22	DQ11
3E	26	VREFB3EN0	IO	RZQ_3E			LVDS3E_11p	No	T5	DQ91	DQ45	DQ22	DQ11
3E	25	VREFB3EN0	IO	CLK_3E_1n			LVDS3E_12n	Yes	W6	DQ91	DQ45	DQ22	DQ11
3E	24	VREFB3EN0	IO	CLK_3E_1p			LVDS3E_12p	Yes	V6	DQ91	DQ45	DQ22	DQ11

Bank Number	Index within I/O Bank *(1)*	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	KF40	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
3E	23	VREFB3EN0	IO	CLK_3E_0n			LVDS3E_13n	No	M5	DQ92	DQ46	DQ23	DQ11
3E	22	VREFB3EN0	IO	CLK_3E_0p			LVDS3E_13p	No	M4	DQ92	DQ46	DQ23	DQ11
3E	21	VREFB3EN0	IO				LVDS3E_14n	Yes	P6	DQSn92	DQ46	DQ23	DQSn11/CQn11
3E	20	VREFB3EN0	IO				LVDS3E_14p	Yes	P5	DQS92	DQ46	DQ23	DQS11/CQ11
3E	19	VREFB3EN0	IO	PLL_3E_CLKOUT0n			LVDS3E_15n	No	L4	DQ92	DQ46	DQ23	DQ11
3E	18	VREFB3EN0	IO	PLL_3E_CLKOUT0p,PLL_3E_CLKOUT0,PLL_3E_FB0			LVDS3E_15p	No	L3	DQ92	DQ46	DQ23	DQ11
3E	17	VREFB3EN0	IO				LVDS3E_16n	Yes	K3	DQSn93	DQSn46/CQn46	DQ23	DQ11
3E	16	VREFB3EN0	IO				LVDS3E_16p	Yes	J3	DQS93	DQS46/CQ46	DQ23	DQ11
3E	15	VREFB3EN0	IO				LVDS3E_17n	No	N4	DQ93	DQ46	DQ23	DQ11
3E	14	VREFB3EN0	IO				LVDS3E_17p	No	N3	DQ93	DQ46	DQ23	DQ11
3E	13	VREFB3EN0	IO				LVDS3E_18n	Yes	R3	DQ93	DQ46	DQSn23/CQn23	DQ11
3E	12	VREFB3EN0	IO				LVDS3E_18p	Yes	R2	DQ93	DQ46	DQS23/CQ23	DQ11
3E	11	VREFB3EN0	IO				LVDS3E_19n	No	P4	DQ94	DQ47	DQ23	DQ11
3E	10	VREFB3EN0	IO				LVDS3E_19p	No	P3	DQ94	DQ47	DQ23	DQ11
3E	9	VREFB3EN0	IO				LVDS3E_20n	Yes	L2	DQSn94	DQ47	DQ23	DQ11
3E	8	VREFB3EN0	IO				LVDS3E_20p	Yes	K2	DQS94	DQ47	DQ23	DQ11
3E	7	VREFB3EN0	IO				LVDS3E_21n	No	N2	DQ94	DQ47	DQ23	DQ11
3E	6	VREFB3EN0	IO				LVDS3E_21p	No	N1	DQ94	DQ47	DQ23	DQ11
3E	5	VREFB3EN0	IO				LVDS3E_22n	Yes	R1	DQSn95	DQSn47/CQn47	DQ23	DQ11
3E	4	VREFB3EN0	IO				LVDS3E_22p	Yes	P1	DQS95	DQS47/CQ47	DQ23	DQ11
3E	3	VREFB3EN0	IO				LVDS3E_23n	No	K1	DQ95	DQ47	DQ23	DQ11
3E	2	VREFB3EN0	IO				LVDS3E_23p	No	J1	DQ95	DQ47	DQ23	DQ11
3E	1	VREFB3EN0	IO				LVDS3E_24n	Yes	M2	DQ95	DQ47	DQ23	DQ11
3E	0	VREFB3EN0	IO				LVDS3E_24p	Yes	M1	DQ95	DQ47	DQ23	DQ11
3D	47	VREFB3DN0	IO				LVDS3D_1n	No	U2	DQ96	DQ48	DQ24	DQ12
3D	46	VREFB3DN0	IO				LVDS3D_1p	No	T2	DQ96	DQ48	DQ24	DQ12
3D	45	VREFB3DN0	IO				LVDS3D_2n	Yes	W4	DQSn96	DQ48	DQ24	DQ12
3D	44	VREFB3DN0	IO				LVDS3D_2p	Yes	V4	DQS96	DQ48	DQ24	DQ12
3D	43	VREFB3DN0	IO				LVDS3D_3n	No	Y1	DQ96	DQ48	DQ24	DQ12
3D	42	VREFB3DN0	IO				LVDS3D_3p	No	W1	DQ96	DQ48	DQ24	DQ12
3D	41	VREFB3DN0	IO				LVDS3D_4n	Yes	V3	DQSn97	DQSn48/CQn48	DQ24	DQ12
3D	40	VREFB3DN0	IO				LVDS3D_4p	Yes	V2	DQS97	DQS48/CQ48	DQ24	DQ12
3D	39	VREFB3DN0	IO				LVDS3D_5n	No	V1	DQ97	DQ48	DQ24	DQ12
3D	38	VREFB3DN0	IO				LVDS3D_5p	No	U1	DQ97	DQ48	DQ24	DQ12
3D	37	VREFB3DN0	IO				LVDS3D_6n	Yes	Y3	DQ97	DQ48	DQSn24/CQn24	DQ12
3D	36	VREFB3DN0	IO				LVDS3D_6p	Yes	W3	DQ97	DQ48	DQS24/CQ24	DQ12
3D	35	VREFB3DN0	IO				LVDS3D_7n	No	AA10	DQ98	DQ49	DQ24	DQ12
3D	34	VREFB3DN0	IO				LVDS3D_7p	No	AB9	DQ98	DQ49	DQ24	DQ12
3D	33	VREFB3DN0	IO				LVDS3D_8n	Yes	Y7	DQSn98	DQ49	DQ24	DQ12
3D	32	VREFB3DN0	IO				LVDS3D_8p	Yes	Y6	DQS98	DQ49	DQ24	DQ12
3D	31	VREFB3DN0	IO				LVDS3D_9n	No	AB11	DQ98	DQ49	DQ24	DQ12
3D	30	VREFB3DN0	IO				LVDS3D_9p	No	AB10	DQ98	DQ49	DQ24	DQ12
3D	29	VREFB3DN0	IO	PLL_3D_CLKOUT1n			LVDS3D_10n	Yes	AA7	DQSn99	DQSn49/CQn49	DQ24	DQ12
3D	28	VREFB3DN0	IO	PLL_3D_CLKOUT1p,PLL_3D_CLKOUT1,PLL_3D_FB1			LVDS3D_10p	Yes	AB7	DQS99	DQS49/CQ49	DQ24	DQ12
3D	27	VREFB3DN0	IO				LVDS3D_11n	No	AA9	DQ99	DQ49	DQ24	DQ12
3D	26	VREFB3DN0	IO	RZQ_3D			LVDS3D_11p	No	AA8	DQ99	DQ49	DQ24	DQ12
3D	25	VREFB3DN0	IO	CLK_3D_1n			LVDS3D_12n	Yes	AA12	DQ99	DQ49	DQ24	DQ12
3D	24	VREFB3DN0	IO	CLK_3D_1p			LVDS3D_12p	Yes	AB12	DQ99	DQ49	DQ24	DQ12
3D	23	VREFB3DN0	IO	CLK_3D_0n			LVDS3D_13n	No	Y5	DQ100	DQ50	DQ25	DQ12
3D	22	VREFB3DN0	IO	CLK_3D_0p			LVDS3D_13p	No	W5	DQ100	DQ50	DQ25	DQ12
3D	21	VREFB3DN0	IO				LVDS3D_14n	Yes	AB6	DQSn100	DQ50	DQ25	DQSn12/CQn12
3D	20	VREFB3DN0	IO				LVDS3D_14p	Yes	AB5	DQS100	DQ50	DQ25	DQS12/CQ12
3D	19	VREFB3DN0	IO	PLL_3D_CLKOUT0n			LVDS3D_15n	No	AA2	DQ100	DQ50	DQ25	DQ12
3D	18	VREFB3DN0	IO	PLL_3D_CLKOUT0p,PLL_3D_CLKOUT0,PLL_3D_FB0			LVDS3D_15p	No	Y2	DQ100	DQ50	DQ25	DQ12
3D	17	VREFB3DN0	IO				LVDS3D_16n	Yes	AA4	DQSn101	DQSn50/CQn50	DQ25	DQ12
3D	16	VREFB3DN0	IO				LVDS3D_16p	Yes	AA3	DQS101	DQS50/CQ50	DQ25	DQ12
3D	15	VREFB3DN0	IO				LVDS3D_17n	No	AA5	DQ101	DQ50	DQ25	DQ12
3D	14	VREFB3DN0	IO				LVDS3D_17p	No	AB4	DQ101	DQ50	DQ25	DQ12
3D	13	VREFB3DN0	IO				LVDS3D_18n	Yes	AB1	DQ101	DQ50	DQSn25/CQn25	DQ12
3D	12	VREFB3DN0	IO				LVDS3D_18p	Yes	AC1	DQ101	DQ50	DQS25/CQ25	DQ12
3D	11	VREFB3DN0	IO				LVDS3D_19n	No	AC6	DQ102	DQ51	DQ25	DQ12
3D	10	VREFB3DN0	IO				LVDS3D_19p	No	AD5	DQ102	DQ51	DQ25	DQ12
3D	9	VREFB3DN0	IO				LVDS3D_20n	Yes	AD4	DQSn102	DQ51	DQ25	DQ12
3D	8	VREFB3DN0	IO				LVDS3D_20p	Yes	AD3	DQS102	DQ51	DQ25	DQ12
3D	7	VREFB3DN0	IO				LVDS3D_21n	No	AB2	DQ102	DQ51	DQ25	DQ12
3D	6	VREFB3DN0	IO				LVDS3D_21p	No	AC2	DQ102	DQ51	DQ25	DQ12
3D	5	VREFB3DN0	IO				LVDS3D_22n	Yes	AC4	DQSn103	DQSn51/CQn51	DQ25	DQ12
3D	4	VREFB3DN0	IO				LVDS3D_22p	Yes	AC3	DQS103	DQS51/CQ51	DQ25	DQ12
3D	3	VREFB3DN0	IO				LVDS3D_23n	No	AD1	DQ103	DQ51	DQ25	DQ12
3D	2	VREFB3DN0	IO				LVDS3D_23p	No	AE1	DQ103	DQ51	DQ25	DQ12
3D	1	VREFB3DN0	IO				LVDS3D_24n	Yes	AE3	DQ103	DQ51	DQ25	DQ12
3D	0	VREFB3DN0	IO				LVDS3D_24p	Yes	AE2	DQ103	DQ51	DQ25	DQ12
3C	47	VREFB3CN0	IO				LVDS3C_1n	No	AH1	DQ104	DQ52	DQ26	DQ13
3C	46	VREFB3CN0	IO				LVDS3C_1p	No	AJ1	DQ104	DQ52	DQ26	DQ13
3C	45	VREFB3CN0	IO				LVDS3C_2n	Yes	AF3	DQSn104	DQ52	DQ26	DQ13
3C	44	VREFB3CN0	IO				LVDS3C_2p	Yes	AF2	DQS104	DQ52	DQ26	DQ13
3C	43	VREFB3CN0	IO				LVDS3C_3n	No	AG2	DQ104	DQ52	DQ26	DQ13
3C	42	VREFB3CN0	IO				LVDS3C_3p	No	AG1	DQ104	DQ52	DQ26	DQ13
3C	41	VREFB3CN0	IO				LVDS3C_4n	Yes	AH3	DQSn105	DQSn52/CQn52	DQ26	DQ13
3C	40	VREFB3CN0	IO				LVDS3C_4p	Yes	AH2	DQS105	DQS52/CQ52	DQ26	DQ13
3C	39	VREFB3CN0	IO				LVDS3C_5n	No	AG4	DQ105	DQ52	DQ26	DQ13

Bank Number	Index within I/O Bank *(1)*	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	KF40	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
3C	38	VREFB3CN0	IO				LVDS3C_5p	No	AH4	DQ105	DQ52	DQ26	DQ13
3C	37	VREFB3CN0	IO				LVDS3C_6n	Yes	AE5	DQ105	DQ52	DQSn26/CQn26	DQ13
3C	36	VREFB3CN0	IO				LVDS3C_6p	Yes	AF4	DQ105	DQ52	DQS26/CQ26	DQ13
3C	35	VREFB3CN0	IO				LVDS3C_7n	No	AJ4	DQ106	DQ53	DQ26	DQ13
3C	34	VREFB3CN0	IO				LVDS3C_7p	No	AJ3	DQ106	DQ53	DQ26	DQ13
3C	33	VREFB3CN0	IO				LVDS3C_8n	Yes	AM2	DQSn106	DQ53	DQ26	DQ13
3C	32	VREFB3CN0	IO				LVDS3C_8p	Yes	AM1	DQS106	DQ53	DQ26	DQ13
3C	31	VREFB3CN0	IO				LVDS3C_9n	No	AK2	DQ106	DQ53	DQ26	DQ13
3C	30	VREFB3CN0	IO				LVDS3C_9p	No	AK1	DQ106	DQ53	DQ26	DQ13
3C	29	VREFB3CN0	IO	PLL_3C_CLKOUT1n			LVDS3C_10n	Yes	AN2	DQSn107	DQSn53/CQn53	DQ26	DQ13
3C	28	VREFB3CN0	IO	PLL_3C_CLKOUT1p,PLL_3C_CLKOUT1,PLL_3C_FB1			LVDS3C_10p	Yes	AN1	DQS107	DQS53/CQ53	DQ26	DQ13
3C	27	VREFB3CN0	IO				LVDS3C_11n	No	AL4	DQ107	DQ53	DQ26	DQ13
3C	26	VREFB3CN0	IO	RZQ_3C			LVDS3C_11p	No	AL3	DQ107	DQ53	DQ26	DQ13
3C	25	VREFB3CN0	IO	CLK_3C_1n			LVDS3C_12n	Yes	AK3	DQ107	DQ53	DQ26	DQ13
3C	24	VREFB3CN0	IO	CLK_3C_1p			LVDS3C_12p	Yes	AL2	DQ107	DQ53	DQ26	DQ13
3C	23	VREFB3CN0	IO	CLK_3C_0n			LVDS3C_13n	No	AE6	DQ108	DQ54	DQ27	DQ13
3C	22	VREFB3CN0	IO	CLK_3C_0p			LVDS3C_13p	No	AF5	DQ108	DQ54	DQ27	DQ13
3C	21	VREFB3CN0	IO				LVDS3C_14n	Yes	AH6	DQSn108	DQ54	DQ27	DQSn13/CQn13
3C	20	VREFB3CN0	IO				LVDS3C_14p	Yes	AJ5	DQS108	DQ54	DQ27	DQS13/CQ13
3C	19	VREFB3CN0	IO	PLL_3C_CLKOUT0n			LVDS3C_15n	No	AG6	DQ108	DQ54	DQ27	DQ13
3C	18	VREFB3CN0	IO	PLL_3C_CLKOUT0p,PLL_3C_CLKOUT0,PLL_3C_FB0			LVDS3C_15p	No	AG5	DQ108	DQ54	DQ27	DQ13
3C	17	VREFB3CN0	IO				LVDS3C_16n	Yes	AE7	DQSn109	DQSn54/CQn54	DQ27	DQ13
3C	16	VREFB3CN0	IO				LVDS3C_16p	Yes	AF7	DQS109	DQS54/CQ54	DQ27	DQ13
3C	15	VREFB3CN0	IO				LVDS3C_17n	No	AJ6	DQ109	DQ54	DQ27	DQ13
3C	14	VREFB3CN0	IO				LVDS3C_17p	No	AK5	DQ109	DQ54	DQ27	DQ13
3C	13	VREFB3CN0	IO				LVDS3C_18n	Yes	AC7	DQ109	DQ54	DQSn27/CQn27	DQ13
3C	12	VREFB3CN0	IO				LVDS3C_18p	Yes	AD6	DQ109	DQ54	DQS27/CQ27	DQ13
3C	11	VREFB3CN0	IO				LVDS3C_19n	No	AF8	DQ110	DQ55	DQ27	DQ13
3C	10	VREFB3CN0	IO				LVDS3C_19p	No	AG7	DQ110	DQ55	DQ27	DQ13
3C	9	VREFB3CN0	IO				LVDS3C_20n	Yes	AD10	DQSn110	DQ55	DQ27	DQ13
3C	8	VREFB3CN0	IO				LVDS3C_20p	Yes	AD9	DQS110	DQ55	DQ27	DQ13
3C	7	VREFB3CN0	IO				LVDS3C_21n	No	AC9	DQ110	DQ55	DQ27	DQ13
3C	6	VREFB3CN0	IO				LVDS3C_21p	No	AC8	DQ110	DQ55	DQ27	DQ13
3C	5	VREFB3CN0	IO				LVDS3C_22n	Yes	AD8	DQSn111	DQSn55/CQn55	DQ27	DQ13
3C	4	VREFB3CN0	IO				LVDS3C_22p	Yes	AE8	DQS111	DQS55/CQ55	DQ27	DQ13
3C	3	VREFB3CN0	IO				LVDS3C_23n	No	AC11	DQ111	DQ55	DQ27	DQ13
3C	2	VREFB3CN0	IO				LVDS3C_23p	No	AD11	DQ111	DQ55	DQ27	DQ13
3C	1	VREFB3CN0	IO				LVDS3C_24n	Yes	AD13	DQ111	DQ55	DQ27	DQ13
3C	0	VREFB3CN0	IO				LVDS3C_24p	Yes	AC12	DQ111	DQ55	DQ27	DQ13
3B	47	VREFB3BN0	IO				LVDS3B_1n	No	AR3	DQ112	DQ56	DQ28	DQ14
3B	46	VREFB3BN0	IO				LVDS3B_1p	No	AR2	DQ112	DQ56	DQ28	DQ14
3B	45	VREFB3BN0	IO				LVDS3B_2n	Yes	AP1	DQSn112	DQ56	DQ28	DQ14
3B	44	VREFB3BN0	IO				LVDS3B_2p	Yes	AR1	DQS112	DQ56	DQ28	DQ14
3B	43	VREFB3BN0	IO				LVDS3B_3n	No	AN4	DQ112	DQ56	DQ28	DQ14
3B	42	VREFB3BN0	IO				LVDS3B_3p	No	AN3	DQ112	DQ56	DQ28	DQ14
3B	41	VREFB3BN0	IO				LVDS3B_4n	Yes	AT3	DQSn113	DQSn56/CQn56	DQ28	DQ14
3B	40	VREFB3BN0	IO				LVDS3B_4p	Yes	AT2	DQS113	DQS56/CQ56	DQ28	DQ14
3B	39	VREFB3BN0	IO				LVDS3B_5n	No	AU2	DQ113	DQ56	DQ28	DQ14
3B	38	VREFB3BN0	IO				LVDS3B_5p	No	AU1	DQ113	DQ56	DQ28	DQ14
3B	37	VREFB3BN0	IO				LVDS3B_6n	Yes	AP4	DQ113	DQ56	DQSn28/CQn28	DQ14
3B	36	VREFB3BN0	IO				LVDS3B_6p	Yes	AP3	DQ113	DQ56	DQS28/CQ28	DQ14
3B	35	VREFB3BN0	IO				LVDS3B_7n	No	AL5	DQ114	DQ57	DQ28	DQ14
3B	34	VREFB3BN0	IO				LVDS3B_7p	No	AM4	DQ114	DQ57	DQ28	DQ14
3B	33	VREFB3BN0	IO				LVDS3B_8n	Yes	AR5	DQSn114	DQ57	DQ28	DQ14
3B	32	VREFB3BN0	IO				LVDS3B_8p	Yes	AT4	DQS114	DQ57	DQ28	DQ14
3B	31	VREFB3BN0	IO				LVDS3B_9n	No	AM6	DQ114	DQ57	DQ28	DQ14
3B	30	VREFB3BN0	IO				LVDS3B_9p	No	AM5	DQ114	DQ57	DQ28	DQ14
3B	29	VREFB3BN0	IO	PLL_3B_CLKOUT1n			LVDS3B_10n	Yes	AP6	DQSn115	DQSn57/CQn57	DQ28	DQ14
3B	28	VREFB3BN0	IO	PLL_3B_CLKOUT1p,PLL_3B_CLKOUT1,PLL_3B_FB1			LVDS3B_10p	Yes	AR6	DQS115	DQS57/CQ57	DQ28	DQ14
3B	27	VREFB3BN0	IO				LVDS3B_11n	No	AM7	DQ115	DQ57	DQ28	DQ14
3B	26	VREFB3BN0	IO	RZQ_3B			LVDS3B_11p	No	AN7	DQ115	DQ57	DQ28	DQ14
3B	25	VREFB3BN0	IO	CLK_3B_1n			LVDS3B_12n	Yes	AN6	DQ115	DQ57	DQ28	DQ14
3B	24	VREFB3BN0	IO	CLK_3B_1p			LVDS3B_12p	Yes	AP5	DQ115	DQ57	DQ28	DQ14
3B	23	VREFB3BN0	IO	CLK_3B_0n			LVDS3B_13n	No	AH8	DQ116	DQ58	DQ29	DQ14
3B	22	VREFB3BN0	IO	CLK_3B_0p			LVDS3B_13p	No	AH7	DQ116	DQ58	DQ29	DQ14
3B	21	VREFB3BN0	IO				LVDS3B_14n	Yes	AH9	DQSn116	DQ58	DQ29	DQSn14/CQn14
3B	20	VREFB3BN0	IO				LVDS3B_14p	Yes	AJ8	DQS116	DQ58	DQ29	DQS14/CQ14
3B	19	VREFB3BN0	IO	PLL_3B_CLKOUT0n			LVDS3B_15n	No	AK7	DQ116	DQ58	DQ29	DQ14
3B	18	VREFB3BN0	IO	PLL_3B_CLKOUT0p,PLL_3B_CLKOUT0,PLL_3B_FB0			LVDS3B_15p	No	AK6	DQ116	DQ58	DQ29	DQ14
3B	17	VREFB3BN0	IO				LVDS3B_16n	Yes	AK8	DQSn117	DQSn58/CQn58	DQ29	DQ14
3B	16	VREFB3BN0	IO				LVDS3B_16p	Yes	AL7	DQS117	DQS58/CQ58	DQ29	DQ14
3B	15	VREFB3BN0	IO				LVDS3B_17n	No	AL9	DQ117	DQ58	DQ29	DQ14
3B	14	VREFB3BN0	IO				LVDS3B_17p	No	AL8	DQ117	DQ58	DQ29	DQ14
3B	13	VREFB3BN0	IO				LVDS3B_18n	Yes	AE11	DQ117	DQ58	DQSn29/CQn29	DQ14
3B	12	VREFB3BN0	IO				LVDS3B_18p	Yes	AE10	DQ117	DQ58	DQS29/CQ29	DQ14
3B	11	VREFB3BN0	IO				LVDS3B_19n	No	AJ10	DQ118	DQ59	DQ29	DQ14
3B	10	VREFB3BN0	IO				LVDS3B_19p	No	AJ9	DQ118	DQ59	DQ29	DQ14
3B	9	VREFB3BN0	IO				LVDS3B_20n	Yes	AG10	DQSn118	DQ59	DQ29	DQ14
3B	8	VREFB3BN0	IO				LVDS3B_20p	Yes	AG9	DQS118	DQ59	DQ29	DQ14
3B	7	VREFB3BN0	IO				LVDS3B_21n	No	AF10	DQ118	DQ59	DQ29	DQ14
3B	6	VREFB3BN0	IO				LVDS3B_21p	No	AF9	DQ118	DQ59	DQ29	DQ14

Bank Number	Index within I/O Bank *(1)*	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	KF40	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
3B	5	VREFB3BN0	IO				LVDS3B_22n	Yes	AF13	DQSn119	DQSn59/CQn59	DQ29	DQ14
3B	4	VREFB3BN0	IO				LVDS3B_22p	Yes	AE12	DQS119	DQS59/CQ59	DQ29	DQ14
3B	3	VREFB3BN0	IO				LVDS3B_23n	No	AF12	DQ119	DQ59	DQ29	DQ14
3B	2	VREFB3BN0	IO				LVDS3B_23p	No	AG11	DQ119	DQ59	DQ29	DQ14
3B	1	VREFB3BN0	IO				LVDS3B_24n	Yes	AG12	DQ119	DQ59	DQ29	DQ14
3B	0	VREFB3BN0	IO				LVDS3B_24p	Yes	AH11	DQ119	DQ59	DQ29	DQ14
3A	47	VREFB3AN0	IO				LVDS3A_1n	No	AT5	DQ120	DQ60	DQ30	DQ15
3A	46	VREFB3AN0	IO				LVDS3A_1p	No	AU5	DQ120	DQ60	DQ30	DQ15
3A	45	VREFB3AN0	IO				LVDS3A_2n	Yes	AU4	DQSn120	DQ60	DQ30	DQ15
3A	44	VREFB3AN0	IO				LVDS3A_2p	Yes	AV4	DQS120	DQ60	DQ30	DQ15
3A	43	VREFB3AN0	IO				LVDS3A_3n	No	AV2	DQ120	DQ60	DQ30	DQ15
3A	42	VREFB3AN0	IO				LVDS3A_3p	No	AV1	DQ120	DQ60	DQ30	DQ15
3A	41	VREFB3AN0	IO				LVDS3A_4n	Yes	AW5	DQSn121	DQSn60/CQn60	DQ30	DQ15
3A	40	VREFB3AN0	IO				LVDS3A_4p	Yes	AW4	DQS121	DQS60/CQ60	DQ30	DQ15
3A	39	VREFB3AN0	IO				LVDS3A_5n	No	AV6	DQ121	DQ60	DQ30	DQ15
3A	38	VREFB3AN0	IO				LVDS3A_5p	No	AW6	DQ121	DQ60	DQ30	DQ15
3A	37	VREFB3AN0	IO				LVDS3A_6n	Yes	AV3	DQ121	DQ60	DQSn30/CQn30	DQ15
3A	36	VREFB3AN0	IO				LVDS3A_6p	Yes	AW3	DQ121	DQ60	DQS30/CQ30	DQ15
3A	35	VREFB3AN0	IO				LVDS3A_7n	No	AN8	DQ122	DQ61	DQ30	DQ15
3A	34	VREFB3AN0	IO				LVDS3A_7p	No	AP8	DQ122	DQ61	DQ30	DQ15
3A	33	VREFB3AN0	IO				LVDS3A_8n	Yes	AU6	DQSn122	DQ61	DQ30	DQ15
3A	32	VREFB3AN0	IO				LVDS3A_8p	Yes	AV7	DQS122	DQ61	DQ30	DQ15
3A	31	VREFB3AN0	IO				LVDS3A_9n	No	AR8	DQ122	DQ61	DQ30	DQ15
3A	30	VREFB3AN0	IO				LVDS3A_9p	No	AR7	DQ122	DQ61	DQ30	DQ15
3A	29	VREFB3AN0	IO	PLL_3A_CLKOUT1n			LVDS3A_10n	Yes	AT9	DQSn123	DQSn61/CQn61	DQ30	DQ15
3A	28	VREFB3AN0	IO	PLL_3A_CLKOUT1p,PLL_3A_CLKOUT1,PLL_3A_FB1			LVDS3A_10p	Yes	AT8	DQS123	DQS61/CQ61	DQ30	DQ15
3A	27	VREFB3AN0	IO				LVDS3A_11n	No	AV8	DQ123	DQ61	DQ30	DQ15
3A	26	VREFB3AN0	IO	RZQ_3A			LVDS3A_11p	No	AW8	DQ123	DQ61	DQ30	DQ15
3A	25	VREFB3AN0	IO	CLK_3A_1n			LVDS3A_12n	Yes	AT7	DQ123	DQ61	DQ30	DQ15
3A	24	VREFB3AN0	IO	CLK_3A_1p			LVDS3A_12p	Yes	AU7	DQ123	DQ61	DQ30	DQ15
3A	23	VREFB3AN0	IO	CLK_3A_0n			LVDS3A_13n	No	AL10	DQ124	DQ62	DQ31	DQ15
3A	22	VREFB3AN0	IO	CLK_3A_0p			LVDS3A_13p	No	AM9	DQ124	DQ62	DQ31	DQ15
3A	21	VREFB3AN0	IO				LVDS3A_14n	Yes	AP10	DQSn124	DQ62	DQ31	DQSn15/CQn15
3A	20	VREFB3AN0	IO				LVDS3A_14p	Yes	AR10	DQS124	DQ62	DQ31	DQS15/CQ15
3A	19	VREFB3AN0	IO	PLL_3A_CLKOUT0n			LVDS3A_15n	No	AN9	DQ124	DQ62	DQ31	DQ15
3A	18	VREFB3AN0	IO	PLL_3A_CLKOUT0p,PLL_3A_CLKOUT0,PLL_3A_FB0			LVDS3A_15p	No	AP9	DQ124	DQ62	DQ31	DQ15
3A	17	VREFB3AN0	IO				LVDS3A_16n	Yes	AM11	DQSn125	DQSn62/CQn62	DQ31	DQ15
3A	16	VREFB3AN0	IO				LVDS3A_16p	Yes	AM10	DQS125	DQS62/CQ62	DQ31	DQ15
3A	15	VREFB3AN0	IO				LVDS3A_17n	No	AN11	DQ125	DQ62	DQ31	DQ15
3A	14	VREFB3AN0	IO				LVDS3A_17p	No	AP11	DQ125	DQ62	DQ31	DQ15
3A	13	VREFB3AN0	IO				LVDS3A_18n	Yes	AH12	DQ125	DQ62	DQSn31/CQn31	DQ15
3A	12	VREFB3AN0	IO				LVDS3A_18p	Yes	AJ11	DQ125	DQ62	DQS31/CQ31	DQ15
3A	11	VREFB3AN0	IO				LVDS3A_19n	No	AM12	DQ126	DQ63	DQ31	DQ15
3A	10	VREFB3AN0	IO				LVDS3A_19p	No	AN12	DQ126	DQ63	DQ31	DQ15
3A	9	VREFB3AN0	IO				LVDS3A_20n	Yes	AK13	DQSn126	DQ63	DQ31	DQ15
3A	8	VREFB3AN0	IO				LVDS3A_20p	Yes	AL13	DQS126	DQ63	DQ31	DQ15
3A	7	VREFB3AN0	IO				LVDS3A_21n	No	AK11	DQ126	DQ63	DQ31	DQ15
3A	6	VREFB3AN0	IO				LVDS3A_21p	No	AK10	DQ126	DQ63	DQ31	DQ15
3A	5	VREFB3AN0	IO				LVDS3A_22n	Yes	AK12	DQSn127	DQSn63/CQn63	DQ31	DQ15
3A	4	VREFB3AN0	IO				LVDS3A_22p	Yes	AL12	DQS127	DQS63/CQ63	DQ31	DQ15
3A	3	VREFB3AN0	IO				LVDS3A_23n	No	AH13	DQ127	DQ63	DQ31	DQ15
3A	2	VREFB3AN0	IO				LVDS3A_23p	No	AJ13	DQ127	DQ63	DQ31	DQ15
3A	1	VREFB3AN0	IO				LVDS3A_24n	Yes	AH14	DQ127	DQ63	DQ31	DQ15
3A	0	VREFB3AN0	IO				LVDS3A_24p	Yes	AJ14	DQ127	DQ63	DQ31	DQ15
			GND						AJ15				
CSS			TDO		TDO				AR11				
CSS			TMS		TMS				AU12				
CSS			TRST		TRST				AU9				
CSS			TCK		TCK				AL14				
CSS			TDI		TDI				AR12				
CSS			MSEL0		MSEL0				AM14				
CSS			MSEL1		MSEL1				AP13				
CSS			MSEL2		MSEL2				AN14				
CSS			nIO_PULLUP		nIO_PULLUP				AK15				
CSS			nSTATUS		nSTATUS				AV9				
CSS			CONF_DONE		CONF_DONE				AU10				
			GND						AL15				
CSS			nCONFIG		nCONFIG				AT10				
CSS			nCE		nCE				AN13				
CSS			nCSO0		nCSO0				AW9				
CSS			nCSO1		nCSO1				AU11				
CSS			nCSO2		nCSO2				AW10				
CSS			AS_DATA0,ASDO		AS_DATA0,ASDO				AT12				
CSS			AS_DATA1		AS_DATA1				AR13				
CSS			AS_DATA2		AS_DATA2				AV11				
CSS			AS_DATA3		AS_DATA3				AV12				
CSS			DCLK		DCLK				AW11				
			ADCGND						C14				
			GND						J20				
			GND						K20				
			GND						L17				

Bank Number	Index within I/O Bank *(1)*	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	KF40	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			GND						L18				
			GND						L19				
			GND						M17				
			GND						M19				
			GND						A11				
			GND						A16				
			GND						A21				
			GND						A26				
			GND						A31				
			GND						A33				
			GND						A34				
			GND						A35				
			GND						A38				
			GND						A6				
			GND						AA1				
			GND						AA16				
			GND						AA21				
			GND						AA26				
			GND						AA28				
			GND						AA34				
			GND						AA35				
			GND						AA38				
			GND						AA39				
			GND						AB13				
			GND						AB18				
			GND						AB23				
			GND						AB28				
			GND						AB29				
			GND						AB3				
			GND						AB32				
			GND						AB33				
			GND						AB36				
			GND						AB37				
			GND						AC15				
			GND						AC20				
			GND						AC29				
			GND						AC34				
			GND						AC35				
			GND						AC38				
			GND						AC39				
			GND						AC5				
			GND						AD12				
			GND						AD17				
			GND						AD2				
			GND						AD22				
			GND						AD29				
			GND						AD32				
			GND						AD33				
			GND						AD36				
			GND						AD37				
			GND						AE14				
			GND						AE19				
			GND						AE24				
			GND						AE28				
			GND						AE34				
			GND						AE35				
			GND						AE38				
			GND						AE39				
			GND						AE4				
			GND						AE9				
			GND						AF1				
			GND						AF16				
			GND						AF21				
			GND						AF29				
			GND						AF32				
			GND						AF33				
			GND						AF36				
			GND						AF37				
			GND						AG13				
			GND						AG18				
			GND						AG23				
			GND						AG28				
			GND						AG29				
			GND						AG3				
			GND						AG34				
			GND						AG35				
			GND						AG38				
			GND						AG39				
			GND						AG8				
			GND						AH15				
			GND						AH20				

Bank Number	Index within I/O Bank *(1)*	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	KF40	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			GND						AH25				
			GND						AH29				
			GND						AH32				
			GND						AH33				
			GND						AH36				
			GND						AH37				
			GND						AH5				
			GND						AJ17				
			GND						AJ2				
			GND						AJ22				
			GND						AJ27				
			GND						AJ28				
			GND						AJ34				
			GND						AJ35				
			GND						AJ38				
			GND						AJ39				
			GND						AJ7				
			GND						AK14				
			GND						AK29				
			GND						AK32				
			GND						AK33				
			GND						AK36				
			GND						AK37				
			GND						AK4				
			GND						AL1				
			GND						AL26				
			GND						AL29				
			GND						AL34				
			GND						AL35				
			GND						AL38				
			GND						AL39				
			GND						AL6				
			GND						AM28				
			GND						AM29				
			GND						AM3				
			GND						AM32				
			GND						AM33				
			GND						AM36				
			GND						AM37				
			GND						AM8				
			GND						AN10				
			GND						AN15				
			GND						AN29				
			GND						AN30				
			GND						AN31				
			GND						AN34				
			GND						AN35				
			GND						AN38				
			GND						AN39				
			GND						AN5				
			GND						AP12				
			GND						AP17				
			GND						AP2				
			GND						AP27				
			GND						AP31				
			GND						AP32				
			GND						AP33				
			GND						AP36				
			GND						AP37				
			GND						AP7				
			GND						AR14				
			GND						AR19				
			GND						AR24				
			GND						AR29				
			GND						AR33				
			GND						AR34				
			GND						AR35				
			GND						AR38				
			GND						AR39				
			GND						AR4				
			GND						AR9				
			GND						AT1				
			GND						AT11				
			GND						AT16				
			GND						AT21				
			GND						AT26				
			GND						AT31				
			GND						AT33				
			GND						AT36				
			GND						AT37				
			GND						AT6				

Bank Number	Index within I/O Bank *(1)*	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	KF40	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			GND						AU13				
			GND						AU18				
			GND						AU23				
			GND						AU28				
			GND						AU3				
			GND						AU33				
			GND						AU34				
			GND						AU35				
			GND						AU38				
			GND						AU39				
			GND						AU8				
			GND						AV10				
			GND						AV15				
			GND						AV20				
			GND						AV25				
			GND						AV30				
			GND						AV33				
			GND						AV36				
			GND						AV37				
			GND						AV5				
			GND						AW12				
			GND						AW17				
			GND						AW2				
			GND						AW22				
			GND						AW27				
			GND						AW31				
			GND						AW33				
			GND						AW34				
			GND						AW35				
			GND						AW38				
			GND						AW7				
			GND						B13				
			GND						B18				
			GND						B23				
			GND						B28				
			GND						B3				
			GND						B31				
			GND						B32				
			GND						B33				
			GND						B36				
			GND						B37				
			GND						B8				
			GND						C10				
			GND						C15				
			GND						C20				
			GND						C25				
			GND						C30				
			GND						C33				
			GND						C34				
			GND						C35				
			GND						C38				
			GND						C39				
			GND						C5				
			GND						D12				
			GND						D17				
			GND						D2				
			GND						D22				
			GND						D27				
			GND						D32				
			GND						D33				
			GND						D36				
			GND						D37				
			GND						D7				
			GND						E14				
			GND						E19				
			GND						E24				
			GND						E29				
			GND						E33				
			GND						E34				
			GND						E35				
			GND						E38				
			GND						E39				
			GND						E4				
			GND						E9				
			GND						F1				
			GND						F11				
			GND						F21				
			GND						F26				
			GND						F31				
			GND						F32				
			GND						F33				

Bank Number	Index within I/O Bank *(1)*	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	KF40	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			GND						F36				
			GND						F37				
			GND						F6				
			GND						G18				
			GND						G23				
			GND						G28				
			GND						G3				
			GND						G31				
			GND						G34				
			GND						G35				
			GND						G38				
			GND						G39				
			GND						H10				
			GND						H20				
			GND						H29				
			GND						H30				
			GND						H31				
			GND						H32				
			GND						H33				
			GND						H36				
			GND						H37				
			GND						H5				
			GND						J2				
			GND						J27				
			GND						J28				
			GND						J34				
			GND						J35				
			GND						J38				
			GND						J39				
			GND						J7				
			GND						K19				
			GND						K29				
			GND						K32				
			GND						K33				
			GND						K36				
			GND						K37				
			GND						K4				
			GND						L1				
			GND						L11				
			GND						L16				
			GND						L21				
			GND						L26				
			GND						L29				
			GND						L34				
			GND						L35				
			GND						L38				
			GND						L39				
			GND						L6				
			GND						M13				
			GND						M18				
			GND						M23				
			GND						M28				
			GND						M29				
			GND						M3				
			GND						M32				
			GND						M33				
			GND						M36				
			GND						M37				
			GND						M8				
			GND						N15				
			GND						N20				
			GND						N25				
			GND						N28				
			GND						N34				
			GND						N35				
			GND						N38				
			GND						N39				
			GND						N5				
			GND						P12				
			GND						P17				
			GND						P2				
			GND						P22				
			GND						P29				
			GND						P32				
			GND						P33				
			GND						P36				
			GND						P37				
			GND						R14				
			GND						R19				
			GND						R24				
			GND						R29				

Bank Number	Index within I/O Bank *(1)*	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	KF40	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			GND						R34				
			GND						R35				
			GND						R38				
			GND						R39				
			GND						R4				
			GND						T1				
			GND						T16				
			GND						T21				
			GND						T29				
			GND						T32				
			GND						T33				
			GND						T36				
			GND						T37				
			GND						T6				
			GND						U13				
			GND						U18				
			GND						U23				
			GND						U28				
			GND						U3				
			GND						U34				
			GND						U35				
			GND						U38				
			GND						U39				
			GND						U8				
			GND						V15				
			GND						V20				
			GND						V29				
			GND						V32				
			GND						V33				
			GND						V36				
			GND						V37				
			GND						V5				
			GND						W12				
			GND						W17				
			GND						W2				
			GND						W22				
			GND						W27				
			GND						W29				
			GND						W34				
			GND						W35				
			GND						W38				
			GND						W39				
			GND						Y14				
			GND						Y19				
			GND						Y24				
			GND						Y29				
			GND						Y32				
			GND						Y33				
			GND						Y36				
			GND						Y37				
			GND						Y4				
			GNDSENSE						AE16				
			VCC						AA14				
			VCC						AA15				
			VCC						AA17				
			VCC						AA18				
			VCC						AA19				
			VCC						AA20				
			VCC						AA22				
			VCC						AA23				
			VCC						AA24				
			VCC						AB14				
			VCC						AB15				
			VCC						AB16				
			VCC						AB17				
			VCC						AB19				
			VCC						AB20				
			VCC						AB21				
			VCC						AB22				
			VCC						AB24				
			VCC						AC17				
			VCC						AC18				
			VCC						AC22				
			VCC						AD14				
			VCC						AD18				
			VCC						AD19				
			VCC						AD20				
			VCC						AD21				
			VCC						AD23				
			VCC						AD24				
			VCC						AE18				

Bank Number	Index within I/O Bank *(1)*	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	KF40	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			VCC						AE20				
			VCC						AE21				
			VCC						AE22				
			VCC						AE23				
			VCC						AF14				
			VCC						AF17				
			VCC						AF18				
			VCC						AF19				
			VCC						AF20				
			VCC						AF22				
			VCC						AF23				
			VCC						AF24				
			VCC						AG21				
			VCC						N18				
			VCC						N22				
			VCC						P14				
			VCC						P15				
			VCC						P16				
			VCC						P18				
			VCC						P19				
			VCC						P20				
			VCC						P21				
			VCC						P23				
			VCC						P24				
			VCC						R15				
			VCC						R16				
			VCC						R17				
			VCC						R18				
			VCC						R20				
			VCC						R21				
			VCC						R22				
			VCC						R23				
			VCC						T14				
			VCC						T15				
			VCC						T17				
			VCC						T18				
			VCC						T19				
			VCC						T20				
			VCC						T22				
			VCC						T23				
			VCC						T24				
			VCC						U16				
			VCC						U20				
			VCC						U21				
			VCC						V14				
			VCC						V16				
			VCC						V17				
			VCC						V18				
			VCC						V19				
			VCC						V21				
			VCC						V22				
			VCC						V23				
			VCC						V24				
			VCC						W15				
			VCC						W16				
			VCC						W18				
			VCC						W20				
			VCC						W21				
			VCC						W23				
			VCC						W24				
			VCC						Y17				
			VCC						Y21				
			VCCPT						AC14				
			VCCPT						AC16				
			VCCPT						AC19				
			VCCPT						AC21				
			VCCPT						AC23				
			VCCPT						AC24				
			VCCPT						U14				
			VCCPT						U15				
			VCCPT						U17				
			VCCPT						U19				
			VCCPT						U22				
			VCCPT						U24				
			DNU						AV31				
			DNU						AV32				
			DNU						AD15				
			DNU						AE15				
			DNU						AD16				
			VCCPGM						AG17				
			VCCPGM						AH17				

Bank Number	Index within I/O Bank *(1)*	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	KF40	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			TEMPDIODEn						B14				
			TEMPDIODEp						B15				
			VCCBAT						AG16				
			VCCA_PLL						W14				
			VCCA_PLL						W19				
			VCCIO2A						AK19				
			VCCIO2A						AL16				
			VCCIO2A						AM18				
			VCCIO2G						AL21				
			VCCIO2G						AN20				
			VCCIO2G						AP22				
			VCCIO2H						AK24				
			VCCIO2H						AM23				
			VCCIO2H						AN25				
			VCCIO2I						AC25				
			VCCIO2I						AD27				
			VCCIO2I						AF26				
			VCCIO2J						F16				
			VCCIO2J						H15				
			VCCIO2J						J17				
			VCCIO2K						P27				
			VCCIO2K						T26				
			VCCIO2K						V25				
			VCCIO2L						H25				
			VCCIO2L						J22				
			VCCIO2L						K24				
			VCCIO3A						AJ12				
			VCCIO3A						AL11				
			VCCIO3A						AM13				
			VCCIO3B						AF11				
			VCCIO3B						AH10				
			VCCIO3B						AK9				
			VCCIO3C						AC10				
			VCCIO3C						AD7				
			VCCIO3C						AF6				
			VCCIO3D						AA11				
			VCCIO3D						AA6				
			VCCIO3D						AB8				
			VCCIO3E						V10				
			VCCIO3E						W7				
			VCCIO3E						Y9				
			VCCIO3F						P7				
			VCCIO3F						R9				
			VCCIO3F						T11				
			VCCIO3G						G8				
			VCCIO3G						K9				
			VCCIO3G						N10				
			VCCIO3H						G13				
			VCCIO3H						J12				
			VCCIO3H						K14				
2A		VREFB2AN0	VREFB2AN0						AH19				
2G		VREFB2GN0	VREFB2GN0						AH22				
2H		VREFB2HN0	VREFB2HN0						AH24				
2I		VREFB2IN0	VREFB2IN0						AA25				
2J		VREFB2JN0	VREFB2JN0						M16				
2K		VREFB2KN0	VREFB2KN0						P25				
2L		VREFB2LN0	VREFB2LN0						M20				
3A		VREFB3AN0	VREFB3AN0						AG14				
3B		VREFB3BN0	VREFB3BN0						AE13				
3C		VREFB3CN0	VREFB3CN0						AC13				
3D		VREFB3DN0	VREFB3DN0						AA13				
3E		VREFB3EN0	VREFB3EN0						W13				
3F		VREFB3FN0	VREFB3FN0						V13				
3G		VREFB3GN0	VREFB3GN0						R13				
3H		VREFB3HN0	VREFB3HN0						M14				
			VREFN_ADC						A14				
			VREFP_ADC						A13				
			NC						E22				
			NC						K21				
			NC						J21				
			NC						J18				
			NC						F22				
			NC						K18				
			NC						E23				
			NC						G21				
			NC						H21				
			NC						H22				
			NC						H19				
			NC						D23				
			NC						C23				
			NC						F23				

Bank Number	Index within I/O Bank *(1)*	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	KF40	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			NC						G22				
			NC						J19				
			NC						L20				
			VCCH_GXBL						AA29				
			VCCH_GXBL						AE29				
			VCCH_GXBL						AJ29				
			VCCH_GXBL						J29				
			VCCH_GXBL						N29				
			VCCH_GXBL						U29				
			VCCR_GXBL1C						AL30				
			VCCR_GXBL1C						AL31				
			VCCR_GXBL1D						AG30				
			VCCR_GXBL1D						AG31				
			VCCR_GXBL1E						AC30				
			VCCR_GXBL1E						AC31				
			VCCR_GXBL1F						W30				
			VCCR_GXBL1F						W31				
			VCCR_GXBL1G						R30				
			VCCR_GXBL1G						R31				
			VCCR_GXBL1H						L30				
			VCCR_GXBL1H						L31				
			VCCT_GXBL1C						AJ30				
			VCCT_GXBL1C						AJ31				
			VCCT_GXBL1D						AE30				
			VCCT_GXBL1D						AE31				
			VCCT_GXBL1E						AA30				
			VCCT_GXBL1E						AA31				
			VCCT_GXBL1F						U30				
			VCCT_GXBL1F						U31				
			VCCT_GXBL1G						N30				
			VCCT_GXBL1G						N31				
			VCCT_GXBL1H						J30				
			VCCT_GXBL1H						J31				
			RREF_BL						AW32				
			RREF_TL						A32				
			VCCERAM						Y15				
			VCCERAM						Y16				
			VCCERAM						Y18				
			VCCERAM						Y20				
			VCCERAM						Y22				
			VCCERAM						Y23				
			VCCLSENSE						AE17				
			VCCP						AF15				
			VCCP						AG15				
			VCCP						AG19				
			VCCP						AG20				
			VCCP						AG22				
			VCCP						AG24				
			VCCP						N14				
			VCCP						N16				
			VCCP						N17				
			VCCP						N19				
			VCCP						N21				
			VCCP						N23				
			VCCP						N24				
			VSIGN_0						D15				
			VSIGN_1						E16				
			VSIGP_0						D14				
			VSIGP_1						E15				

Note:

(1) For more information about the external memory interface schemes of the pins with indices, refer to the Arria10EMIF.xls

Version Number	Date	Changes Made
1.0	9/25/2014	Initial release.
1.1	11/16/2015	Removed Pin List F36.
1.2	3/24/2017	Rebranded as Intel.