

Bank Number	Index within I/O Bank (2)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	F29	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
1D			REFCLK_GXBL1D_CHTp						N24				
1D			REFCLK_GXBL1D_CHTn						N23				
1D			GXBL1D_TX_CH5n						E27				
1D			GXBL1D_TX_CH5p						E28				
1D			GXBL1D_RX_CH5n,GXBL1D_REFCLK5n						D25				
1D			GXBL1D_RX_CH5p,GXBL1D_REFCLK5p						D26				
1D			GXBL1D_TX_CH4n						G27				
1D			GXBL1D_TX_CH4p						G28				
1D			GXBL1D_RX_CH4n,GXBL1D_REFCLK4n						F25				
1D			GXBL1D_RX_CH4p,GXBL1D_REFCLK4p						F26				
1D			GXBL1D_TX_CH3n						J27				
1D			GXBL1D_TX_CH3p						J28				
1D			GXBL1D_RX_CH3n,GXBL1D_REFCLK3n						H25				
1D			GXBL1D_RX_CH3p,GXBL1D_REFCLK3p						H26				
1D			GXBL1D_TX_CH2n						L27				
1D			GXBL1D_TX_CH2p						L28				
1D			GXBL1D_RX_CH2n,GXBL1D_REFCLK2n						K25				
1D			GXBL1D_RX_CH2p,GXBL1D_REFCLK2p						K26				
1D			GXBL1D_TX_CH1n						N27				
1D			GXBL1D_TX_CH1p						N28				
1D			GXBL1D_RX_CH1n,GXBL1D_REFCLK1n						M25				
1D			GXBL1D_RX_CH1p,GXBL1D_REFCLK1p						M26				
1D			GXBL1D_TX_CH0n						R27				
1D			GXBL1D_TX_CH0p						R28				
1D			GXBL1D_RX_CH0n,GXBL1D_REFCLK0n						P25				
1D			GXBL1D_RX_CH0p,GXBL1D_REFCLK0p						P26				
1D			REFCLK_GXBL1D_CHBp						R24				
1D			REFCLK_GXBL1D_CHBn						R23				
1C			REFCLK_GXBL1C_CHTp						U24				
1C			REFCLK_GXBL1C_CHTn						U23				
1C			GXBL1C_TX_CH5n						U27				
1C			GXBL1C_TX_CH5p						U28				
1C			GXBL1C_RX_CH5n,GXBL1C_REFCLK5n						T25				
1C			GXBL1C_RX_CH5p,GXBL1C_REFCLK5p						T26				
1C			GXBL1C_TX_CH4n						W27				
1C			GXBL1C_TX_CH4p						W28				
1C			GXBL1C_RX_CH4n,GXBL1C_REFCLK4n						V25				
1C			GXBL1C_RX_CH4p,GXBL1C_REFCLK4p						V26				
1C			GXBL1C_TX_CH3n						AA27				
1C			GXBL1C_TX_CH3p						AA28				
1C			GXBL1C_RX_CH3n,GXBL1C_REFCLK3n						Y25				
1C			GXBL1C_RX_CH3p,GXBL1C_REFCLK3p						Y26				
1C			GXBL1C_TX_CH2n						AC27				
1C			GXBL1C_TX_CH2p						AC28				
1C			GXBL1C_RX_CH2n,GXBL1C_REFCLK2n						AB25				
1C			GXBL1C_RX_CH2p,GXBL1C_REFCLK2p						AB26				
1C			GXBL1C_TX_CH1n						AE27				
1C			GXBL1C_TX_CH1p						AE28				
1C			GXBL1C_RX_CH1n,GXBL1C_REFCLK1n						AD25				
1C			GXBL1C_RX_CH1p,GXBL1C_REFCLK1p						AD26				
1C			GXBL1C_TX_CH0n						AG27				
1C			GXBL1C_TX_CH0p						AG28				
1C			GXBL1C_RX_CH0n,GXBL1C_REFCLK0n						AF25				
1C			GXBL1C_RX_CH0p,GXBL1C_REFCLK0p						AF26				
1C			REFCLK_GXBL1C_CHBp						W24				
1C			REFCLK_GXBL1C_CHBn						W23				
2L	47	VREFB2LN0	IO						H16	DQ0	DQ0	DQ0	DQ0
2L	46	VREFB2LN0	IO						H17	DQ0	DQ0	DQ0	DQ0
2L	45	VREFB2LN0	IO						J19	DQS0	DQ0	DQ0	DQ0
2L	44	VREFB2LN0	IO						J18	DQS0	DQ0	DQ0	DQ0
2L	43	VREFB2LN0	IO						K17	DQ0	DQ0	DQ0	DQ0
2L	42	VREFB2LN0	IO						J17	DQ0	DQ0	DQ0	DQ0
2L	41	VREFB2LN0	IO						F18	DQSn1	DQSn0/CQn0	DQ0	DQ0
2L	40	VREFB2LN0	IO						F17	DQS1	DQS0/CQ0	DQ0	DQ0
2L	39	VREFB2LN0	IO						H18	DQ1	DQ0	DQ0	DQ0
2L	38	VREFB2LN0	IO						G18	DQ1	DQ0	DQ0	DQ0
2L	37	VREFB2LN0	IO						G19	DQ1	DQ0	DQSn0/CQn0	DQ0
2L	36	VREFB2LN0	IO						G20	DQ1	DQ0	DQS0/CQ0	DQ0
2L	35	VREFB2LN0	IO						E21	DQ2	DQ1	DQ0	DQ0
2L	34	VREFB2LN0	IO						D22	DQ2	DQ1	DQ0	DQ0
2L	33	VREFB2LN0	IO						E23	DQSn2	DQ1	DQ0	DQ0
2L	32	VREFB2LN0	IO						D23	DQS2	DQ1	DQ0	DQ0
2L	31	VREFB2LN0	IO						F22	DQ2	DQ1	DQ0	DQ0
2L	30	VREFB2LN0	IO						E22	DQ2	DQ1	DQ0	DQ0
2L	29	VREFB2LN0	IO	PLL_2L_CLKOUT1n					C22	DQSn3	DQSn1/CQn1	DQ0	DQ0
2L	28	VREFB2LN0	IO	PLL_2L_CLKOUT1p,PLL_2L_CLKOUT1,PLL_2L_FB1					C23	DQS3	DQS1/CQ1	DQ0	DQ0
2L	27	VREFB2LN0	IO						G21	DQ3	DQ1	DQ0	DQ0
2L	26	VREFB2LN0	IO	RZQ_2L					F21	DQ3	DQ1	DQ0	DQ0
2L	25	VREFB2LN0	IO	CLK_2L_1n					G23	DQ3	DQ1	DQ0	DQ0
2L	24	VREFB2LN0	IO	CLK_2L_1p					F23	DQ3	DQ1	DQ0	DQ0
2L	23	VREFB2LN0	IO	CLK_2L_0n					H23	DQ4	DQ2	DQ1	DQ0
2L	22	VREFB2LN0	IO	CLK_2L_0p					J23	DQ4	DQ2	DQ1	DQ0
2L	21	VREFB2LN0	IO						K21	DQSn4	DQ2	DQ1	DQSn0/CQn0
2L	20	VREFB2LN0	IO						J20	DQS4	DQ2	DQ1	DQS0/CQ0
2L	19	VREFB2LN0	IO	PLL_2L_CLKOUT0n					H22	DQ2	DQ1	DQ0	DQ0
2L	18	VREFB2LN0	IO	PLL_2L_CLKOUT0p,PLL_2L_CLKOUT0,PLL_2L_FB0					J22	DQ4	DQ2	DQ1	DQ0
2L	17	VREFB2LN0	IO						H21	DQSn5	DQSn2/CQn2	DQ1	DQ0
2L	16	VREFB2LN0	IO						H20	DQS5	DQS2/CQ2	DQ1	DQ0
2L	15	VREFB2LN0	IO						K20	DQ5	DQ2	DQ1	DQ0
2L	14	VREFB2LN0	IO						K19	DQ5	DQ2	DQ1	DQ0
2L	13	VREFB2LN0	IO						K22	DQ5	DQ2	DQSn1/CQn1	DQ0
2L	12	VREFB2LN0	IO						K23	DQ5	DQ2	DQS1/CQ1	DQ0
2L	11	VREFB2LN0	IO						D18	DQ6	DQ3	DQ1	DQ0

Bank Number	Index within I/O Bank (2)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	F29	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
3A	43	VREFB3A0	IO				LVDS3A_3n	No	Y6	DQ88	DQ44	DQ22	DQ11
3A	42	VREFB3A0	IO				LVDS3A_3p	No	Y7	DQ88	DQ44	DQ22	DQ11
3A	41	VREFB3A0	IO				LVDS3A_4n	Yes	Y5	DQSn89	DQSn44/CQn44	DQ22	DQ11
3A	40	VREFB3A0	IO				LVDS3A_4p	Yes	W5	DQSn89	DQSn44/CQ44	DQ22	DQ11
3A	39	VREFB3A0	IO				LVDS3A_5n	No	Y2	DQ89	DQ44	DQ22	DQ11
3A	38	VREFB3A0	IO				LVDS3A_5p	No	Y1	DQ89	DQ44	DQ22	DQ11
3A	37	VREFB3A0	IO				LVDS3A_6n	Yes	AA8	DQ89	DQ44	DQSn22/CQn22	DQ11
3A	36	VREFB3A0	IO				LVDS3A_6p	Yes	AA9	DQ89	DQ44	DQSn22/CQ22	DQ11
3A	35	VREFB3A0	IO				LVDS3A_7n	No	AB4	DQ90	DQ45	DQ22	DQ11
3A	34	VREFB3A0	IO				LVDS3A_7p	No	AC5	DQ90	DQ45	DQ22	DQ11
3A	33	VREFB3A0	IO				LVDS3A_8n	Yes	AA1	DQSn90	DQ45	DQ22	DQ11
3A	32	VREFB3A0	IO				LVDS3A_8p	Yes	AB1	DQSn90	DQ45	DQ22	DQ11
3A	31	VREFB3A0	IO				LVDS3A_9n	No	AB5	DQ90	DQ45	DQ22	DQ11
3A	30	VREFB3A0	IO				LVDS3A_9p	No	AB6	DQ90	DQ45	DQ22	DQ11
3A	29	VREFB3A0	IO	PLL_3A_CLKOUT1n			LVDS3A_10n	Yes	AB3	DQSn91	DQSn45/CQn45	DQ22	DQ11
3A	28	VREFB3A0	IO	PLL_3A_CLKOUT1p,PLL_3A_CLKOUT1,PLL_3A_FB1			LVDS3A_10p	Yes	AA2	DQSn91	DQSn45/CQ45	DQ22	DQ11
3A	27	VREFB3A0	IO				LVDS3A_11n	No	AA4	DQ91	DQ45	DQ22	DQ11
3A	26	VREFB3A0	IO	RZQ_3A			LVDS3A_11p	No	AA3	DQ91	DQ45	DQ22	DQ11
3A	25	VREFB3A0	IO	CLK_3A_1n			LVDS3A_12n	Yes	AA7	DQ91	DQ45	DQ22	DQ11
3A	24	VREFB3A0	IO	CLK_3A_1p			LVDS3A_12p	Yes	AA6	DQ91	DQ45	DQ22	DQ11
3A	23	VREFB3A0	IO	CLK_3A_0n			LVDS3A_13n	No	AC3	DQ92	DQ46	DQ23	DQ11
3A	22	VREFB3A0	IO	CLK_3A_0p			LVDS3A_13p	No	AD3	DQ92	DQ46	DQ23	DQ11
3A	21	VREFB3A0	IO				LVDS3A_14n	Yes	AF2	DQSn92	DQ46	DQ23	DQSn11/CQn11
3A	20	VREFB3A0	IO				LVDS3A_14p	Yes	AE1	DQSn92	DQ46	DQ23	DQSn11/CQ11
3A	19	VREFB3A0	IO	PLL_3A_CLKOUT0n			LVDS3A_15n	No	AC2	DQ92	DQ46	DQ23	DQ11
3A	18	VREFB3A0	IO	PLL_3A_CLKOUT0p,PLL_3A_CLKOUT0,PLL_3A_FB0			LVDS3A_15p	No	AC1	DQ92	DQ46	DQ23	DQ11
3A	17	VREFB3A0	IO				LVDS3A_16n	Yes	AD2	DQSn93	DQSn46/CQn46	DQ23	DQ11
3A	16	VREFB3A0	IO				LVDS3A_16p	Yes	AE2	DQSn93	DQSn46/CQ46	DQ23	DQ11
3A	15	VREFB3A0	IO				LVDS3A_17n	No	AF1	DQ93	DQ46	DQ23	DQ11
3A	14	VREFB3A0	IO				LVDS3A_17p	No	AG1	DQ93	DQ46	DQ23	DQ11
3A	13	VREFB3A0	IO				LVDS3A_18n	Yes	AF3	DQ93	DQ46	DQSn23/CQn23	DQ11
3A	12	VREFB3A0	IO				LVDS3A_18p	Yes	AG3	DQ93	DQ46	DQSn23/CQ23	DQ11
3A	11	VREFB3A0	IO				LVDS3A_19n	No	AH3	DQ94	DQ47	DQ23	DQ11
3A	10	VREFB3A0	IO				LVDS3A_19p	No	AH2	DQ94	DQ47	DQ23	DQ11
3A	9	VREFB3A0	IO				LVDS3A_20n	Yes	AD4	DQSn94	DQ47	DQ23	DQ11
3A	8	VREFB3A0	IO				LVDS3A_20p	Yes	AE4	DQSn94	DQ47	DQ23	DQ11
3A	7	VREFB3A0	IO				LVDS3A_21n	No	AC7	DQ94	DQ47	DQ23	DQ11
3A	6	VREFB3A0	IO				LVDS3A_21p	No	AC6	DQ94	DQ47	DQ23	DQ11
3A	5	VREFB3A0	IO				LVDS3A_22n	Yes	AE6	DQSn95	DQSn47/CQn47	DQ23	DQ11
3A	4	VREFB3A0	IO				LVDS3A_22p	Yes	AF6	DQSn95	DQSn47/CQ47	DQ23	DQ11
3A	3	VREFB3A0	IO				LVDS3A_23n	No	AF4	DQ95	DQ47	DQ23	DQ11
3A	2	VREFB3A0	IO				LVDS3A_23p	No	AG4	DQ95	DQ47	DQ23	DQ11
3A	1	VREFB3A0	IO				LVDS3A_24n	Yes	AD5	DQ95	DQ47	DQ23	DQ11
3A	0	VREFB3A0	IO				LVDS3A_24p	Yes	AE5	DQ95	DQ47	DQ23	DQ11
			GND						AB10				
CSS			TDO		TDO				W10				
CSS			TMS		TMS				AH6				
CSS			TRST		TRST				AF8				
CSS			TCK		TCK				Y9				
CSS			TDI		TDI				AC10				
CSS			MSEL0		MSEL0				AE7				
CSS			MSEL1		MSEL1				AD7				
CSS			MSEL2		MSEL2				AB8				
CSS			nIO_PULLUP		nIO_PULLUP				AD8				
CSS			nSTATUS		nSTATUS				AF7				
CSS			CONF_DONE		CONF_DONE				AG8				
			GND						AD10				
CSS			nCONFIG		nCONFIG				AC8				
CSS			nCE		nCE				AB9				
CSS			nCS00		nCS00				AH8				
CSS			nCS01		nCS01				AH7				
CSS			nCS02		nCS02				AF9				
CSS			AS_DATA0,ASDO		AS_DATA0,ASDO				AE9				
CSS			AS_DATA1		AS_DATA1				AG6				
CSS			AS_DATA2		AS_DATA2				AG5				
CSS			AS_DATA3		AS_DATA3				AH5				
CSS			DCLK		DCLK				AD9				
			ADCGND						G10				
			GND						J13				
			GND						H13				
			GND						K14				
			GND						L13				
			GND						L14				
			GND						M13				
			GND						J14				
			GND						A10				
			GND						A15				
			GND						A20				
			GND						A25				
			GND						A5				
			GND						AA10				
			GND						AA24				
			GND						AA25				
			GND						AA26				
			GND						AB17				
			GND						AB2				
			GND						AB22				
			GND						AB24				
			GND						AB27				
			GND						AB28				
			GND						AB7				
			GND						AC24				
			GND						AC25				

Bank Number	Index within I/O Bank (2)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	F29	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			GND						AC26				
			GND						AC4				
			GND						AC9				
			GND						AD1				
			GND						AD11				
			GND						AD16				
			GND						AD21				
			GND						AD24				
			GND						AD27				
			GND						AD28				
			GND						AD6				
			GND						AE13				
			GND						AE18				
			GND						AE24				
			GND						AE25				
			GND						AE26				
			GND						AE3				
			GND						AE8				
			GND						AF10				
			GND						AF15				
			GND						AF20				
			GND						AF24				
			GND						AF27				
			GND						AF28				
			GND						AF5				
			GND						AG12				
			GND						AG17				
			GND						AG2				
			GND						AG22				
			GND						AG24				
			GND						AG25				
			GND						AG26				
			GND						AG7				
			GND						AH14				
			GND						AH19				
			GND						AH26				
			GND						AH27				
			GND						AH4				
			GND						AH9				
			GND						B17				
			GND						B2				
			GND						B22				
			GND						B27				
			GND						B28				
			GND						B7				
			GND						C19				
			GND						C24				
			GND						C25				
			GND						C26				
			GND						C27				
			GND						C4				
			GND						C9				
			GND						D1				
			GND						D11				
			GND						D16				
			GND						D21				
			GND						D24				
			GND						D27				
			GND						D28				
			GND						D6				
			GND						E13				
			GND						E24				
			GND						E25				
			GND						E26				
			GND						E3				
			GND						E8				
			GND						F10				
			GND						F20				
			GND						F24				
			GND						F27				
			GND						F28				
			GND						F5				
			GND						G12				
			GND						G17				
			GND						G2				
			GND						G22				
			GND						G24				
			GND						G25				
			GND						G26				
			GND						H14				
			GND						H24				
			GND						H27				
			GND						H28				
			GND						H4				
			GND						J1				
			GND						J11				
			GND						J16				
			GND						J21				
			GND						J24				
			GND						J25				
			GND						J26				
			GND						J6				
			GND						K13				

Bank Number	Index within I/O Bank (2)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	F29	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			GND						K24				
			GND						K27				
			GND						K28				
			GND						K3				
			GND						L10				
			GND						L15				
			GND						L20				
			GND						L21				
			GND						L22				
			GND						L23				
			GND						L24				
			GND						L25				
			GND						L26				
			GND						M12				
			GND						M17				
			GND						M2				
			GND						M21				
			GND						M27				
			GND						M28				
			GND						N14				
			GND						N19				
			GND						N21				
			GND						N22				
			GND						N25				
			GND						N26				
			GND						N4				
			GND						N9				
			GND						P1				
			GND						P11				
			GND						P16				
			GND						P21				
			GND						P22				
			GND						P27				
			GND						P28				
			GND						R13				
			GND						R18				
			GND						R21				
			GND						R22				
			GND						R25				
			GND						R26				
			GND						R3				
			GND						R8				
			GND						T10				
			GND						T15				
			GND						T20				
			GND						T21				
			GND						T27				
			GND						T28				
			GND						U12				
			GND						U17				
			GND						U2				
			GND						U21				
			GND						U22				
			GND						U25				
			GND						U26				
			GND						V14				
			GND						V19				
			GND						V21				
			GND						V22				
			GND						V27				
			GND						V28				
			GND						V9				
			GND						W1				
			GND						W11				
			GND						W16				
			GND						W22				
			GND						W25				
			GND						W26				
			GND						Y13				
			GND						Y22				
			GND						Y23				
			GND						Y24				
			GND						Y27				
			GND						Y28				
			GND						Y3				
			GNDSENSE						T12				
			VCC						L11				
			VCC						L12				
			VCC						L16				
			VCC						L17				
			VCC						L18				
			VCC						L19				
			VCC						M10				
			VCC						M11				
			VCC						M15				
			VCC						M16				
			VCC						M19				
			VCC						M20				
			VCC						N10				
			VCC						N12				
			VCC						N13				
			VCC						N15				
			VCC						N16				

Bank Number	Index within I/O Bank (2)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	F29	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			VCC						N18				
			VCC						N20				
			VCC						P10				
			VCC						P12				
			VCC						P14				
			VCC						P17				
			VCC						P18				
			VCC						P19				
			VCC						P20				
			VCC						R10				
			VCC						R11				
			VCC						R14				
			VCC						R15				
			VCC						R16				
			VCC						R19				
			VCC						R20				
			VCC						T11				
			VCC						T14				
			VCC						T16				
			VCC						T17				
			VCC						T18				
			VCC						T19				
			VCC						U10				
			VCC						U14				
			VCC						U15				
			VCC						U18				
			VCC						U19				
			VCC						U20				
			VCC						V10				
			VCC						V11				
			VCC						V13				
			VCC						V15				
			VCC						V16				
			VCC						V17				
			VCC						V20				
			VCC						W12				
			VCC						W18				
			VCC						W19				
			VCCPT						M14				
			VCCPT						M18				
			VCCPT						V12				
			VCCPT						V18				
			DNU						AH23				
			DNU						AH24				
			DNU						Y11				
			DNU						Y12				
			DNU						Y10				
			VCCPGM						W14				
			VCCPGM						Y14				
			TEMPDIODEn						H10				
			TEMPDIODEp						H11				
			VCCBAT						W13				
			VCCA_PLL						P13				
			VCCA_PLL						P15				
			VCCIO2A						AA15				
			VCCIO2A						AB12				
			VCCIO2A						AC14				
			VCCIO2J						AA20				
			VCCIO2J						AC19				
			VCCIO2J						Y18				
			VCCIO2K						B12				
			VCCIO2K						C14				
			VCCIO2K						F15				
			VCCIO2L						E18				
			VCCIO2L						H19				
			VCCIO2L						K18				
			VCCIO3A						AA5				
			VCCIO3A						W6				
			VCCIO3A						Y8				
			VCCIO3B						T5				
			VCCIO3B						U7				
			VCCIO3B						V4				
			VCCIO3C						L5				
			VCCIO3C						M7				
			VCCIO3C						P6				
			VCCIO3D						G7				
			VCCIO3D						H9				
			VCCIO3D						K8				
2A		VREFB2AN0	VREFB2AN0						W15				
2J		VREFB2JN0	VREFB2JN0						W17				
2K		VREFB2KN0	VREFB2KN0						E9				
2L		VREFB2LN0	VREFB2LN0						K16				
3A		VREFB3AN0	VREFB3AN0						W9				
3B		VREFB3BN0	VREFB3BN0						U9				
3C		VREFB3CN0	VREFB3CN0						R9				
3D		VREFB3DN0	VREFB3DN0						M9				
			VREFN_ADC						J10				
			VREFP_ADC						K10				
			NC						G14				
			NC						K11				
			NC						K12				
			NC						F12				
			NC						G16				

Bank Number	Index within I/O Bank (2)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	F29	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			NC						D12				
			NC						J12				
			NC						H12				
			NC						F14				
			NC						G13				
			NC						J15				
			NC						H15				
			NC						F16				
			NC						E12				
			NC						G15				
			NC						K15				
			NC						F13				
			VCCH_GXBL						M22				
			VCCH_GXBL						T22				
			VCCR_GXBL1C						V23				
			VCCR_GXBL1C						V24				
			VCCR_GXBL1D						P23				
			VCCR_GXBL1D						P24				
			VCCT_GXBL1C						T23				
			VCCT_GXBL1C						T24				
			VCCT_GXBL1D						M23				
			VCCT_GXBL1D						M24				
			RREF_BL						AH25				
			RREF_TL						C28				
			VCCERAM						R12				
			VCCERAM						R17				
			VCCLSENSE						T13				
			VCCP						N11				
			VCCP						N17				
			VCCP						U11				
			VCCP						U13				
			VCCP						U16				
			VSIGN_0						E11				
			VSIGN_1						G11				
			VSIGP_0						E10				
			VSIGP_1						F11				

Notes:

(1) For more information about pin definition and pin connection guidelines, refer to the

[Arria 10 GT, GX, and SX Device Family Pin Connection Guidelines](#).

(2) For more information about the external memory interface schemes of the pins with indices, refer to the

[Arria10EMIF.xls](#)

Bank Number	Index within I/O Bank (2)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	F34	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
1F			REFCLK_GXBL1F_CHTp						M28				
1F			REFCLK_GXBL1F_CHTn						M27				
1F			GXBL1F_TX_CH5n						B31				
1F			GXBL1F_TX_CH5p						B32				
1F			GXBL1F_RX_CH5n,GXBL1F_REFCLK5n						C29				
1F			GXBL1F_RX_CH5p,GXBL1F_REFCLK5p						C30				
1F			GXBL1F_TX_CH4n						D31				
1F			GXBL1F_TX_CH4p						D32				
1F			GXBL1F_RX_CH4n,GXBL1F_REFCLK4n						E29				
1F			GXBL1F_RX_CH4p,GXBL1F_REFCLK4p						E30				
1F			GXBL1F_TX_CH3n						F31				
1F			GXBL1F_TX_CH3p						F32				
1F			GXBL1F_RX_CH3n,GXBL1F_REFCLK3n						G29				
1F			GXBL1F_RX_CH3p,GXBL1F_REFCLK3p						G30				
1F			GXBL1F_TX_CH2n						H31				
1F			GXBL1F_TX_CH2p						H32				
1F			GXBL1F_RX_CH2n,GXBL1F_REFCLK2n						J29				
1F			GXBL1F_RX_CH2p,GXBL1F_REFCLK2p						J30				
1F			GXBL1F_TX_CH1n						K33				
1F			GXBL1F_TX_CH1p						K34				
1F			GXBL1F_RX_CH1n,GXBL1F_REFCLK1n						K31				
1F			GXBL1F_RX_CH1p,GXBL1F_REFCLK1p						K32				
1F			GXBL1F_TX_CH0n						E33				
1F			GXBL1F_TX_CH0p						E34				
1F			GXBL1F_RX_CH0n,GXBL1F_REFCLK0n						L29				
1F			GXBL1F_RX_CH0p,GXBL1F_REFCLK0p						L30				
1F			REFCLK_GXBL1F_CHBp						P28				
1F			REFCLK_GXBL1F_CHBn						P27				
1E			REFCLK_GXBL1E_CHTp						T28				
1E			REFCLK_GXBL1E_CHTn						T27				
1E			GXBL1E_TX_CH5n						G33				
1E			GXBL1E_TX_CH5p						G34				
1E			GXBL1E_RX_CH5n,GXBL1E_REFCLK5n						M31				
1E			GXBL1E_RX_CH5p,GXBL1E_REFCLK5p						M32				
1E			GXBL1E_TX_CH4n						J33				
1E			GXBL1E_TX_CH4p						J34				
1E			GXBL1E_RX_CH4n,GXBL1E_REFCLK4n						N29				
1E			GXBL1E_RX_CH4p,GXBL1E_REFCLK4p						N30				
1E			GXBL1E_TX_CH3n						L33				
1E			GXBL1E_TX_CH3p						L34				
1E			GXBL1E_RX_CH3n,GXBL1E_REFCLK3n						P31				
1E			GXBL1E_RX_CH3p,GXBL1E_REFCLK3p						P32				
1E			GXBL1E_TX_CH2n						N33				
1E			GXBL1E_TX_CH2p						N34				
1E			GXBL1E_RX_CH2n,GXBL1E_REFCLK2n						R29				
1E			GXBL1E_RX_CH2p,GXBL1E_REFCLK2p						R30				
1E			GXBL1E_TX_CH1n						R33				
1E			GXBL1E_TX_CH1p						R34				
1E			GXBL1E_RX_CH1n,GXBL1E_REFCLK1n						T31				
1E			GXBL1E_RX_CH1p,GXBL1E_REFCLK1p						T32				
1E			GXBL1E_TX_CH0n						U33				
1E			GXBL1E_TX_CH0p						U34				
1E			GXBL1E_RX_CH0n,GXBL1E_REFCLK0n						U29				
1E			GXBL1E_RX_CH0p,GXBL1E_REFCLK0p						U30				
1E			REFCLK_GXBL1E_CHBp						V28				
1E			REFCLK_GXBL1E_CHBn						V27				
1D			REFCLK_GXBL1D_CHTp						Y28				
1D			REFCLK_GXBL1D_CHTn						Y27				
1D			GXBL1D_TX_CH5n						W33				
1D			GXBL1D_TX_CH5p						W34				
1D			GXBL1D_RX_CH5n,GXBL1D_REFCLK5n						V31				
1D			GXBL1D_RX_CH5p,GXBL1D_REFCLK5p						V32				
1D			GXBL1D_TX_CH4n						AA33				
1D			GXBL1D_TX_CH4p						AA34				
1D			GXBL1D_RX_CH4n,GXBL1D_REFCLK4n						W29				
1D			GXBL1D_RX_CH4p,GXBL1D_REFCLK4p						W30				
1D			GXBL1D_TX_CH3n						AC33				
1D			GXBL1D_TX_CH3p						AC34				
1D			GXBL1D_RX_CH3n,GXBL1D_REFCLK3n						Y31				
1D			GXBL1D_RX_CH3p,GXBL1D_REFCLK3p						Y32				
1D			GXBL1D_TX_CH2n						AE33				
1D			GXBL1D_TX_CH2p						AE34				
1D			GXBL1D_RX_CH2n,GXBL1D_REFCLK2n						AA29				
1D			GXBL1D_RX_CH2p,GXBL1D_REFCLK2p						AA30				
1D			GXBL1D_TX_CH1n						AG33				
1D			GXBL1D_TX_CH1p						AG34				
1D			GXBL1D_RX_CH1n,GXBL1D_REFCLK1n						AB31				
1D			GXBL1D_RX_CH1p,GXBL1D_REFCLK1p						AB32				
1D			GXBL1D_TX_CH0n						AJ33				
1D			GXBL1D_TX_CH0p						AJ34				
1D			GXBL1D_RX_CH0n,GXBL1D_REFCLK0n						AC29				
1D			GXBL1D_RX_CH0p,GXBL1D_REFCLK0p						AC30				
1D			REFCLK_GXBL1D_CHBp						AB28				
1D			REFCLK_GXBL1D_CHBn						AB27				
1C			REFCLK_GXBL1C_CHTp						AD28				
1C			REFCLK_GXBL1C_CHTn						AD27				
1C			GXBL1C_TX_CH5n						AL33				
1C			GXBL1C_TX_CH5p						AL34				
1C			GXBL1C_RX_CH5n,GXBL1C_REFCLK5n						AD31				
1C			GXBL1C_RX_CH5p,GXBL1C_REFCLK5p						AD32				
1C			GXBL1C_TX_CH4n						AN33				
1C			GXBL1C_TX_CH4p						AN34				
1C			GXBL1C_RX_CH4n,GXBL1C_REFCLK4n						AE29				

Bank Number	Index within I/O Bank (2)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	F34	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
1C			GXBL1C_RX_CH4p,GXBL1C_REFCLK4p						AE30				
1C			GXBL1C_TX_CH3n						AH31				
1C			GXBL1C_TX_CH3p						AH32				
1C			GXBL1C_RX_CH3n,GXBL1C_REFCLK3n						AF31				
1C			GXBL1C_RX_CH3p,GXBL1C_REFCLK3p						AF32				
1C			GXBL1C_TX_CH2n						AK31				
1C			GXBL1C_TX_CH2p						AK32				
1C			GXBL1C_RX_CH2n,GXBL1C_REFCLK2n						AG29				
1C			GXBL1C_RX_CH2p,GXBL1C_REFCLK2p						AG30				
1C			GXBL1C_TX_CH1n						AM31				
1C			GXBL1C_TX_CH1p						AM32				
1C			GXBL1C_RX_CH1n,GXBL1C_REFCLK1n						AJ29				
1C			GXBL1C_RX_CH1p,GXBL1C_REFCLK1p						AJ30				
1C			GXBL1C_TX_CH0n						AP31				
1C			GXBL1C_TX_CH0p						AP32				
1C			GXBL1C_RX_CH0n,GXBL1C_REFCLK0n						AL29				
1C			GXBL1C_RX_CH0p,GXBL1C_REFCLK0p						AL30				
1C			REFCLK_GXBL1C_CHBp						AF28				
1C			REFCLK_GXBL1C_CHBn						AF27				
2L	47	VREFB2LN0	IO			DIFFIO2L_1n		No	D19	DQ0	DQ0	DQ0	DQ0
2L	46	VREFB2LN0	IO			DIFFIO2L_1p		No	C19	DQ0	DQ0	DQ0	DQ0
2L	45	VREFB2LN0	IO			DIFFIO2L_2n		No	B20	DQSn0	DQ0	DQ0	DQ0
2L	44	VREFB2LN0	IO			DIFFIO2L_2p		No	B21	DQS0	DQ0	DQ0	DQ0
2L	43	VREFB2LN0	IO			DIFFIO2L_3n		No	A21	DQ0	DQ0	DQ0	DQ0
2L	42	VREFB2LN0	IO			DIFFIO2L_3p		No	B22	DQ0	DQ0	DQ0	DQ0
2L	41	VREFB2LN0	IO			DIFFIO2L_4n		No	A20	DQSn1	DQSn0/CQn0	DQ0	DQ0
2L	40	VREFB2LN0	IO			DIFFIO2L_4p		No	A19	DQS1	DQS0/CQ0	DQ0	DQ0
2L	39	VREFB2LN0	IO			DIFFIO2L_5n		No	B18	DQ1	DQ0	DQ0	DQ0
2L	38	VREFB2LN0	IO			DIFFIO2L_5p		No	A18	DQ1	DQ0	DQ0	DQ0
2L	37	VREFB2LN0	IO			DIFFIO2L_6n		No	D17	DQ1	DQ0	DQSn0/CQn0	DQ0
2L	36	VREFB2LN0	IO			DIFFIO2L_6p		No	C18	DQ1	DQ0	DQS0/CQ0	DQ0
2L	35	VREFB2LN0	IO			DIFFIO2L_7n		No	D20	DQ2	DQ1	DQ0	DQ0
2L	34	VREFB2LN0	IO			DIFFIO2L_7p		No	C20	DQ2	DQ1	DQ0	DQ0
2L	33	VREFB2LN0	IO			DIFFIO2L_8n		No	C22	DQSn2	DQ1	DQ0	DQ0
2L	32	VREFB2LN0	IO			DIFFIO2L_8p		No	D22	DQS2	DQ1	DQ0	DQ0
2L	31	VREFB2LN0	IO			DIFFIO2L_9n		No	E19	DQ2	DQ1	DQ0	DQ0
2L	30	VREFB2LN0	IO			DIFFIO2L_9p		No	F19	DQ2	DQ1	DQ0	DQ0
2L	29	VREFB2LN0	IO	PLL_2L_CLKOUT1n		DIFFIO2L_10n		No	D21	DQSn3	DQSn1/CQn1	DQ0	DQ0
2L	28	VREFB2LN0	IO	PLL_2L_CLKOUT1p,PLL_2L_CLKOUT1,PLL_2L_FB1		DIFFIO2L_10p		No	E21	DQS3	DQS1/CQ1	DQ0	DQ0
2L	27	VREFB2LN0	IO			DIFFIO2L_11n		No	F20	DQ3	DQ1	DQ0	DQ0
2L	26	VREFB2LN0	IO	RZQ_2L		DIFFIO2L_11p		No	G20	DQ3	DQ1	DQ0	DQ0
2L	25	VREFB2LN0	IO	CLK_2L_1n		DIFFIO2L_12n		No	E18	DQ3	DQ1	DQ0	DQ0
2L	24	VREFB2LN0	IO	CLK_2L_1p		DIFFIO2L_12p		No	E17	DQ3	DQ1	DQ0	DQ0
2L	23	VREFB2LN0	IO	CLK_2L_0n		DIFFIO2L_13n		No	H19	DQ4	DQ2	DQ1	DQ0
2L	22	VREFB2LN0	IO	CLK_2L_0p		DIFFIO2L_13p		No	J19	DQ4	DQ2	DQ1	DQ0
2L	21	VREFB2LN0	IO			DIFFIO2L_14n		No	G17	DQSn4	DQ2	DQ1	DQSn0/CQn0
2L	20	VREFB2LN0	IO			DIFFIO2L_14p		No	F18	DQS4	DQ2	DQ1	DQS0/CQ0
2L	19	VREFB2LN0	IO	PLL_2L_CLKOUT0n		DIFFIO2L_15n		No	H18	DQ4	DQ2	DQ1	DQ0
2L	18	VREFB2LN0	IO	PLL_2L_CLKOUT0p,PLL_2L_CLKOUT0,PLL_2L_FB0		DIFFIO2L_15p		No	G18	DQ4	DQ2	DQ1	DQ0
2L	17	VREFB2LN0	IO			DIFFIO2L_16n		No	F21	DQSn5	DQSn2/CQn2	DQ1	DQ0
2L	16	VREFB2LN0	IO			DIFFIO2L_16p		No	G21	DQS5	DQS2/CQ2	DQ1	DQ0
2L	15	VREFB2LN0	IO			DIFFIO2L_17n		No	H17	DQ5	DQ2	DQ1	DQ0
2L	14	VREFB2LN0	IO			DIFFIO2L_17p		No	J17	DQ5	DQ2	DQ1	DQ0
2L	13	VREFB2LN0	IO			DIFFIO2L_18n		No	H20	DQ5	DQ2	DQSn1/CQn1	DQ0
2L	12	VREFB2LN0	IO			DIFFIO2L_18p		No	J20	DQ5	DQ2	DQS1/CQ1	DQ0
2L	11	VREFB2LN0	IO			DIFFIO2L_19n		No	M20	DQ6	DQ3	DQ1	DQ0
2L	10	VREFB2LN0	IO			DIFFIO2L_19p		No	L20	DQ6	DQ3	DQ1	DQ0
2L	9	VREFB2LN0	IO			DIFFIO2L_20n		No	L19	DQSn6	DQ3	DQ1	DQ0
2L	8	VREFB2LN0	IO			DIFFIO2L_20p		No	K19	DQS6	DQ3	DQ1	DQ0
2L	7	VREFB2LN0	IO			DIFFIO2L_21n		No	J21	DQ6	DQ3	DQ1	DQ0
2L	6	VREFB2LN0	IO			DIFFIO2L_21p		No	K21	DQ6	DQ3	DQ1	DQ0
2L	5	VREFB2LN0	IO			DIFFIO2L_22n		No	L21	DQSn7	DQSn3/CQn3	DQ1	DQ0
2L	4	VREFB2LN0	IO			DIFFIO2L_22p		No	M21	DQS7	DQS3/CQ3	DQ1	DQ0
2L	3	VREFB2LN0	IO			DIFFIO2L_23n		No	L18	DQ7	DQ3	DQ1	DQ0
2L	2	VREFB2LN0	IO			DIFFIO2L_23p		No	K18	DQ7	DQ3	DQ1	DQ0
2L	1	VREFB2LN0	IO			DIFFIO2L_24n		No	M18	DQ7	DQ3	DQ1	DQ0
2L	0	VREFB2LN0	IO			DIFFIO2L_24p		No	M17	DQ7	DQ3	DQ1	DQ0
2K	47	VREFB2KN0	IO				LVDS2K_1n	No	C23	DQ8	DQ4	DQ2	DQ1
2K	46	VREFB2KN0	IO				LVDS2K_1p	No	B23	DQ8	DQ4	DQ2	DQ1
2K	45	VREFB2KN0	IO				LVDS2K_2n	Yes	A26	DQSn8	DQ4	DQ2	DQ1
2K	44	VREFB2KN0	IO				LVDS2K_2p	Yes	B26	DQS8	DQ4	DQ2	DQ1
2K	43	VREFB2KN0	IO				LVDS2K_3n	No	B27	DQ8	DQ4	DQ2	DQ1
2K	42	VREFB2KN0	IO				LVDS2K_3p	No	C27	DQ8	DQ4	DQ2	DQ1
2K	41	VREFB2KN0	IO				LVDS2K_4n	Yes	D24	DQSn9	DQSn4/CQn4	DQ2	DQ1
2K	40	VREFB2KN0	IO				LVDS2K_4p	Yes	C24	DQS9	DQS4/CQ4	DQ2	DQ1
2K	39	VREFB2KN0	IO				LVDS2K_5n	No	A25	DQ9	DQ4	DQ2	DQ1
2K	38	VREFB2KN0	IO				LVDS2K_5p	No	B25	DQ9	DQ4	DQ2	DQ1
2K	37	VREFB2KN0	IO				LVDS2K_6n	Yes	A24	DQ9	DQ4	DQSn2/CQn2	DQ1
2K	36	VREFB2KN0	IO				LVDS2K_6p	Yes	A23	DQ9	DQ4	DQS2/CQ2	DQ1
2K	35	VREFB2KN0	IO				LVDS2K_7n	No	C25	DQ10	DQ5	DQ2	DQ1
2K	34	VREFB2KN0	IO				LVDS2K_7p	No	D25	DQ10	DQ5	DQ2	DQ1
2K	33	VREFB2KN0	IO				LVDS2K_8n	Yes	D26	DQSn10	DQ5	DQ2	DQ1
2K	32	VREFB2KN0	IO				LVDS2K_8p	Yes	E26	DQS10	DQ5	DQ2	DQ1
2K	31	VREFB2KN0	IO				LVDS2K_9n	No	F23	DQ10	DQ5	DQ2	DQ1
2K	30	VREFB2KN0	IO				LVDS2K_9p	No	E22	DQ10	DQ5	DQ2	DQ1
2K	29	VREFB2KN0	IO	PLL_2K_CLKOUT1n			LVDS2K_10n	Yes	D27	DQSn11	DQSn5/CQn5	DQ2	DQ1
2K	28	VREFB2KN0	IO	PLL_2K_CLKOUT1p,PLL_2K_CLKOUT1,PLL_2K_FB1			LVDS2K_10p	Yes	E27	DQS11	DQS5/CQ5	DQ2	DQ1
2K	27	VREFB2KN0	IO				LVDS2K_11n	No	F24	DQ11	DQ5	DQ2	DQ1
2K	26	VREFB2KN0	IO	RZQ_2K			LVDS2K_11p	No	F25	DQ11	DQ5	DQ2	DQ1
2K	25	VREFB2KN0	IO	CLK_2K_1n			LVDS2K_12n	Yes	E24	DQ11	DQ5	DQ2	DQ1
2K	24	VREFB2KN0	IO	CLK_2K_1p			LVDS2K_12p	Yes	E23	DQ11	DQ5	DQ2	DQ1
2K	23	VREFB2KN0	IO	CLK_2K_0n			LVDS2K_13n	No	F26	DQ12	DQ6	DQ3	DQ1
2K	22	VREFB2KN0	IO	CLK_2K_0p			LVDS2K_13p	No	G26	DQ12	DQ6	DQ3	DQ1

Bank Number	Index within I/O Bank (2)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	F34	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
2K	21	VREFB2KN0	IO				LVDS2K_14n	Yes	J22	DQSn12	DQ6	DQ3	DQSn1/CQn1
2K	20	VREFB2KN0	IO				LVDS2K_14p	Yes	H22	DQSn12	DQ6	DQ3	DQSn1/CQn1
2K	19	VREFB2KN0	IO	PLL_2K_CLKOUT0n			LVDS2K_15n	No	H23	DQ12	DQ6	DQ3	DQ1
2K	18	VREFB2KN0	IO	PLL_2K_CLKOUT0p,PLL_2K_CLKOUT0,PLL_2K_FB0			LVDS2K_15p	No	H24	DQ12	DQ6	DQ3	DQ1
2K	17	VREFB2KN0	IO				LVDS2K_16n	Yes	G25	DQSn13	DQSn6/CQn6	DQ3	DQ1
2K	16	VREFB2KN0	IO				LVDS2K_16p	Yes	H25	DQSn13	DQSn6/CQn6	DQ3	DQ1
2K	15	VREFB2KN0	IO				LVDS2K_17n	No	G22	DQ13	DQ6	DQ3	DQ1
2K	14	VREFB2KN0	IO				LVDS2K_17p	No	G23	DQ13	DQ6	DQ3	DQ1
2K	13	VREFB2KN0	IO				LVDS2K_18n	Yes	G27	DQ13	DQ6	DQSn3/CQn3	DQ1
2K	12	VREFB2KN0	IO				LVDS2K_18p	Yes	H27	DQ13	DQ6	DQSn3/CQn3	DQ1
2K	11	VREFB2KN0	IO				LVDS2K_19n	No	K22	DQ14	DQ7	DQ3	DQ1
2K	10	VREFB2KN0	IO				LVDS2K_19p	No	K23	DQ14	DQ7	DQ3	DQ1
2K	9	VREFB2KN0	IO				LVDS2K_20n	Yes	M23	DQSn14	DQ7	DQ3	DQ1
2K	8	VREFB2KN0	IO				LVDS2K_20p	Yes	L23	DQSn14	DQ7	DQ3	DQ1
2K	7	VREFB2KN0	IO				LVDS2K_21n	No	J26	DQ14	DQ7	DQ3	DQ1
2K	6	VREFB2KN0	IO				LVDS2K_21p	No	J27	DQ14	DQ7	DQ3	DQ1
2K	5	VREFB2KN0	IO				LVDS2K_22n	Yes	J25	DQSn15	DQSn7/CQn7	DQ3	DQ1
2K	4	VREFB2KN0	IO				LVDS2K_22p	Yes	K25	DQSn15	DQSn7/CQn7	DQ3	DQ1
2K	3	VREFB2KN0	IO				LVDS2K_23n	No	J24	DQ15	DQ7	DQ3	DQ1
2K	2	VREFB2KN0	IO				LVDS2K_23p	No	K24	DQ15	DQ7	DQ3	DQ1
2K	1	VREFB2KN0	IO				LVDS2K_24n	Yes	L24	DQ15	DQ7	DQ3	DQ1
2K	0	VREFB2KN0	IO				LVDS2K_24p	Yes	M24	DQ15	DQ7	DQ3	DQ1
2J	47	VREFB2JN0	IO				LVDS2J_1n	No	AD25	DQ16	DQ8	DQ4	DQ2
2J	46	VREFB2JN0	IO				LVDS2J_1p	No	AE24	DQ16	DQ8	DQ4	DQ2
2J	45	VREFB2JN0	IO				LVDS2J_2n	Yes	AH27	DQSn16	DQ8	DQ4	DQ2
2J	44	VREFB2JN0	IO				LVDS2J_2p	Yes	AJ27	DQSn16	DQ8	DQ4	DQ2
2J	43	VREFB2JN0	IO				LVDS2J_3n	No	AH26	DQ16	DQ8	DQ4	DQ2
2J	42	VREFB2JN0	IO				LVDS2J_3p	No	AJ26	DQ16	DQ8	DQ4	DQ2
2J	41	VREFB2JN0	IO				LVDS2J_4n	Yes	AF25	DQSn17	DQSn8/CQn8	DQ4	DQ2
2J	40	VREFB2JN0	IO				LVDS2J_4p	Yes	AG25	DQSn17	DQSn8/CQn8	DQ4	DQ2
2J	39	VREFB2JN0	IO				LVDS2J_5n	No	AH25	DQ17	DQ8	DQ4	DQ2
2J	38	VREFB2JN0	IO				LVDS2J_5p	No	AJ25	DQ17	DQ8	DQ4	DQ2
2J	37	VREFB2JN0	IO				LVDS2J_6n	Yes	AD24	DQ17	DQ8	DQSn4/CQn4	DQ2
2J	36	VREFB2JN0	IO				LVDS2J_6p	Yes	AC24	DQ17	DQ8	DQSn4/CQn4	DQ2
2J	35	VREFB2JN0	IO				LVDS2J_7n	No	AM27	DQ18	DQ9	DQ4	DQ2
2J	34	VREFB2JN0	IO				LVDS2J_7p	No	AN27	DQ18	DQ9	DQ4	DQ2
2J	33	VREFB2JN0	IO				LVDS2J_8n	Yes	AP27	DQSn18	DQ9	DQ4	DQ2
2J	32	VREFB2JN0	IO				LVDS2J_8p	Yes	AP26	DQSn18	DQ9	DQ4	DQ2
2J	31	VREFB2JN0	IO				LVDS2J_9n	No	AK26	DQ18	DQ9	DQ4	DQ2
2J	30	VREFB2JN0	IO				LVDS2J_9p	No	AK27	DQ18	DQ9	DQ4	DQ2
2J	29	VREFB2JN0	IO	PLL_2J_CLKOUT1n			LVDS2J_10n	Yes	AM26	DQSn19	DQSn9/CQn9	DQ4	DQ2
2J	28	VREFB2JN0	IO	PLL_2J_CLKOUT1p,PLL_2J_CLKOUT1,PLL_2J_FB1			LVDS2J_10p	Yes	AM25	DQSn19	DQSn9/CQn9	DQ4	DQ2
2J	27	VREFB2JN0	IO				LVDS2J_11n	No	AN25	DQ19	DQ9	DQ4	DQ2
2J	26	VREFB2JN0	IO	RZQ_2J			LVDS2J_11p	No	AP25	DQ19	DQ9	DQ4	DQ2
2J	25	VREFB2JN0	IO	CLK_2J_1n			LVDS2J_12n	Yes	AL26	DQ19	DQ9	DQ4	DQ2
2J	24	VREFB2JN0	IO	CLK_2J_1p			LVDS2J_12p	Yes	AL27	DQ19	DQ9	DQ4	DQ2
2J	23	VREFB2JN0	IO	CLK_2J_0n			LVDS2J_13n	No	AP24	DQ20	DQ10	DQ5	DQ2
2J	22	VREFB2JN0	IO	CLK_2J_0p			LVDS2J_13p	No	AN24	DQ20	DQ10	DQ5	DQ2
2J	21	VREFB2JN0	IO				LVDS2J_14n	Yes	AL25	DQSn20	DQ10	DQ5	DQSn2/CQn2
2J	20	VREFB2JN0	IO				LVDS2J_14p	Yes	AL24	DQSn20	DQ10	DQ5	DQSn2/CQn2
2J	19	VREFB2JN0	IO	PLL_2J_CLKOUT0n			LVDS2J_15n	No	AP22	DQ20	DQ10	DQ5	DQ2
2J	18	VREFB2JN0	IO	PLL_2J_CLKOUT0p,PLL_2J_CLKOUT0,PLL_2J_FB0			LVDS2J_15p	No	AP21	DQ20	DQ10	DQ5	DQ2
2J	17	VREFB2JN0	IO				LVDS2J_16n	Yes	AN22	DQSn21	DQSn10/CQn10	DQ5	DQ2
2J	16	VREFB2JN0	IO				LVDS2J_16p	Yes	AM22	DQSn21	DQSn10/CQn10	DQ5	DQ2
2J	15	VREFB2JN0	IO				LVDS2J_17n	No	AN23	DQ21	DQ10	DQ5	DQ2
2J	14	VREFB2JN0	IO				LVDS2J_17p	No	AM23	DQ21	DQ10	DQ5	DQ2
2J	13	VREFB2JN0	IO				LVDS2J_18n	Yes	AP20	DQ21	DQ10	DQSn5/CQn5	DQ2
2J	12	VREFB2JN0	IO				LVDS2J_18p	Yes	AN20	DQ21	DQ10	DQSn5/CQn5	DQ2
2J	11	VREFB2JN0	IO				LVDS2J_19n	No	AE23	DQ22	DQ11	DQ5	DQ2
2J	10	VREFB2JN0	IO				LVDS2J_19p	No	AF24	DQ22	DQ11	DQ5	DQ2
2J	9	VREFB2JN0	IO				LVDS2J_20n	Yes	AG23	DQSn22	DQ11	DQ5	DQ2
2J	8	VREFB2JN0	IO				LVDS2J_20p	Yes	AF23	DQSn22	DQ11	DQ5	DQ2
2J	7	VREFB2JN0	IO				LVDS2J_21n	No	AK24	DQ22	DQ11	DQ5	DQ2
2J	6	VREFB2JN0	IO				LVDS2J_21p	No	AJ24	DQ22	DQ11	DQ5	DQ2
2J	5	VREFB2JN0	IO				LVDS2J_22n	Yes	AH24	DQSn23	DQSn11/CQn11	DQ5	DQ2
2J	4	VREFB2JN0	IO				LVDS2J_22p	Yes	AH23	DQSn23	DQSn11/CQn11	DQ5	DQ2
2J	3	VREFB2JN0	IO				LVDS2J_23n	No	AK23	DQ23	DQ11	DQ5	DQ2
2J	2	VREFB2JN0	IO				LVDS2J_23p	No	AL23	DQ23	DQ11	DQ5	DQ2
2J	1	VREFB2JN0	IO				LVDS2J_24n	Yes	AK22	DQ23	DQ11	DQ5	DQ2
2J	0	VREFB2JN0	IO				LVDS2J_24p	Yes	AJ22	DQ23	DQ11	DQ5	DQ2
2I	35	VREFB2IN0	IO				LVDS2I_7n	No	AP19	DQ26	DQ13	DQ6	DQ3
2I	34	VREFB2IN0	IO				LVDS2I_7p	No	AN19	DQ26	DQ13	DQ6	DQ3
2I	33	VREFB2IN0	IO				LVDS2I_8n	Yes	AL19	DQSn26	DQ13	DQ6	DQ3
2I	32	VREFB2IN0	IO				LVDS2I_8p	Yes	AK19	DQSn26	DQ13	DQ6	DQ3
2I	31	VREFB2IN0	IO				LVDS2I_9n	No	AJ21	DQ26	DQ13	DQ6	DQ3
2I	30	VREFB2IN0	IO				LVDS2I_9p	No	AK21	DQ26	DQ13	DQ6	DQ3
2I	29	VREFB2IN0	IO	PLL_2I_CLKOUT1n			LVDS2I_10n	Yes	AM21	DQSn27	DQSn13/CQn13	DQ6	DQ3
2I	28	VREFB2IN0	IO	PLL_2I_CLKOUT1p,PLL_2I_CLKOUT1,PLL_2I_FB1			LVDS2I_10p	Yes	AL21	DQSn27	DQSn13/CQn13	DQ6	DQ3
2I	27	VREFB2IN0	IO				LVDS2I_11n	No	AM20	DQ27	DQ13	DQ6	DQ3
2I	26	VREFB2IN0	IO	RZQ_2I			LVDS2I_11p	No	AL20	DQ27	DQ13	DQ6	DQ3
2I	25	VREFB2IN0	IO	CLK_2I_1n			LVDS2I_12n	Yes	AJ19	DQ27	DQ13	DQ6	DQ3
2I	24	VREFB2IN0	IO	CLK_2I_1p			LVDS2I_12p	Yes	AJ20	DQ27	DQ13	DQ6	DQ3
2A	47	VREFB2AN0	IO			DATA0	LVDS2A_1n	No	AK13	DQ40	DQ20	DQ10	DQ5
2A	46	VREFB2AN0	IO			DATA1	LVDS2A_1p	No	AL13	DQ40	DQ20	DQ10	DQ5
2A	45	VREFB2AN0	IO			DATA2	LVDS2A_2n	Yes	AP17	DQSn40	DQ20	DQ10	DQ5
2A	44	VREFB2AN0	IO			DATA3	LVDS2A_2p	Yes	AP16	DQSn40	DQ20	DQ10	DQ5
2A	43	VREFB2AN0	IO			DATA4	LVDS2A_3n	No	AP15	DQ40	DQ20	DQ10	DQ5
2A	42	VREFB2AN0	IO			DATA5	LVDS2A_3p	No	AN15	DQ40	DQ20	DQ10	DQ5
2A	41	VREFB2AN0	IO			DATA6	LVDS2A_4n	Yes	AM13	DQSn41	DQSn20/CQn20	DQ10	DQ5
2A	40	VREFB2AN0	IO			DATA7	LVDS2A_4p	Yes	AN13	DQSn41	DQSn20/CQn20	DQ10	DQ5
2A	39	VREFB2AN0	IO			DATA8	LVDS2A_5n	No	AP12	DQ41	DQ20	DQ10	DQ5
2A	38	VREFB2AN0	IO			DATA9	LVDS2A_5p	No	AN12	DQ41	DQ20	DQ10	DQ5
2A	37	VREFB2AN0	IO			DATA10	LVDS2A_6n	Yes	AP14	DQ41	DQ20	DQSn10/CQn10	DQ5



Bank Number	Index within I/O Bank (2)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	F34	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
2A	36	VREFB2AN0	IO		DATA11		LVDS2A_6p	Yes	AN14	DQ41	DQ20	DQS10/CQ10	DQ5
2A	35	VREFB2AN0	IO		DATA12		LVDS2A_7n	No	AN18	DQ42	DQ21	DQ10	DQ5
2A	34	VREFB2AN0	IO		DATA13		LVDS2A_7p	No	AM18	DQ42	DQ21	DQ10	DQ5
2A	33	VREFB2AN0	IO		DATA14		LVDS2A_8n	Yes	AN17	DQSn42	DQ21	DQ10	DQ5
2A	32	VREFB2AN0	IO		DATA15		LVDS2A_8p	Yes	AM17	DQS42	DQ21	DQ10	DQ5
2A	31	VREFB2AN0	IO		DATA16		LVDS2A_9n	No	AK14	DQ42	DQ21	DQ10	DQ5
2A	30	VREFB2AN0	IO		DATA17		LVDS2A_9p	No	AL14	DQ42	DQ21	DQ10	DQ5
2A	29	VREFB2AN0	IO	PLL_2A_CLKOUT1n	DATA18		LVDS2A_10n	Yes	AM16	DQSn43	DQSn21/CQn21	DQ10	DQ5
2A	28	VREFB2AN0	IO	PLL_2A_CLKOUT1p,PLL_2A_CLKOUT1,PLL_2A_FB1	DATA19		LVDS2A_10p	Yes	AL16	DQS43	DQS21/CQ21	DQ10	DQ5
2A	27	VREFB2AN0	IO		nCEO		LVDS2A_11n	No	AL18	DQ43	DQ21	DQ10	DQ5
2A	26	VREFB2AN0	IO	RZQ_2A			LVDS2A_11p	No	AK18	DQ43	DQ21	DQ10	DQ5
2A	25	VREFB2AN0	IO	CLK_2A_1n	DATA20		LVDS2A_12n	Yes	AL15	DQ43	DQ21	DQ10	DQ5
2A	24	VREFB2AN0	IO	CLK_2A_1p	DATA21		LVDS2A_12p	Yes	AM15	DQ43	DQ21	DQ10	DQ5
2A	23	VREFB2AN0	IO	CLK_2A_0n	DATA22		LVDS2A_13n	No	AH19	DQ44	DQ22	DQ11	DQ5
2A	22	VREFB2AN0	IO	CLK_2A_0p	DATA23		LVDS2A_13p	No	AH18	DQ44	DQ22	DQ11	DQ5
2A	21	VREFB2AN0	IO		DATA24		LVDS2A_14n	Yes	AH14	DQSn44	DQ22	DQ11	DQS5/CQ5
2A	20	VREFB2AN0	IO		DATA25		LVDS2A_14p	Yes	AJ14	DQS44	DQ22	DQ11	DQS5/CQ5
2A	19	VREFB2AN0	IO	PLL_2A_CLKOUT0n	DATA26		LVDS2A_15n	No	AH17	DQ44	DQ22	DQ11	DQ5
2A	18	VREFB2AN0	IO	PLL_2A_CLKOUT0p,PLL_2A_CLKOUT0,PLL_2A_FB0	DATA27		LVDS2A_15p	No	AG17	DQ44	DQ22	DQ11	DQ5
2A	17	VREFB2AN0	IO		DATA28		LVDS2A_16n	Yes	AK17	DQSn45	DQSn22/CQn22	DQ11	DQ5
2A	16	VREFB2AN0	IO		DATA29		LVDS2A_16p	Yes	AJ17	DQS45	DQS22/CQ22	DQ11	DQ5
2A	15	VREFB2AN0	IO		DATA30		LVDS2A_17n	No	AH15	DQ45	DQ22	DQ11	DQ5
2A	14	VREFB2AN0	IO		DATA31		LVDS2A_17p	No	AJ15	DQ45	DQ22	DQ11	DQ5
2A	13	VREFB2AN0	IO		CLKUSR		LVDS2A_18n	Yes	AK16	DQ45	DQ22	DQSn11/CQn11	DQ5
2A	12	VREFB2AN0	IO		PR_REQUEST		LVDS2A_18p	Yes	AJ16	DQ45	DQ22	DQS11/CQ11	DQ5
2A	11	VREFB2AN0	IO		PR_READY		LVDS2A_19n	No	AE17	DQ46	DQ23	DQ11	DQ5
2A	10	VREFB2AN0	IO		nPERSTL0		LVDS2A_19p	No	AE16	DQ46	DQ23	DQ11	DQ5
2A	9	VREFB2AN0	IO		PR_DONE		LVDS2A_20n	Yes	AF16	DQSn46	DQ23	DQ11	DQ5
2A	8	VREFB2AN0	IO		nPERSTL1		LVDS2A_20p	Yes	AG16	DQS46	DQ23	DQ11	DQ5
2A	7	VREFB2AN0	IO		PR_ERROR		LVDS2A_21n	No	AE18	DQ46	DQ23	DQ11	DQ5
2A	6	VREFB2AN0	IO				LVDS2A_21p	No	AD19	DQ46	DQ23	DQ11	DQ5
2A	5	VREFB2AN0	IO		CvP_CONFDONE		LVDS2A_22n	Yes	AE19	DQSn47	DQSn23/CQn23	DQ11	DQ5
2A	4	VREFB2AN0	IO				LVDS2A_22p	Yes	AF19	DQS47	DQS23/CQ23	DQ11	DQ5
2A	3	VREFB2AN0	IO		INIT_DONE		LVDS2A_23n	No	AG18	DQ47	DQ23	DQ11	DQ5
2A	2	VREFB2AN0	IO		DEV_OE		LVDS2A_23p	No	AF18	DQ47	DQ23	DQ11	DQ5
2A	1	VREFB2AN0	IO		CRC_ERROR		LVDS2A_24n	Yes	AD17	DQ47	DQ23	DQ11	DQ5
2A	0	VREFB2AN0	IO		DEV_CLRn		LVDS2A_24p	Yes	AC17	DQ47	DQ23	DQ11	DQ5
3F	47	VREFB3FN0	IO				LVDS3F_1n	No	M13	DQ48	DQ24	DQ12	DQ6
3F	46	VREFB3FN0	IO				LVDS3F_1p	No	L13	DQ48	DQ24	DQ12	DQ6
3F	45	VREFB3FN0	IO				LVDS3F_2n	Yes	H13	DQSn48	DQ24	DQ12	DQ6
3F	44	VREFB3FN0	IO				LVDS3F_2p	Yes	G13	DQS48	DQ24	DQ12	DQ6
3F	43	VREFB3FN0	IO				LVDS3F_3n	No	F13	DQ48	DQ24	DQ12	DQ6
3F	42	VREFB3FN0	IO				LVDS3F_3p	No	E13	DQ48	DQ24	DQ12	DQ6
3F	41	VREFB3FN0	IO				LVDS3F_4n	Yes	K13	DQSn49	DQSn24/CQn24	DQ12	DQ6
3F	40	VREFB3FN0	IO				LVDS3F_4p	Yes	K12	DQS49	DQS24/CQ24	DQ12	DQ6
3F	39	VREFB3FN0	IO				LVDS3F_5n	No	J12	DQ49	DQ24	DQ12	DQ6
3F	38	VREFB3FN0	IO				LVDS3F_5p	No	H12	DQ49	DQ24	DQ12	DQ6
3F	37	VREFB3FN0	IO				LVDS3F_6n	Yes	G11	DQ49	DQ24	DQSn12/CQn12	DQ6
3F	36	VREFB3FN0	IO				LVDS3F_6p	Yes	G12	DQ49	DQ24	DQS12/CQ12	DQ6
3F	35	VREFB3FN0	IO				LVDS3F_7n	No	E12	DQ50	DQ25	DQ12	DQ6
3F	34	VREFB3FN0	IO				LVDS3F_7p	No	D12	DQ50	DQ25	DQ12	DQ6
3F	33	VREFB3FN0	IO				LVDS3F_8n	Yes	C13	DQSn50	DQ25	DQ12	DQ6
3F	32	VREFB3FN0	IO				LVDS3F_8p	Yes	C12	DQS50	DQ25	DQ12	DQ6
3F	31	VREFB3FN0	IO				LVDS3F_9n	No	E11	DQ50	DQ25	DQ12	DQ6
3F	30	VREFB3FN0	IO				LVDS3F_9p	No	F11	DQ50	DQ25	DQ12	DQ6
3F	29	VREFB3FN0	IO	PLL_3F_CLKOUT1n	LVDS3F_10n		LVDS3F_10n	Yes	B12	DQSn51	DQSn25/CQn25	DQ12	DQ6
3F	28	VREFB3FN0	IO	PLL_3F_CLKOUT1p,PLL_3F_CLKOUT1,PLL_3F_FB1	LVDS3F_10p		LVDS3F_10p	Yes	B11	DQS51	DQS25/CQ25	DQ12	DQ6
3F	27	VREFB3FN0	IO		LVDS3F_11n		LVDS3F_11n	No	B10	DQ51	DQ25	DQ12	DQ6
3F	26	VREFB3FN0	IO		LVDS3F_11p		LVDS3F_11p	No	C10	DQ51	DQ25	DQ12	DQ6
3F	25	VREFB3FN0	IO	RZQ_3F	LVDS3F_12n		LVDS3F_12n	Yes	D10	DQ51	DQ25	DQ12	DQ6
3F	24	VREFB3FN0	IO	CLK_3F_1n	LVDS3F_12p		LVDS3F_12p	Yes	D11	DQ51	DQ25	DQ12	DQ6
3F	23	VREFB3FN0	IO	CLK_3F_1p	LVDS3F_13n		LVDS3F_13n	No	A9	DQ52	DQ26	DQ13	DQ6
3F	22	VREFB3FN0	IO	CLK_3F_0n	LVDS3F_13p		LVDS3F_13p	No	A8	DQ52	DQ26	DQ13	DQ6
3F	21	VREFB3FN0	IO	CLK_3F_0p	LVDS3F_14n		LVDS3F_14n	Yes	A11	DQSn52	DQ26	DQ13	DQS6/CQ6
3F	20	VREFB3FN0	IO		LVDS3F_14p		LVDS3F_14p	Yes	A10	DQS52	DQ26	DQ13	DQS6/CQ6
3F	19	VREFB3FN0	IO	PLL_3F_CLKOUT0n	LVDS3F_15n		LVDS3F_15n	No	B8	DQ52	DQ26	DQ13	DQ6
3F	18	VREFB3FN0	IO	PLL_3F_CLKOUT0p,PLL_3F_CLKOUT0,PLL_3F_FB0	LVDS3F_15p		LVDS3F_15p	No	C8	DQ52	DQ26	DQ13	DQ6
3F	17	VREFB3FN0	IO		LVDS3F_16n		LVDS3F_16n	Yes	E9	DQSn53	DQSn26/CQn26	DQ13	DQ6
3F	16	VREFB3FN0	IO		LVDS3F_16p		LVDS3F_16p	Yes	E8	DQS53	DQS26/CQ26	DQ13	DQ6
3F	15	VREFB3FN0	IO		LVDS3F_17n		LVDS3F_17n	No	C9	DQ53	DQ26	DQ13	DQ6
3F	14	VREFB3FN0	IO		LVDS3F_17p		LVDS3F_17p	No	D9	DQ53	DQ26	DQ13	DQ6
3F	13	VREFB3FN0	IO		LVDS3F_18n		LVDS3F_18n	Yes	B7	DQ53	DQ26	DQSn13/CQn13	DQ6
3F	12	VREFB3FN0	IO		LVDS3F_18p		LVDS3F_18p	Yes	C7	DQ53	DQ26	DQS13/CQ13	DQ6
3F	11	VREFB3FN0	IO		LVDS3F_19n		LVDS3F_19n	No	A6	DQ54	DQ27	DQ13	DQ6
3F	10	VREFB3FN0	IO		LVDS3F_19p		LVDS3F_19p	No	B6	DQ54	DQ27	DQ13	DQ6
3F	9	VREFB3FN0	IO		LVDS3F_20n		LVDS3F_20n	Yes	D7	DQSn54	DQ27	DQ13	DQ6
3F	8	VREFB3FN0	IO		LVDS3F_20p		LVDS3F_20p	Yes	D6	DQS54	DQ27	DQ13	DQ6
3F	7	VREFB3FN0	IO		LVDS3F_21n		LVDS3F_21n	No	C4	DQ54	DQ27	DQ13	DQ6
3F	6	VREFB3FN0	IO		LVDS3F_21p		LVDS3F_21p	No	D4	DQ54	DQ27	DQ13	DQ6
3F	5	VREFB3FN0	IO		LVDS3F_22n		LVDS3F_22n	Yes	A4	DQSn55	DQSn27/CQn27	DQ13	DQ6
3F	4	VREFB3FN0	IO		LVDS3F_22p		LVDS3F_22p	Yes	A3	DQS55	DQS27/CQ27	DQ13	DQ6
3F	3	VREFB3FN0	IO		LVDS3F_23n		LVDS3F_23n	No	A5	DQ55	DQ27	DQ13	DQ6
3F	2	VREFB3FN0	IO		LVDS3F_23p		LVDS3F_23p	No	B5	DQ55	DQ27	DQ13	DQ6
3F	1	VREFB3FN0	IO		LVDS3F_24n		LVDS3F_24n	Yes	C5	DQ55	DQ27	DQ13	DQ6
3F	0	VREFB3FN0	IO		LVDS3F_24p		LVDS3F_24p	Yes	D5	DQ55	DQ27	DQ13	DQ6
3E	47	VREFB3EN0	IO		LVDS3E_1n		LVDS3E_1n	No	J11	DQ56	DQ28	DQ14	DQ7
3E	46	VREFB3EN0	IO		LVDS3E_1p		LVDS3E_1p	No	K11	DQ56	DQ28	DQ14	DQ7
3E	45	VREFB3EN0	IO		LVDS3E_2n		LVDS3E_2n	Yes	F10	DQSn56	DQ28	DQ14	DQ7
3E	44	VREFB3EN0	IO		LVDS3E_2p		LVDS3E_2p	Yes	G10	DQS56	DQ28	DQ14	DQ7
3E	43	VREFB3EN0	IO		LVDS3E_3n		LVDS3E_3n	No	F9	DQ56	DQ28	DQ14	DQ7
3E	42	VREFB3EN0	IO		LVDS3E_3p		LVDS3E_3p	No	F8	DQ56	DQ28	DQ14	DQ7
3E	41	VREFB3EN0	IO		LVDS3E_4n		LVDS3E_4n	Yes	H10	DQSn57	DQSn28/CQn28	DQ14	DQ7
3E	40	VREFB3EN0	IO		LVDS3E_4p		LVDS3E_4p	Yes	J10	DQS57	DQS28/CQ28	DQ14	DQ7

Bank Number	Index within I/O Bank (2)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	F34	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
3E	39	VREFB3E0	IO				LVDS3E_5n	No	H8	DQ57	DQ28	DQ14	DQ7
3E	38	VREFB3E0	IO				LVDS3E_5p	No	H9	DQ57	DQ28	DQ14	DQ7
3E	37	VREFB3E0	IO				LVDS3E_6n	Yes	G7	DQ57	DQ28	DQS14/CQn14	DQ7
3E	36	VREFB3E0	IO				LVDS3E_6p	Yes	G8	DQ57	DQ28	DQS14/CQ14	DQ7
3E	35	VREFB3E0	IO				LVDS3E_7n	No	B3	DQ58	DQ29	DQ14	DQ7
3E	34	VREFB3E0	IO				LVDS3E_7p	No	C3	DQ58	DQ29	DQ14	DQ7
3E	33	VREFB3E0	IO				LVDS3E_8n	Yes	E4	DQSn58	DQ29	DQ14	DQ7
3E	32	VREFB3E0	IO				LVDS3E_8p	Yes	F4	DQS58	DQ29	DQ14	DQ7
3E	31	VREFB3E0	IO				LVDS3E_9n	No	E6	DQ58	DQ29	DQ14	DQ7
3E	30	VREFB3E0	IO				LVDS3E_9p	No	E7	DQ58	DQ29	DQ14	DQ7
3E	29	VREFB3E0	IO	PLL_3E_CLKOUT1n			LVDS3E_10n	Yes	D2	DQS59	DQS29/CQn29	DQ14	DQ7
3E	28	VREFB3E0	IO	PLL_3E_CLKOUT1p,PLL_3E_CLKOUT1,PLL_3E_FB1			LVDS3E_10p	Yes	E2	DQS59	DQS29/CQ29	DQ14	DQ7
3E	27	VREFB3E0	IO				LVDS3E_11n	No	E3	DQ59	DQ29	DQ14	DQ7
3E	26	VREFB3E0	IO	RZQ_3E			LVDS3E_11p	No	F3	DQ59	DQ29	DQ14	DQ7
3E	25	VREFB3E0	IO	CLK_3E_1n			LVDS3E_12n	Yes	F5	DQ59	DQ29	DQ14	DQ7
3E	24	VREFB3E0	IO	CLK_3E_1p			LVDS3E_12p	Yes	F6	DQ59	DQ29	DQ14	DQ7
3E	23	VREFB3E0	IO	CLK_3E_0n			LVDS3E_13n	No	G6	DQ60	DQ30	DQ15	DQ7
3E	22	VREFB3E0	IO	CLK_3E_0p			LVDS3E_13p	No	G5	DQ60	DQ30	DQ15	DQ7
3E	21	VREFB3E0	IO				LVDS3E_14n	Yes	H2	DQSn60	DQ30	DQ15	DQS7/CQn7
3E	20	VREFB3E0	IO				LVDS3E_14p	Yes	H3	DQS60	DQ30	DQ15	DQS7/CQ7
3E	19	VREFB3E0	IO	PLL_3E_CLKOUT0n			LVDS3E_15n	No	D1	DQ60	DQ30	DQ15	DQ7
3E	18	VREFB3E0	IO	PLL_3E_CLKOUT0p,PLL_3E_CLKOUT0,PLL_3E_FB0			LVDS3E_15p	No	E1	DQ60	DQ30	DQ15	DQ7
3E	17	VREFB3E0	IO				LVDS3E_16n	Yes	G3	DQSn61	DQSn30/CQn30	DQ15	DQ7
3E	16	VREFB3E0	IO				LVDS3E_16p	Yes	G2	DQS61	DQS30/CQ30	DQ15	DQ7
3E	15	VREFB3E0	IO				LVDS3E_17n	No	H4	DQ61	DQ30	DQ15	DQ7
3E	14	VREFB3E0	IO				LVDS3E_17p	No	H5	DQ61	DQ30	DQ15	DQ7
3E	13	VREFB3E0	IO				LVDS3E_18n	Yes	F1	DQ61	DQ30	DQS15/CQn15	DQ7
3E	12	VREFB3E0	IO				LVDS3E_18p	Yes	G1	DQ61	DQ30	DQS15/CQ15	DQ7
3E	11	VREFB3E0	IO				LVDS3E_19n	No	J9	DQ62	DQ31	DQ15	DQ7
3E	10	VREFB3E0	IO				LVDS3E_19p	No	K9	DQ62	DQ31	DQ15	DQ7
3E	9	VREFB3E0	IO				LVDS3E_20n	Yes	L10	DQSn62	DQ31	DQ15	DQ7
3E	8	VREFB3E0	IO				LVDS3E_20p	Yes	L9	DQS62	DQ31	DQ15	DQ7
3E	7	VREFB3E0	IO				LVDS3E_21n	No	H7	DQ62	DQ31	DQ15	DQ7
3E	6	VREFB3E0	IO				LVDS3E_21p	No	J6	DQ62	DQ31	DQ15	DQ7
3E	5	VREFB3E0	IO				LVDS3E_22n	Yes	J7	DQSn63	DQSn31/CQn31	DQ15	DQ7
3E	4	VREFB3E0	IO				LVDS3E_22p	Yes	K8	DQS63	DQS31/CQ31	DQ15	DQ7
3E	3	VREFB3E0	IO				LVDS3E_23n	No	L11	DQ63	DQ31	DQ15	DQ7
3E	2	VREFB3E0	IO				LVDS3E_23p	No	M11	DQ63	DQ31	DQ15	DQ7
3E	1	VREFB3E0	IO				LVDS3E_24n	Yes	M10	DQ63	DQ31	DQ15	DQ7
3E	0	VREFB3E0	IO				LVDS3E_24p	Yes	N10	DQ63	DQ31	DQ15	DQ7
3D	47	VREFB3DN0	IO				LVDS3D_1n	No	R9	DQ64	DQ32	DQ16	DQ8
3D	46	VREFB3DN0	IO				LVDS3D_1p	No	T9	DQ64	DQ32	DQ16	DQ8
3D	45	VREFB3DN0	IO				LVDS3D_2n	Yes	T8	DQSn64	DQ32	DQ16	DQ8
3D	44	VREFB3DN0	IO				LVDS3D_2p	Yes	U8	DQS64	DQ32	DQ16	DQ8
3D	43	VREFB3DN0	IO				LVDS3D_3n	No	U7	DQ64	DQ32	DQ16	DQ8
3D	42	VREFB3DN0	IO				LVDS3D_3p	No	V7	DQ64	DQ32	DQ16	DQ8
3D	41	VREFB3DN0	IO				LVDS3D_4n	Yes	T10	DQSn65	DQSn32/CQn32	DQ16	DQ8
3D	40	VREFB3DN0	IO				LVDS3D_4p	Yes	U10	DQS65	DQS32/CQ32	DQ16	DQ8
3D	39	VREFB3DN0	IO				LVDS3D_5n	No	V8	DQ65	DQ32	DQ16	DQ8
3D	38	VREFB3DN0	IO				LVDS3D_5p	No	V9	DQ65	DQ32	DQ16	DQ8
3D	37	VREFB3DN0	IO				LVDS3D_6n	Yes	W9	DQ65	DQ32	DQS16/CQn16	DQ8
3D	36	VREFB3DN0	IO				LVDS3D_6p	Yes	W10	DQ65	DQ32	DQS16/CQ16	DQ8
3D	35	VREFB3DN0	IO				LVDS3D_7n	No	P9	DQ66	DQ33	DQ16	DQ8
3D	34	VREFB3DN0	IO				LVDS3D_7p	No	N9	DQ66	DQ33	DQ16	DQ8
3D	33	VREFB3DN0	IO				LVDS3D_8n	Yes	P7	DQSn66	DQ33	DQ16	DQ8
3D	32	VREFB3DN0	IO				LVDS3D_8p	Yes	N7	DQS66	DQ33	DQ16	DQ8
3D	31	VREFB3DN0	IO				LVDS3D_9n	No	R7	DQ66	DQ33	DQ16	DQ8
3D	30	VREFB3DN0	IO				LVDS3D_9p	No	R8	DQ66	DQ33	DQ16	DQ8
3D	29	VREFB3DN0	IO	PLL_3D_CLKOUT1n			LVDS3D_10n	Yes	M8	DQSn67	DQSn33/CQn33	DQ16	DQ8
3D	28	VREFB3DN0	IO	PLL_3D_CLKOUT1p,PLL_3D_CLKOUT1,PLL_3D_FB1			LVDS3D_10p	Yes	N8	DQS67	DQS33/CQ33	DQ16	DQ8
3D	27	VREFB3DN0	IO				LVDS3D_11n	No	L8	DQ67	DQ33	DQ16	DQ8
3D	26	VREFB3DN0	IO				LVDS3D_11p	No	K7	DQ67	DQ33	DQ16	DQ8
3D	25	VREFB3DN0	IO	RZQ_3D			LVDS3D_12n	Yes	P6	DQ67	DQ33	DQ16	DQ8
3D	24	VREFB3DN0	IO	CLK_3D_1n			LVDS3D_12p	Yes	R6	DQ67	DQ33	DQ16	DQ8
3D	23	VREFB3DN0	IO	CLK_3D_1p			LVDS3D_12p	Yes	R6	DQ67	DQ33	DQ16	DQ8
3D	22	VREFB3DN0	IO	CLK_3D_0n			LVDS3D_13n	No	L6	DQ68	DQ34	DQ17	DQ8
3D	21	VREFB3DN0	IO	CLK_3D_0p			LVDS3D_13p	No	K6	DQ68	DQ34	DQ17	DQ8
3D	20	VREFB3DN0	IO				LVDS3D_14n	Yes	M7	DQSn68	DQ34	DQ17	DQS8/CQn8
3D	19	VREFB3DN0	IO	PLL_3D_CLKOUT0n			LVDS3D_14p	Yes	M6	DQS68	DQ34	DQ17	DQS8/CQ8
3D	18	VREFB3DN0	IO	PLL_3D_CLKOUT0p,PLL_3D_CLKOUT0,PLL_3D_FB0			LVDS3D_15n	No	L5	DQ68	DQ34	DQ17	DQ8
3D	17	VREFB3DN0	IO				LVDS3D_15p	No	M5	DQ68	DQ34	DQ17	DQ8
3D	16	VREFB3DN0	IO				LVDS3D_16n	Yes	J5	DQSn69	DQSn34/CQn34	DQ17	DQ8
3D	15	VREFB3DN0	IO				LVDS3D_16p	Yes	J4	DQS69	DQS34/CQ34	DQ17	DQ8
3D	14	VREFB3DN0	IO				LVDS3D_17n	No	N5	DQ69	DQ34	DQ17	DQ8
3D	13	VREFB3DN0	IO				LVDS3D_17p	No	N4	DQ69	DQ34	DQ17	DQ8
3D	12	VREFB3DN0	IO				LVDS3D_18n	Yes	K4	DQ69	DQ34	DQS17/CQn17	DQ8
3D	11	VREFB3DN0	IO				LVDS3D_18p	Yes	L4	DQ69	DQ34	DQS17/CQ17	DQ8
3D	10	VREFB3DN0	IO				LVDS3D_19n	No	M3	DQ70	DQ35	DQ17	DQ8
3D	9	VREFB3DN0	IO				LVDS3D_19p	No	M2	DQ70	DQ35	DQ17	DQ8
3D	8	VREFB3DN0	IO				LVDS3D_20n	Yes	N3	DQSn70	DQ35	DQ17	DQ8
3D	7	VREFB3DN0	IO				LVDS3D_20p	Yes	N2	DQS70	DQ35	DQ17	DQ8
3D	6	VREFB3DN0	IO				LVDS3D_21n	No	K3	DQ70	DQ35	DQ17	DQ8
3D	5	VREFB3DN0	IO				LVDS3D_21p	No	L3	DQ70	DQ35	DQ17	DQ8
3D	4	VREFB3DN0	IO				LVDS3D_22n	Yes	J2	DQSn71	DQSn35/CQn35	DQ17	DQ8
3D	3	VREFB3DN0	IO				LVDS3D_22p	Yes	J1	DQS71	DQS35/CQ35	DQ17	DQ8
3D	2	VREFB3DN0	IO				LVDS3D_23n	No	K2	DQ71	DQ35	DQ17	DQ8
3D	1	VREFB3DN0	IO				LVDS3D_23p	No	K1	DQ71	DQ35	DQ17	DQ8
3D	0	VREFB3DN0	IO				LVDS3D_24n	Yes	L1	DQ71	DQ35	DQ17	DQ8
3C	47	VREFB3CN0	IO				LVDS3C_1n	No	R4	DQ72	DQ36	DQ18	DQ9
3C	46	VREFB3CN0	IO				LVDS3C_1p	No	T4	DQ72	DQ36	DQ18	DQ9
3C	45	VREFB3CN0	IO				LVDS3C_2n	Yes	P5	DQSn72	DQ36	DQ18	DQ9
3C	44	VREFB3CN0	IO				LVDS3C_2p	Yes	P4	DQS72	DQ36	DQ18	DQ9
3C	43	VREFB3CN0	IO				LVDS3C_3n	No	R3	DQ72	DQ36	DQ18	DQ9

Bank Number	Index within I/O Bank (2)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	F34	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
3C	42		VREFB3CN0 IO				LVDS3C_3p	No	T3	DQ72	DQ36	DQ18	DQ9
3C	41		VREFB3CN0 IO				LVDS3C_4n	Yes	T6	DQSn73	DQSn36/CQn36	DQ18	DQ9
3C	40		VREFB3CN0 IO				LVDS3C_4p	Yes	T5	DQS73	DQS36/CQ36	DQ18	DQ9
3C	39		VREFB3CN0 IO				LVDS3C_5n	No	U5	DQ73	DQ36	DQ18	DQ9
3C	38		VREFB3CN0 IO				LVDS3C_5p	No	U6	DQ73	DQ36	DQ18	DQ9
3C	37		VREFB3CN0 IO				LVDS3C_6n	Yes	V4	DQ73	DQ36	DQSn18/CQn18	DQ9
3C	36		VREFB3CN0 IO				LVDS3C_6p	Yes	V5	DQ73	DQ36	DQS18/CQ18	DQ9
3C	35		VREFB3CN0 IO				LVDS3C_7n	No	R2	DQ74	DQ37	DQ18	DQ9
3C	34		VREFB3CN0 IO				LVDS3C_7p	No	P2	DQ74	DQ37	DQ18	DQ9
3C	33		VREFB3CN0 IO				LVDS3C_8n	Yes	P1	DQSn74	DQ37	DQ18	DQ9
3C	32		VREFB3CN0 IO				LVDS3C_8p	Yes	R1	DQS74	DQ37	DQ18	DQ9
3C	31		VREFB3CN0 IO				LVDS3C_9n	No	V3	DQ74	DQ37	DQ18	DQ9
3C	30		VREFB3CN0 IO				LVDS3C_9p	No	U3	DQ74	DQ37	DQ18	DQ9
3C	29		VREFB3CN0 IO	PLL_3C_CLKOUT1n			LVDS3C_10n	Yes	T1	DQSn75	DQSn37/CQn37	DQ18	DQ9
3C	28		VREFB3CN0 IO	PLL_3C_CLKOUT1p,PLL_3C_CLKOUT1,PLL_3C_FB1			LVDS3C_10p	Yes	U1	DQS75	DQS37/CQ37	DQ18	DQ9
3C	27		VREFB3CN0 IO				LVDS3C_11n	No	U2	DQ75	DQ37	DQ18	DQ9
3C	26		VREFB3CN0 IO	RZQ_3C			LVDS3C_11p	No	V2	DQ75	DQ37	DQ18	DQ9
3C	25		VREFB3CN0 IO	CLK_3C_1n			LVDS3C_12n	Yes	W2	DQ75	DQ37	DQ18	DQ9
3C	24		VREFB3CN0 IO	CLK_3C_1p			LVDS3C_12p	Yes	W1	DQ75	DQ37	DQ18	DQ9
3C	23		VREFB3CN0 IO	CLK_3C_0n			LVDS3C_13n	No	Y7	DQ76	DQ38	DQ19	DQ9
3C	22		VREFB3CN0 IO	CLK_3C_0p			LVDS3C_13p	No	Y6	DQ76	DQ38	DQ19	DQ9
3C	21		VREFB3CN0 IO				LVDS3C_14n	Yes	Y9	DQSn76	DQ38	DQ19	DQSn9/CQn9
3C	20		VREFB3CN0 IO				LVDS3C_14p	Yes	Y8	DQS76	DQ38	DQ19	DQS9/CQ9
3C	19		VREFB3CN0 IO	PLL_3C_CLKOUT0n			LVDS3C_15n	No	W5	DQ76	DQ38	DQ19	DQ9
3C	18		VREFB3CN0 IO	PLL_3C_CLKOUT0p,PLL_3C_CLKOUT0,PLL_3C_FB0			LVDS3C_15p	No	W4	DQ76	DQ38	DQ19	DQ9
3C	17		VREFB3CN0 IO				LVDS3C_16n	Yes	W7	DQSn77	DQSn38/CQn38	DQ19	DQ9
3C	16		VREFB3CN0 IO				LVDS3C_16p	Yes	W6	DQS77	DQS38/CQ38	DQ19	DQ9
3C	15		VREFB3CN0 IO				LVDS3C_17n	No	AA9	DQ77	DQ38	DQ19	DQ9
3C	14		VREFB3CN0 IO				LVDS3C_17p	No	AA8	DQ77	DQ38	DQ19	DQ9
3C	13		VREFB3CN0 IO				LVDS3C_18n	Yes	AA6	DQ77	DQ38	DQSn19/CQn19	DQ9
3C	12		VREFB3CN0 IO				LVDS3C_18p	Yes	AA5	DQ77	DQ38	DQS19/CQ19	DQ9
3C	11		VREFB3CN0 IO				LVDS3C_19n	No	Y4	DQ78	DQ39	DQ19	DQ9
3C	10		VREFB3CN0 IO				LVDS3C_19p	No	Y3	DQ78	DQ39	DQ19	DQ9
3C	9		VREFB3CN0 IO				LVDS3C_20n	Yes	AA4	DQSn78	DQ39	DQ19	DQ9
3C	8		VREFB3CN0 IO				LVDS3C_20p	Yes	AA3	DQS78	DQ39	DQ19	DQ9
3C	7		VREFB3CN0 IO				LVDS3C_21n	No	AB3	DQ78	DQ39	DQ19	DQ9
3C	6		VREFB3CN0 IO				LVDS3C_21p	No	AB2	DQ78	DQ39	DQ19	DQ9
3C	5		VREFB3CN0 IO				LVDS3C_22n	Yes	AC2	DQSn79	DQSn39/CQn39	DQ19	DQ9
3C	4		VREFB3CN0 IO				LVDS3C_22p	Yes	AC3	DQS79	DQS39/CQ39	DQ19	DQ9
3C	3		VREFB3CN0 IO				LVDS3C_23n	No	Y2	DQ79	DQ39	DQ19	DQ9
3C	2		VREFB3CN0 IO				LVDS3C_23p	No	Y1	DQ79	DQ39	DQ19	DQ9
3C	1		VREFB3CN0 IO				LVDS3C_24n	Yes	AA1	DQ79	DQ39	DQ19	DQ9
3C	0		VREFB3CN0 IO				LVDS3C_24p	Yes	AB1	DQ79	DQ39	DQ19	DQ9
3B	47		VREFB3BN0 IO				LVDS3B_1n	No	AB11	DQ80	DQ40	DQ20	DQ10
3B	46		VREFB3BN0 IO				LVDS3B_1p	No	AB10	DQ80	DQ40	DQ20	DQ10
3B	45		VREFB3BN0 IO				LVDS3B_2n	Yes	AD1	DQSn80	DQ40	DQ20	DQ10
3B	44		VREFB3BN0 IO				LVDS3B_2p	Yes	AD2	DQS80	DQ40	DQ20	DQ10
3B	43		VREFB3BN0 IO				LVDS3B_3n	No	AD4	DQ80	DQ40	DQ20	DQ10
3B	42		VREFB3BN0 IO				LVDS3B_3p	No	AE4	DQ80	DQ40	DQ20	DQ10
3B	41		VREFB3BN0 IO				LVDS3B_4n	Yes	AB7	DQSn81	DQSn40/CQn40	DQ20	DQ10
3B	40		VREFB3BN0 IO				LVDS3B_4p	Yes	AB8	DQS81	DQS40/CQ40	DQ20	DQ10
3B	39		VREFB3BN0 IO				LVDS3B_5n	No	AB5	DQ81	DQ40	DQ20	DQ10
3B	38		VREFB3BN0 IO				LVDS3B_5p	No	AB6	DQ81	DQ40	DQ20	DQ10
3B	37		VREFB3BN0 IO				LVDS3B_6n	Yes	AC5	DQ81	DQ40	DQSn20/CQn20	DQ10
3B	36		VREFB3BN0 IO				LVDS3B_6p	Yes	AC4	DQ81	DQ40	DQS20/CQ20	DQ10
3B	35		VREFB3BN0 IO				LVDS3B_7n	No	AC7	DQ82	DQ41	DQ20	DQ10
3B	34		VREFB3BN0 IO				LVDS3B_7p	No	AD7	DQ82	DQ41	DQ20	DQ10
3B	33		VREFB3BN0 IO				LVDS3B_8n	Yes	AD6	DQSn82	DQ41	DQ20	DQ10
3B	32		VREFB3BN0 IO				LVDS3B_8p	Yes	AD5	DQS82	DQ41	DQ20	DQ10
3B	31		VREFB3BN0 IO				LVDS3B_9n	No	AC10	DQ82	DQ41	DQ20	DQ10
3B	30		VREFB3BN0 IO				LVDS3B_9p	No	AC9	DQ82	DQ41	DQ20	DQ10
3B	29		VREFB3BN0 IO	PLL_3B_CLKOUT1n			LVDS3B_10n	Yes	AD9	DQSn83	DQSn41/CQn41	DQ20	DQ10
3B	28		VREFB3BN0 IO	PLL_3B_CLKOUT1p,PLL_3B_CLKOUT1,PLL_3B_FB1			LVDS3B_10p	Yes	AC8	DQS83	DQS41/CQ41	DQ20	DQ10
3B	27		VREFB3BN0 IO				LVDS3B_11n	No	AE7	DQ83	DQ41	DQ20	DQ10
3B	26		VREFB3BN0 IO	RZQ_3B			LVDS3B_11p	No	AE6	DQ83	DQ41	DQ20	DQ10
3B	25		VREFB3BN0 IO	CLK_3B_1n			LVDS3B_12n	Yes	AD11	DQ83	DQ41	DQ20	DQ10
3B	24		VREFB3BN0 IO	CLK_3B_1p			LVDS3B_12p	Yes	AD10	DQ83	DQ41	DQ20	DQ10
3B	23		VREFB3BN0 IO	CLK_3B_0n			LVDS3B_13n	No	AE3	DQ84	DQ42	DQ21	DQ10
3B	22		VREFB3BN0 IO	CLK_3B_0p			LVDS3B_13p	No	AE2	DQ84	DQ42	DQ21	DQ10
3B	21		VREFB3BN0 IO				LVDS3B_14n	Yes	AF5	DQSn84	DQ42	DQ21	DQSn10/CQn10
3B	20		VREFB3BN0 IO				LVDS3B_14p	Yes	AG5	DQS84	DQ42	DQ21	DQS10/CQ10
3B	19		VREFB3BN0 IO	PLL_3B_CLKOUT0n			LVDS3B_15n	No	AF3	DQ84	DQ42	DQ21	DQ10
3B	18		VREFB3BN0 IO	PLL_3B_CLKOUT0p,PLL_3B_CLKOUT0,PLL_3B_FB0			LVDS3B_15p	No	AF4	DQ84	DQ42	DQ21	DQ10
3B	17		VREFB3BN0 IO				LVDS3B_16n	Yes	AE1	DQSn85	DQSn42/CQn42	DQ21	DQ10
3B	16		VREFB3BN0 IO				LVDS3B_16p	Yes	AF1	DQS85	DQS42/CQ42	DQ21	DQ10
3B	15		VREFB3BN0 IO				LVDS3B_17n	No	AF6	DQ85	DQ42	DQ21	DQ10
3B	14		VREFB3BN0 IO				LVDS3B_17p	No	AG6	DQ85	DQ42	DQ21	DQ10
3B	13		VREFB3BN0 IO				LVDS3B_18n	Yes	AG3	DQ85	DQ42	DQSn21/CQn21	DQ10
3B	12		VREFB3BN0 IO				LVDS3B_18p	Yes	AH3	DQ85	DQ42	DQS21/CQ21	DQ10
3B	11		VREFB3BN0 IO				LVDS3B_19n	No	AG2	DQ86	DQ43	DQ21	DQ10
3B	10		VREFB3BN0 IO				LVDS3B_19p	No	AG1	DQ86	DQ43	DQ21	DQ10
3B	9		VREFB3BN0 IO				LVDS3B_20n	Yes	AH2	DQSn86	DQ43	DQ21	DQ10
3B	8		VREFB3BN0 IO				LVDS3B_20p	Yes	AJ1	DQS86	DQ43	DQ21	DQ10
3B	7		VREFB3BN0 IO				LVDS3B_21n	No	AH4	DQ86	DQ43	DQ21	DQ10
3B	6		VREFB3BN0 IO				LVDS3B_21p	No	AJ4	DQ86	DQ43	DQ21	DQ10
3B	5		VREFB3BN0 IO				LVDS3B_22n	Yes	AK3	DQSn87	DQSn43/CQn43	DQ21	DQ10
3B	4		VREFB3BN0 IO				LVDS3B_22p	Yes	AK4	DQS87	DQS43/CQ43	DQ21	DQ10
3B	3		VREFB3BN0 IO				LVDS3B_23n	No	AJ2	DQ87	DQ43	DQ21	DQ10
3B	2		VREFB3BN0 IO				LVDS3B_23p	No	AK2	DQ87	DQ43	DQ21	DQ10
3B	1		VREFB3BN0 IO				LVDS3B_24n	Yes	AK1	DQ87	DQ43	DQ21	DQ10
3B	0		VREFB3BN0 IO				LVDS3B_24p	Yes	AL1	DQ87	DQ43	DQ21	DQ10
3A	47		VREFB3AN0 IO				LVDS3A_1n	No	AE9	DQ88	DQ44	DQ22	DQ11
3A	46		VREFB3AN0 IO				LVDS3A_1p	No	AF9	DQ88	DQ44	DQ22	DQ11

Bank Number	Index within I/O Bank (2)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	F34	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
3A	45	VREFB3A0	IO				LVDS3A_2n	Yes	AE8	DQSn88	DQ44	DQ22	DQ11
3A	44	VREFB3A0	IO				LVDS3A_2p	Yes	AF8	DQS88	DQ44	DQ22	DQ11
3A	43	VREFB3A0	IO				LVDS3A_3n	No	AH9	DQ88	DQ44	DQ22	DQ11
3A	42	VREFB3A0	IO				LVDS3A_3p	No	AH10	DQ88	DQ44	DQ22	DQ11
3A	41	VREFB3A0	IO				LVDS3A_4n	Yes	AF10	DQSn89	DQSn44/CQn44	DQ22	DQ11
3A	40	VREFB3A0	IO				LVDS3A_4p	Yes	AG10	DQS89	DQS44/CQ44	DQ22	DQ11
3A	39	VREFB3A0	IO				LVDS3A_5n	No	AG11	DQ89	DQ44	DQ22	DQ11
3A	38	VREFB3A0	IO				LVDS3A_5p	No	AF11	DQ89	DQ44	DQ22	DQ11
3A	37	VREFB3A0	IO				LVDS3A_6n	Yes	AE11	DQ89	DQ44	DQSn22/CQn22	DQ11
3A	36	VREFB3A0	IO				LVDS3A_6p	Yes	AE12	DQ89	DQ44	DQS22/CQ22	DQ11
3A	35	VREFB3A0	IO				LVDS3A_7n	No	AG8	DQ90	DQ45	DQ22	DQ11
3A	34	VREFB3A0	IO				LVDS3A_7p	No	AH8	DQ90	DQ45	DQ22	DQ11
3A	33	VREFB3A0	IO				LVDS3A_8n	Yes	AG7	DQSn90	DQ45	DQ22	DQ11
3A	32	VREFB3A0	IO				LVDS3A_8p	Yes	AH7	DQS90	DQ45	DQ22	DQ11
3A	31	VREFB3A0	IO				LVDS3A_9n	No	AK8	DQ90	DQ45	DQ22	DQ11
3A	30	VREFB3A0	IO				LVDS3A_9p	No	AK7	DQ90	DQ45	DQ22	DQ11
3A	29	VREFB3A0	IO	PLL_3A_CLKOUT1n			LVDS3A_10n	Yes	AH5	DQSn91	DQSn45/CQn45	DQ22	DQ11
3A	28	VREFB3A0	IO	PLL_3A_CLKOUT1p,PLL_3A_CLKOUT1,PLL_3A_FB1			LVDS3A_10p	Yes	AJ5	DQS91	DQS45/CQ45	DQ22	DQ11
3A	27	VREFB3A0	IO				LVDS3A_11n	No	AJ6	DQ91	DQ45	DQ22	DQ11
3A	26	VREFB3A0	IO	RZQ_3A			LVDS3A_11p	No	AJ7	DQ91	DQ45	DQ22	DQ11
3A	25	VREFB3A0	IO	CLK_3A_1n			LVDS3A_12n	Yes	AK9	DQ91	DQ45	DQ22	DQ11
3A	24	VREFB3A0	IO	CLK_3A_1p			LVDS3A_12p	Yes	AJ9	DQ91	DQ45	DQ22	DQ11
3A	23	VREFB3A0	IO	CLK_3A_0n			LVDS3A_13n	No	AL4	DQ92	DQ46	DQ23	DQ11
3A	22	VREFB3A0	IO	CLK_3A_0p			LVDS3A_13p	No	AL5	DQ92	DQ46	DQ23	DQ11
3A	21	VREFB3A0	IO				LVDS3A_14n	Yes	AK6	DQSn92	DQ46	DQ23	DQSn11/CQn11
3A	20	VREFB3A0	IO				LVDS3A_14p	Yes	AL6	DQS92	DQ46	DQ23	DQSn11/CQ11
3A	19	VREFB3A0	IO	PLL_3A_CLKOUT0n			LVDS3A_15n	No	AL3	DQ92	DQ46	DQ23	DQ11
3A	18	VREFB3A0	IO	PLL_3A_CLKOUT0p,PLL_3A_CLKOUT0,PLL_3A_FB0			LVDS3A_15p	No	AM3	DQ92	DQ46	DQ23	DQ11
3A	17	VREFB3A0	IO				LVDS3A_16n	Yes	AM2	DQSn93	DQSn46/CQn46	DQ23	DQ11
3A	16	VREFB3A0	IO				LVDS3A_16p	Yes	AM1	DQS93	DQS46/CQ46	DQ23	DQ11
3A	15	VREFB3A0	IO				LVDS3A_17n	No	AM5	DQ93	DQ46	DQ23	DQ11
3A	14	VREFB3A0	IO				LVDS3A_17p	No	AM6	DQ93	DQ46	DQ23	DQ11
3A	13	VREFB3A0	IO				LVDS3A_18n	Yes	AN4	DQ93	DQ46	DQSn23/CQn23	DQ11
3A	12	VREFB3A0	IO				LVDS3A_18p	Yes	AP4	DQ93	DQ46	DQS23/CQ23	DQ11
3A	11	VREFB3A0	IO				LVDS3A_19n	No	AN5	DQ94	DQ47	DQ23	DQ11
3A	10	VREFB3A0	IO				LVDS3A_19p	No	AP5	DQ94	DQ47	DQ23	DQ11
3A	9	VREFB3A0	IO				LVDS3A_20n	Yes	AP6	DQSn94	DQ47	DQ23	DQ11
3A	8	VREFB3A0	IO				LVDS3A_20p	Yes	AP7	DQS94	DQ47	DQ23	DQ11
3A	7	VREFB3A0	IO				LVDS3A_21n	No	AM8	DQ94	DQ47	DQ23	DQ11
3A	6	VREFB3A0	IO				LVDS3A_21p	No	AN8	DQ94	DQ47	DQ23	DQ11
3A	5	VREFB3A0	IO				LVDS3A_22n	Yes	AN9	DQSn95	DQSn47/CQn47	DQ23	DQ11
3A	4	VREFB3A0	IO				LVDS3A_22p	Yes	AP9	DQS95	DQS47/CQ47	DQ23	DQ11
3A	3	VREFB3A0	IO				LVDS3A_23n	No	AL8	DQ95	DQ47	DQ23	DQ11
3A	2	VREFB3A0	IO				LVDS3A_23p	No	AL9	DQ95	DQ47	DQ23	DQ11
3A	1	VREFB3A0	IO				LVDS3A_24n	Yes	AM7	DQ95	DQ47	DQ23	DQ11
3A	0	VREFB3A0	IO				LVDS3A_24p	Yes	AN7	DQ95	DQ47	DQ23	DQ11
			GND						AE13				
CSS			TDO		TDO				AJ12				
CSS			TMS		TMS				AL10				
CSS			TRST		TRST				AL11				
CSS			TCK		TCK				AH12				
CSS			TDI		TDI				AH13				
CSS			MSEL0		MSEL0				AG15				
CSS			MSEL1		MSEL1				AG13				
CSS			MSEL2		MSEL2				AG12				
CSS			nIO_PULLUP		nIO_PULLUP				AE14				
CSS			nSTATUS		nSTATUS				AM11				
CSS			CONF_DONE		CONF_DONE				AM12				
			GND						AP11				
CSS			nCONFIG		nCONFIG				AF13				
CSS			nCE		nCE				AF14				
CSS			nCS00		nCS00				AN10				
CSS			nCS01		nCS01				AM10				
CSS			nCS02		nCS02				AP10				
CSS			AS_DATA0,ASDO		AS_DATA0,ASDO				AJ11				
CSS			AS_DATA1		AS_DATA1				AK12				
CSS			AS_DATA2		AS_DATA2				AK11				
CSS			AS_DATA3		AS_DATA3				AF15				
CSS			DCLK		DCLK				AJ10				
			ADCGND						A14				
			GND						K16				
			GND						J16				
			GND						L15				
			GND						L16				
			GND						M15				
			GND						M16				
			GND						J15				
			GND						A12				
			GND						A17				
			GND						A22				
			GND						A27				
			GND						A28				
			GND						A30				
			GND						A31				
			GND						A32				
			GND						A33				
			GND						A7				
			GND						AA12				
			GND						AA17				
			GND						AA2				
			GND						AA22				
			GND						AA25				
			GND						AA26				

Bank Number	Index within I/O Bank (2)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	F34	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			GND						AA31				
			GND						AA32				
			GND						AB19				
			GND						AB26				
			GND						AB29				
			GND						AB30				
			GND						AB33				
			GND						AB34				
			GND						AB4				
			GND						AC1				
			GND						AC11				
			GND						AC16				
			GND						AC25				
			GND						AC31				
			GND						AC32				
			GND						AD13				
			GND						AD18				
			GND						AD21				
			GND						AD23				
			GND						AD26				
			GND						AD29				
			GND						AD3				
			GND						AD30				
			GND						AD33				
			GND						AD34				
			GND						AE15				
			GND						AE26				
			GND						AE31				
			GND						AE32				
			GND						AE5				
			GND						AF2				
			GND						AF26				
			GND						AF29				
			GND						AF30				
			GND						AF33				
			GND						AF34				
			GND						AF7				
			GND						AG14				
			GND						AG19				
			GND						AG26				
			GND						AG27				
			GND						AG28				
			GND						AG31				
			GND						AG32				
			GND						AG4				
			GND						AH1				
			GND						AH11				
			GND						AH21				
			GND						AH28				
			GND						AH29				
			GND						AH30				
			GND						AH33				
			GND						AH34				
			GND						AH6				
			GND						AJ13				
			GND						AJ18				
			GND						AJ28				
			GND						AJ3				
			GND						AJ31				
			GND						AJ32				
			GND						AJ8				
			GND						AK10				
			GND						AK25				
			GND						AK28				
			GND						AK29				
			GND						AK30				
			GND						AK33				
			GND						AK34				
			GND						AK5				
			GND						AL12				
			GND						AL17				
			GND						AL2				
			GND						AL22				
			GND						AL28				
			GND						AL31				
			GND						AL32				
			GND						AL7				
			GND						AM14				
			GND						AM19				
			GND						AM24				
			GND						AM28				
			GND						AM29				
			GND						AM30				
			GND						AM33				
			GND						AM34				
			GND						AM4				
			GND						AM9				
			GND						AN11				
			GND						AN16				
			GND						AN21				
			GND						AN26				
			GND						AN30				
			GND						AN31				

Bank Number	Index within I/O Bank (2)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	F34	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			GND						AN32				
			GND						AN6				
			GND						AP13				
			GND						AP18				
			GND						AP23				
			GND						AP28				
			GND						AP30				
			GND						AP33				
			GND						AP8				
			GND						B14				
			GND						B19				
			GND						B2				
			GND						B24				
			GND						B28				
			GND						B29				
			GND						B30				
			GND						B33				
			GND						B34				
			GND						B4				
			GND						B9				
			GND						C1				
			GND						C11				
			GND						C16				
			GND						C21				
			GND						C26				
			GND						C28				
			GND						C31				
			GND						C32				
			GND						C6				
			GND						D13				
			GND						D18				
			GND						D23				
			GND						D28				
			GND						D29				
			GND						D3				
			GND						D30				
			GND						D33				
			GND						D34				
			GND						D8				
			GND						E10				
			GND						E15				
			GND						E20				
			GND						E25				
			GND						E28				
			GND						E31				
			GND						E32				
			GND						E5				
			GND						F2				
			GND						F27				
			GND						F28				
			GND						F29				
			GND						F30				
			GND						F33				
			GND						F34				
			GND						F7				
			GND						G14				
			GND						G28				
			GND						G31				
			GND						G32				
			GND						G4				
			GND						G9				
			GND						H1				
			GND						H16				
			GND						H21				
			GND						H26				
			GND						H28				
			GND						H29				
			GND						H30				
			GND						H33				
			GND						H34				
			GND						H6				
			GND						J28				
			GND						J3				
			GND						J31				
			GND						J32				
			GND						JB				
			GND						K15				
			GND						K20				
			GND						K26				
			GND						K27				
			GND						K28				
			GND						K29				
			GND						K30				
			GND						K33				
			GND						K34				
			GND						K5				
			GND						L12				
			GND						L17				
			GND						L2				
			GND						L22				
			GND						L25				
			GND						L31				
			GND						L32				

Bank Number	Index within I/O Bank (2)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	F34	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			GND						L7				
			GND						M14				
			GND						M19				
			GND						M25				
			GND						M26				
			GND						M29				
			GND						M30				
			GND						M33				
			GND						M34				
			GND						M4				
			GND						N1				
			GND						N21				
			GND						N26				
			GND						N31				
			GND						N32				
			GND						N6				
			GND						P13				
			GND						P18				
			GND						P23				
			GND						P26				
			GND						P29				
			GND						P3				
			GND						P30				
			GND						P33				
			GND						P34				
			GND						R10				
			GND						R15				
			GND						R20				
			GND						R25				
			GND						R31				
			GND						R32				
			GND						R5				
			GND						T12				
			GND						T17				
			GND						T2				
			GND						T22				
			GND						T26				
			GND						T29				
			GND						T30				
			GND						T33				
			GND						T34				
			GND						U14				
			GND						U19				
			GND						U24				
			GND						U26				
			GND						U31				
			GND						U32				
			GND						U4				
			GND						V1				
			GND						V11				
			GND						V16				
			GND						V21				
			GND						V25				
			GND						V26				
			GND						V29				
			GND						V30				
			GND						V33				
			GND						V34				
			GND						V6				
			GND						W13				
			GND						W18				
			GND						W23				
			GND						W25				
			GND						W3				
			GND						W31				
			GND						W32				
			GND						Y10				
			GND						Y15				
			GND						Y20				
			GND						Y25				
			GND						Y26				
			GND						Y29				
			GND						Y30				
			GND						Y33				
			GND						Y34				
			GNDSENSE						Y18				
			VCC						AA11				
			VCC						AA13				
			VCC						AA16				
			VCC						AA18				
			VCC						AA19				
			VCC						AA23				
			VCC						AA24				
			VCC						AB12				
			VCC						AB13				
			VCC						AB14				
			VCC						AB17				
			VCC						AB18				
			VCC						AB21				
			VCC						AB23				
			VCC						AB24				
			VCC						AB25				
			VCC						AC18				

Bank Number	Index within I/O Bank (2)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	F34	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			VCC						AC21				
			VCC						N12				
			VCC						N13				
			VCC						N16				
			VCC						N17				
			VCC						N18				
			VCC						N23				
			VCC						N24				
			VCC						N25				
			VCC						P11				
			VCC						P12				
			VCC						P14				
			VCC						P17				
			VCC						P22				
			VCC						P24				
			VCC						P25				
			VCC						R11				
			VCC						R12				
			VCC						R13				
			VCC						R14				
			VCC						R16				
			VCC						R17				
			VCC						R18				
			VCC						R19				
			VCC						R21				
			VCC						R22				
			VCC						R23				
			VCC						R24				
			VCC						T11				
			VCC						T13				
			VCC						T19				
			VCC						T20				
			VCC						T21				
			VCC						T23				
			VCC						T24				
			VCC						T25				
			VCC						U11				
			VCC						U12				
			VCC						U15				
			VCC						U16				
			VCC						U20				
			VCC						U21				
			VCC						U25				
			VCC						V12				
			VCC						V13				
			VCC						V14				
			VCC						V15				
			VCC						V17				
			VCC						V18				
			VCC						V19				
			VCC						V20				
			VCC						V22				
			VCC						V23				
			VCC						V24				
			VCC						W11				
			VCC						W12				
			VCC						W14				
			VCC						W15				
			VCC						W16				
			VCC						W17				
			VCC						W19				
			VCC						W20				
			VCC						W21				
			VCC						W22				
			VCC						W24				
			VCC						Y11				
			VCC						Y12				
			VCC						Y13				
			VCC						Y14				
			VCC						Y16				
			VCC						Y19				
			VCC						Y21				
			VCC						Y22				
			VCC						Y23				
			VCC						Y24				
			VCCPT						AA14				
			VCCPT						AA15				
			VCCPT						AA20				
			VCCPT						AA21				
			VCCPT						P15				
			VCCPT						P16				
			VCCPT						P19				
			VCCPT						P20				
			VCCPT						P21				
			DNU						AN28				
			DNU						AN29				
			DNU						AC13				
			DNU						AC14				
			DNU						AC15				
			VCCPGM						AD15				
			VCCPGM						AD16				
			TEMPDIODEn						C14				
			TEMPDIODEp						D14				

Bank Number	Index within I/O Bank (2)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	F34	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			VCCBAT						AD14				
			VCCA_PLL						T16				
			VCCA_PLL						T18				
			VCCIO2A						AF17				
			VCCIO2A						AH16				
			VCCIO2A						AK15				
			VCCIO2I						AE20				
			VCCIO2I						AF22				
			VCCIO2I						AK20				
			VCCIO2J						AE25				
			VCCIO2J						AG24				
			VCCIO2J						AJ23				
			VCCIO2K						F22				
			VCCIO2K						G24				
			VCCIO2K						J23				
			VCCIO2L						F17				
			VCCIO2L						G19				
			VCCIO2L						J18				
			VCCIO3A						AE10				
			VCCIO3A						AF12				
			VCCIO3A						AG9				
			VCCIO3B						AB9				
			VCCIO3B						AC6				
			VCCIO3B						AD8				
			VCCIO3C						AA7				
			VCCIO3C						W8				
			VCCIO3C						Y5				
			VCCIO3D						P8				
			VCCIO3D						T7				
			VCCIO3D						U9				
			VCCIO3E						K10				
			VCCIO3E						M9				
			VCCIO3E						N11				
			VCCIO3F						F12				
			VCCIO3F						H11				
			VCCIO3F						J13				
2A		VREFB2AN0	VREFB2AN0						AC19				
2I		VREFB2IN0	VREFB2IN0						AE21				
2J		VREFB2JN0	VREFB2JN0						AC23				
2K		VREFB2KN0	VREFB2KN0						M22				
2L		VREFB2LN0	VREFB2LN0						K17				
3A		VREFB3AN0	VREFB3AN0						AD12				
3B		VREFB3BN0	VREFB3BN0						AC12				
3C		VREFB3CN0	VREFB3CN0						AA10				
3D		VREFB3DN0	VREFB3DN0						V10				
3E		VREFB3EN0	VREFB3EN0						P10				
3F		VREFB3FN0	VREFB3FN0						M12				
			VREFN_ADC						B13				
			VREFP_ADC						A13				
			NC						B16				
			NC						K14				
			NC						L14				
			NC						B15				
			NC						C17				
			NC						D15				
			NC						B17				
			NC						D16				
			NC						A16				
			NC						G15				
			NC						E16				
			NC						G16				
			NC						A15				
			NC						C15				
			NC						F16				
			NC						F15				
			NC						H15				
			NC						A2				
			NC						AC20				
			NC						AC22				
			NC						AD20				
			NC						AD22				
			NC						AE22				
			NC						AF20				
			NC						AF21				
			NC						AG20				
			NC						AG21				
			NC						AG22				
			NC						AH20				
			NC						AH22				
			NC						AN1				
			NC						AN2				
			NC						AN3				
			NC						AP2				
			NC						AP3				
			NC						B1				
			NC						C2				
			NC						T14				
			NC						T15				
			VCCH_GXBL						AC26				
			VCCH_GXBL						L26				
			VCCH_GXBL						R26				
			VCCH_GXBL						W26				
			VCCR_GXBL1C						AE27				

Bank Number	Index within I/O Bank (2)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	F34	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			VCCR_GXBL1C						AE28				
			VCCR_GXBL1D						AA27				
			VCCR_GXBL1D						AA28				
			VCCR_GXBL1E						U27				
			VCCR_GXBL1E						U28				
			VCCR_GXBL1F						N27				
			VCCR_GXBL1F						N28				
			VCCT_GXBL1C						AC27				
			VCCT_GXBL1C						AC28				
			VCCT_GXBL1D						W27				
			VCCT_GXBL1D						W28				
			VCCT_GXBL1E						R27				
			VCCT_GXBL1E						R28				
			VCCT_GXBL1F						L27				
			VCCT_GXBL1F						L28				
			RREF_BL						AP29				
			RREF_TL						A29				
			VCCERAM						U13				
			VCCERAM						U17				
			VCCERAM						U18				
			VCCERAM						U22				
			VCCERAM						U23				
			VCCLSENSE						Y17				
			VCCP						AB15				
			VCCP						AB16				
			VCCP						AB20				
			VCCP						AB22				
			VCCP						N14				
			VCCP						N15				
			VCCP						N19				
			VCCP						N20				
			VCCP						N22				
			VSIGN_0						F14				
			VSIGN_1						J14				
			VSIGP_0						E14				
			VSIGP_1						H14				

Notes:

(1) For more information about pin definition and pin connection guidelines, refer to the

[Arria 10 GT, GX, and SX Device Family Pin Connection Guidelines](#).

(2) For more information about the external memory interface schemes of the pins with indices, refer to the

[Arria10EMIF.xls](#)

Bank Number	Index within I/O Bank (2)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	F35	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
1H			REFCLK_GXBL1H_CHTp						G26				
1H			REFCLK_GXBL1H_CHTn						G25				
1H			GXBL1H_TX_CH5n						A25				
1H			GXBL1H_TX_CH5p						A26				
1H			GXBL1H_RX_CH5n,GXBL1H_REFCLK5n						C25				
1H			GXBL1H_RX_CH5p,GXBL1H_REFCLK5p						C26				
1H			GXBL1H_TX_CH4n						A29				
1H			GXBL1H_TX_CH4p						A30				
1H			GXBL1H_RX_CH4n,GXBL1H_REFCLK4n						E25				
1H			GXBL1H_RX_CH4p,GXBL1H_REFCLK4p						E26				
1H			GXBL1H_TX_CH3n						B31				
1H			GXBL1H_TX_CH3p						B32				
1H			GXBL1H_RX_CH3n,GXBL1H_REFCLK3n						B27				
1H			GXBL1H_RX_CH3p,GXBL1H_REFCLK3p						B28				
1H			GXBL1H_TX_CH2n						C33				
1H			GXBL1H_TX_CH2p						C34				
1H			GXBL1H_RX_CH2n,GXBL1H_REFCLK2n						D27				
1H			GXBL1H_RX_CH2p,GXBL1H_REFCLK2p						D28				
1H			GXBL1H_TX_CH1n						D31				
1H			GXBL1H_TX_CH1p						D32				
1H			GXBL1H_RX_CH1n,GXBL1H_REFCLK1n						C29				
1H			GXBL1H_RX_CH1p,GXBL1H_REFCLK1p						C30				
1H			GXBL1H_TX_CH0n						E33				
1H			GXBL1H_TX_CH0p						E34				
1H			GXBL1H_RX_CH0n,GXBL1H_REFCLK0n						E29				
1H			GXBL1H_RX_CH0p,GXBL1H_REFCLK0p						E30				
1H			REFCLK_GXBL1H_CHBp						J26				
1H			REFCLK_GXBL1H_CHBn						J25				
1G			REFCLK_GXBL1G_CHTp						L26				
1G			REFCLK_GXBL1G_CHTn						L25				
1G			GXBL1G_TX_CH5n						F31				
1G			GXBL1G_TX_CH5p						F32				
1G			GXBL1G_RX_CH5n,GXBL1G_REFCLK5n						F27				
1G			GXBL1G_RX_CH5p,GXBL1G_REFCLK5p						F28				
1G			GXBL1G_TX_CH4n						G33				
1G			GXBL1G_TX_CH4p						G34				
1G			GXBL1G_RX_CH4n,GXBL1G_REFCLK4n						G29				
1G			GXBL1G_RX_CH4p,GXBL1G_REFCLK4p						G30				
1G			GXBL1G_TX_CH3n						H31				
1G			GXBL1G_TX_CH3p						H32				
1G			GXBL1G_RX_CH3n,GXBL1G_REFCLK3n						H27				
1G			GXBL1G_RX_CH3p,GXBL1G_REFCLK3p						H28				
1G			GXBL1G_TX_CH2n						J33				
1G			GXBL1G_TX_CH2p						J34				
1G			GXBL1G_RX_CH2n,GXBL1G_REFCLK2n						J29				
1G			GXBL1G_RX_CH2p,GXBL1G_REFCLK2p						J30				
1G			GXBL1G_TX_CH1n						K31				
1G			GXBL1G_TX_CH1p						K32				
1G			GXBL1G_RX_CH1n,GXBL1G_REFCLK1n						K27				
1G			GXBL1G_RX_CH1p,GXBL1G_REFCLK1p						K28				
1G			GXBL1G_TX_CH0n						L33				
1G			GXBL1G_TX_CH0p						L34				
1G			GXBL1G_RX_CH0n,GXBL1G_REFCLK0n						L29				
1G			GXBL1G_RX_CH0p,GXBL1G_REFCLK0p						L30				
1G			REFCLK_GXBL1G_CHBp						N26				
1G			REFCLK_GXBL1G_CHBn						N25				
1F			REFCLK_GXBL1F_CHTp						R26				
1F			REFCLK_GXBL1F_CHTn						R25				
1F			GXBL1F_TX_CH5n						M31				
1F			GXBL1F_TX_CH5p						M32				
1F			GXBL1F_RX_CH5n,GXBL1F_REFCLK5n						M27				
1F			GXBL1F_RX_CH5p,GXBL1F_REFCLK5p						M28				
1F			GXBL1F_TX_CH4n						N33				
1F			GXBL1F_TX_CH4p						N34				
1F			GXBL1F_RX_CH4n,GXBL1F_REFCLK4n						N29				
1F			GXBL1F_RX_CH4p,GXBL1F_REFCLK4p						N30				
1F			GXBL1F_TX_CH3n						P31				
1F			GXBL1F_TX_CH3p						P32				
1F			GXBL1F_RX_CH3n,GXBL1F_REFCLK3n						P27				
1F			GXBL1F_RX_CH3p,GXBL1F_REFCLK3p						P28				
1F			GXBL1F_TX_CH2n						R33				
1F			GXBL1F_TX_CH2p						R34				
1F			GXBL1F_RX_CH2n,GXBL1F_REFCLK2n						R29				
1F			GXBL1F_RX_CH2p,GXBL1F_REFCLK2p						R30				
1F			GXBL1F_TX_CH1n						T31				
1F			GXBL1F_TX_CH1p						T32				
1F			GXBL1F_RX_CH1n,GXBL1F_REFCLK1n						T27				
1F			GXBL1F_RX_CH1p,GXBL1F_REFCLK1p						T28				
1F			GXBL1F_TX_CH0n						U33				
1F			GXBL1F_TX_CH0p						U34				
1F			GXBL1F_RX_CH0n,GXBL1F_REFCLK0n						U29				
1F			GXBL1F_RX_CH0p,GXBL1F_REFCLK0p						U30				
1F			REFCLK_GXBL1F_CHBp						U26				
1F			REFCLK_GXBL1F_CHBn						U25				
1E			REFCLK_GXBL1E_CHTp						W26				

Bank Number	Index within I/O Bank (2)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	F35	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
1E			REFCLK_GXBL1E_CHTn						W25				
1E			GXBL1E_TX_CH5n						V31				
1E			GXBL1E_TX_CH5p						V32				
1E			GXBL1E_RX_CH5n,GXBL1E_REFCLK5n						V27				
1E			GXBL1E_RX_CH5p,GXBL1E_REFCLK5p						V28				
1E			GXBL1E_TX_CH4n						W33				
1E			GXBL1E_TX_CH4p						W34				
1E			GXBL1E_RX_CH4n,GXBL1E_REFCLK4n						W29				
1E			GXBL1E_RX_CH4p,GXBL1E_REFCLK4p						W30				
1E			GXBL1E_TX_CH3n						Y31				
1E			GXBL1E_TX_CH3p						Y32				
1E			GXBL1E_RX_CH3n,GXBL1E_REFCLK3n						Y27				
1E			GXBL1E_RX_CH3p,GXBL1E_REFCLK3p						Y28				
1E			GXBL1E_TX_CH2n						AA33				
1E			GXBL1E_TX_CH2p						AA34				
1E			GXBL1E_RX_CH2n,GXBL1E_REFCLK2n						AA29				
1E			GXBL1E_RX_CH2p,GXBL1E_REFCLK2p						AA30				
1E			GXBL1E_TX_CH1n						AB31				
1E			GXBL1E_TX_CH1p						AB32				
1E			GXBL1E_RX_CH1n,GXBL1E_REFCLK1n						AB27				
1E			GXBL1E_RX_CH1p,GXBL1E_REFCLK1p						AB28				
1E			GXBL1E_TX_CH0n						AC33				
1E			GXBL1E_TX_CH0p						AC34				
1E			GXBL1E_RX_CH0n,GXBL1E_REFCLK0n						AC29				
1E			GXBL1E_RX_CH0p,GXBL1E_REFCLK0p						AC30				
1E			REFCLK_GXBL1E_CHBp						AA26				
1E			REFCLK_GXBL1E_CHBn						AA25				
1D			REFCLK_GXBL1D_CHTp						AC26				
1D			REFCLK_GXBL1D_CHTn						AC25				
1D			GXBL1D_TX_CH5n						AD31				
1D			GXBL1D_TX_CH5p						AD32				
1D			GXBL1D_RX_CH5n,GXBL1D_REFCLK5n						AD27				
1D			GXBL1D_RX_CH5p,GXBL1D_REFCLK5p						AD28				
1D			GXBL1D_TX_CH4n						AE33				
1D			GXBL1D_TX_CH4p						AE34				
1D			GXBL1D_RX_CH4n,GXBL1D_REFCLK4n						AE29				
1D			GXBL1D_RX_CH4p,GXBL1D_REFCLK4p						AE30				
1D			GXBL1D_TX_CH3n						AF31				
1D			GXBL1D_TX_CH3p						AF32				
1D			GXBL1D_RX_CH3n,GXBL1D_REFCLK3n						AF27				
1D			GXBL1D_RX_CH3p,GXBL1D_REFCLK3p						AF28				
1D			GXBL1D_TX_CH2n						AG33				
1D			GXBL1D_TX_CH2p						AG34				
1D			GXBL1D_RX_CH2n,GXBL1D_REFCLK2n						AG29				
1D			GXBL1D_RX_CH2p,GXBL1D_REFCLK2p						AG30				
1D			GXBL1D_TX_CH1n						AH31				
1D			GXBL1D_TX_CH1p						AH32				
1D			GXBL1D_RX_CH1n,GXBL1D_REFCLK1n						AH27				
1D			GXBL1D_RX_CH1p,GXBL1D_REFCLK1p						AH28				
1D			GXBL1D_TX_CH0n						AJ33				
1D			GXBL1D_TX_CH0p						AJ34				
1D			GXBL1D_RX_CH0n,GXBL1D_REFCLK0n						AJ29				
1D			GXBL1D_RX_CH0p,GXBL1D_REFCLK0p						AJ30				
1D			REFCLK_GXBL1D_CHBp						AE26				
1D			REFCLK_GXBL1D_CHBn						AE25				
1C			REFCLK_GXBL1C_CHTp						AG26				
1C			REFCLK_GXBL1C_CHTn						AG25				
1C			GXBL1C_TX_CH5n						AK31				
1C			GXBL1C_TX_CH5p						AK32				
1C			GXBL1C_RX_CH5n,GXBL1C_REFCLK5n						AL29				
1C			GXBL1C_RX_CH5p,GXBL1C_REFCLK5p						AL30				
1C			GXBL1C_TX_CH4n						AL33				
1C			GXBL1C_TX_CH4p						AL34				
1C			GXBL1C_RX_CH4n,GXBL1C_REFCLK4n						AN29				
1C			GXBL1C_RX_CH4p,GXBL1C_REFCLK4p						AN30				
1C			GXBL1C_TX_CH3n						AM31				
1C			GXBL1C_TX_CH3p						AM32				
1C			GXBL1C_RX_CH3n,GXBL1C_REFCLK3n						AK27				
1C			GXBL1C_RX_CH3p,GXBL1C_REFCLK3p						AK28				
1C			GXBL1C_TX_CH2n						AN33				
1C			GXBL1C_TX_CH2p						AN34				
1C			GXBL1C_RX_CH2n,GXBL1C_REFCLK2n						AM27				
1C			GXBL1C_RX_CH2p,GXBL1C_REFCLK2p						AM28				
1C			GXBL1C_TX_CH1n						AP31				
1C			GXBL1C_TX_CH1p						AP32				
1C			GXBL1C_RX_CH1n,GXBL1C_REFCLK1n						AN25				
1C			GXBL1C_RX_CH1p,GXBL1C_REFCLK1p						AN26				
1C			GXBL1C_TX_CH0n						AP27				
1C			GXBL1C_TX_CH0p						AP28				
1C			GXBL1C_RX_CH0n,GXBL1C_REFCLK0n						AL25				
1C			GXBL1C_RX_CH0p,GXBL1C_REFCLK0p						AL26				
1C			REFCLK_GXBL1C_CHBp						AJ26				
1C			REFCLK_GXBL1C_CHBn						AJ25				
2L	47	VREFB2LN0	IO			DIFFIO2L_1n		No	C13	DQ0	DQ0	DQ0	DQ0
2L	46	VREFB2LN0	IO			DIFFIO2L_1p		No	B13	DQ0	DQ0	DQ0	DQ0

Bank Number	Index within I/O Bank (2)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	F35	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
2L	45	VREFB2LN0	IO			DIFFIO2L_2n		No	A14	DQSn0	DQ0	DQ0	DQ0
2L	44	VREFB2LN0	IO			DIFFIO2L_2p		No	A13	DQS0	DQ0	DQ0	DQ0
2L	43	VREFB2LN0	IO			DIFFIO2L_3n		No	D14	DQ0	DQ0	DQ0	DQ0
2L	42	VREFB2LN0	IO			DIFFIO2L_3p		No	C14	DQ0	DQ0	DQ0	DQ0
2L	41	VREFB2LN0	IO			DIFFIO2L_4n		No	D12	DQSn1	DQSn0/CQn0	DQ0	DQ0
2L	40	VREFB2LN0	IO			DIFFIO2L_4p		No	C12	DQS1	DQS0/CQ0	DQ0	DQ0
2L	39	VREFB2LN0	IO			DIFFIO2L_5n		No	F13	DQ1	DQ0	DQ0	DQ0
2L	38	VREFB2LN0	IO			DIFFIO2L_5p		No	E13	DQ1	DQ0	DQ0	DQ0
2L	37	VREFB2LN0	IO			DIFFIO2L_6n		No	F14	DQ1	DQ0	DQSn0/CQn0	DQ0
2L	36	VREFB2LN0	IO			DIFFIO2L_6p		No	E14	DQ1	DQ0	DQS0/CQ0	DQ0
2L	35	VREFB2LN0	IO			DIFFIO2L_7n		No	G17	DQ2	DQ1	DQ0	DQ0
2L	34	VREFB2LN0	IO			DIFFIO2L_7p		No	G16	DQ2	DQ1	DQ0	DQ0
2L	33	VREFB2LN0	IO			DIFFIO2L_8n		No	F16	DQSn2	DQ1	DQ0	DQ0
2L	32	VREFB2LN0	IO			DIFFIO2L_8p		No	F15	DQS2	DQ1	DQ0	DQ0
2L	31	VREFB2LN0	IO			DIFFIO2L_9n		No	D15	DQ2	DQ1	DQ0	DQ0
2L	30	VREFB2LN0	IO			DIFFIO2L_9p		No	C15	DQ2	DQ1	DQ0	DQ0
2L	29	VREFB2LN0	IO	PLL_2L_CLKOUT1n		DIFFIO2L_10n		No	E16	DQS3	DQSn1/CQn1	DQ0	DQ0
2L	28	VREFB2LN0	IO	PLL_2L_CLKOUT1p,PLL_2L_CLKOUT1,PLL_2L_FB1		DIFFIO2L_10p		No	D16	DQS3	DQS1/CQ1	DQ0	DQ0
2L	27	VREFB2LN0	IO			DIFFIO2L_11n		No	B16	DQ3	DQ1	DQ0	DQ0
2L	26	VREFB2LN0	IO	RZQ_2L		DIFFIO2L_11p		No	A16	DQ3	DQ1	DQ0	DQ0
2L	25	VREFB2LN0	IO	CLK_2L_1n		DIFFIO2L_12n		No	B15	DQ3	DQ1	DQ0	DQ0
2L	24	VREFB2LN0	IO	CLK_2L_1p		DIFFIO2L_12p		No	A15	DQ3	DQ1	DQ0	DQ0
2L	23	VREFB2LN0	IO	CLK_2L_0n		DIFFIO2L_13n		No	E12	DQ4	DQ2	DQ1	DQ0
2L	22	VREFB2LN0	IO	CLK_2L_0p		DIFFIO2L_13p		No	E11	DQ4	DQ2	DQ1	DQ0
2L	21	VREFB2LN0	IO			DIFFIO2L_14n		No	C9	DQSn4	DQ2	DQ1	DQSn0/CQn0
2L	20	VREFB2LN0	IO			DIFFIO2L_14p		No	C8	DQS4	DQ2	DQ1	DQS0/CQ0
2L	19	VREFB2LN0	IO	PLL_2L_CLKOUT0n		DIFFIO2L_15n		No	D11	DQ4	DQ2	DQ1	DQ0
2L	18	VREFB2LN0	IO	PLL_2L_CLKOUT0p,PLL_2L_CLKOUT0,PLL_2L_FB0		DIFFIO2L_15p		No	D10	DQ4	DQ2	DQ1	DQ0
2L	17	VREFB2LN0	IO			DIFFIO2L_16n		No	C10	DQSn5	DQSn2/CQn2	DQ1	DQ0
2L	16	VREFB2LN0	IO			DIFFIO2L_16p		No	B10	DQS5	DQS2/CQ2	DQ1	DQ0
2L	15	VREFB2LN0	IO			DIFFIO2L_17n		No	E9	DQ5	DQ2	DQ1	DQ0
2L	14	VREFB2LN0	IO			DIFFIO2L_17p		No	D9	DQ5	DQ2	DQ1	DQ0
2L	13	VREFB2LN0	IO			DIFFIO2L_18n		No	B12	DQ5	DQ2	DQSn1/CQn1	DQ0
2L	12	VREFB2LN0	IO			DIFFIO2L_18p		No	B11	DQ5	DQ2	DQS1/CQ1	DQ0
2L	11	VREFB2LN0	IO			DIFFIO2L_19n		No	A6	DQ6	DQ3	DQ1	DQ0
2L	10	VREFB2LN0	IO			DIFFIO2L_19p		No	A5	DQ6	DQ3	DQ1	DQ0
2L	9	VREFB2LN0	IO			DIFFIO2L_20n		No	B7	DQSn6	DQ3	DQ1	DQ0
2L	8	VREFB2LN0	IO			DIFFIO2L_20p		No	B6	DQS6	DQ3	DQ1	DQ0
2L	7	VREFB2LN0	IO			DIFFIO2L_21n		No	A9	DQ6	DQ3	DQ1	DQ0
2L	6	VREFB2LN0	IO			DIFFIO2L_21p		No	A8	DQ6	DQ3	DQ1	DQ0
2L	5	VREFB2LN0	IO			DIFFIO2L_22n		No	A11	DQSn7	DQSn3/CQn3	DQ1	DQ0
2L	4	VREFB2LN0	IO			DIFFIO2L_22p		No	A10	DQS7	DQS3/CQ3	DQ1	DQ0
2L	3	VREFB2LN0	IO			DIFFIO2L_23n		No	C7	DQ7	DQ3	DQ1	DQ0
2L	2	VREFB2LN0	IO			DIFFIO2L_23p		No	B8	DQ7	DQ3	DQ1	DQ0
2L	1	VREFB2LN0	IO			DIFFIO2L_24n		No	A4	DQ7	DQ3	DQ1	DQ0
2L	0	VREFB2LN0	IO			DIFFIO2L_24p		No	A3	DQ7	DQ3	DQ1	DQ0
2K	47	VREFB2KN0	IO				LVDS2K_1n	No	K22	DQ8	DQ4	DQ2	DQ1
2K	46	VREFB2KN0	IO				LVDS2K_1p	No	J22	DQ8	DQ4	DQ2	DQ1
2K	45	VREFB2KN0	IO				LVDS2K_2n	Yes	J19	DQSn8	DQ4	DQ2	DQ1
2K	44	VREFB2KN0	IO				LVDS2K_2p	Yes	J20	DQS8	DQ4	DQ2	DQ1
2K	43	VREFB2KN0	IO				LVDS2K_3n	No	K18	DQ8	DQ4	DQ2	DQ1
2K	42	VREFB2KN0	IO				LVDS2K_3p	No	K17	DQ8	DQ4	DQ2	DQ1
2K	41	VREFB2KN0	IO				LVDS2K_4n	Yes	K21	DQSn9	DQSn4/CQn4	DQ2	DQ1
2K	40	VREFB2KN0	IO				LVDS2K_4p	Yes	J21	DQS9	DQS4/CQ4	DQ2	DQ1
2K	39	VREFB2KN0	IO				LVDS2K_5n	No	H22	DQ9	DQ4	DQ2	DQ1
2K	38	VREFB2KN0	IO				LVDS2K_5p	No	G23	DQ9	DQ4	DQ2	DQ1
2K	37	VREFB2KN0	IO				LVDS2K_6n	Yes	G21	DQ9	DQ4	DQSn2/CQn2	DQ1
2K	36	VREFB2KN0	IO				LVDS2K_6p	Yes	G22	DQ9	DQ4	DQS2/CQ2	DQ1
2K	35	VREFB2KN0	IO				LVDS2K_7n	No	J17	DQ10	DQ5	DQ2	DQ1
2K	34	VREFB2KN0	IO				LVDS2K_7p	No	H17	DQ10	DQ5	DQ2	DQ1
2K	33	VREFB2KN0	IO				LVDS2K_8n	Yes	G20	DQSn10	DQ5	DQ2	DQ1
2K	32	VREFB2KN0	IO				LVDS2K_8p	Yes	F20	DQS10	DQ5	DQ2	DQ1
2K	31	VREFB2KN0	IO				LVDS2K_9n	No	H20	DQ10	DQ5	DQ2	DQ1
2K	30	VREFB2KN0	IO				LVDS2K_9p	No	H19	DQ10	DQ5	DQ2	DQ1
2K	29	VREFB2KN0	IO	PLL_2K_CLKOUT1n			LVDS2K_10n	Yes	F21	DQSn11	DQSn5/CQn5	DQ2	DQ1
2K	28	VREFB2KN0	IO	PLL_2K_CLKOUT1p,PLL_2K_CLKOUT1,PLL_2K_FB1			LVDS2K_10p	Yes	E21	DQS11	DQS5/CQ5	DQ2	DQ1
2K	27	VREFB2KN0	IO				LVDS2K_11n	No	E22	DQ11	DQ5	DQ2	DQ1
2K	26	VREFB2KN0	IO	RZQ_2K			LVDS2K_11p	No	E23	DQ11	DQ5	DQ2	DQ1
2K	25	VREFB2KN0	IO	CLK_2K_1n			LVDS2K_12n	Yes	H18	DQ11	DQ5	DQ2	DQ1
2K	24	VREFB2KN0	IO	CLK_2K_1p			LVDS2K_12p	Yes	G18	DQ11	DQ5	DQ2	DQ1
2K	23	VREFB2KN0	IO	CLK_2K_0n			LVDS2K_13n	No	D19	DQ12	DQ6	DQ3	DQ1
2K	22	VREFB2KN0	IO	CLK_2K_0p			LVDS2K_13p	No	C19	DQ12	DQ6	DQ3	DQ1
2K	21	VREFB2KN0	IO				LVDS2K_14n	Yes	F19	DQSn12	DQ6	DQ3	DQSn1/CQn1
2K	20	VREFB2KN0	IO				LVDS2K_14p	Yes	E19	DQS12	DQ6	DQ3	DQS1/CQ1
2K	19	VREFB2KN0	IO	PLL_2K_CLKOUT0n			LVDS2K_15n	No	D20	DQ12	DQ6	DQ3	DQ1
2K	18	VREFB2KN0	IO	PLL_2K_CLKOUT0p,PLL_2K_CLKOUT0,PLL_2K_FB0			LVDS2K_15p	No	C20	DQ12	DQ6	DQ3	DQ1
2K	17	VREFB2KN0	IO				LVDS2K_16n	Yes	D21	DQSn13	DQSn6/CQn6	DQ3	DQ1
2K	16	VREFB2KN0	IO				LVDS2K_16p	Yes	D22	DQS13	DQS6/CQ6	DQ3	DQ1
2K	15	VREFB2KN0	IO				LVDS2K_17n	No	F18	DQ13	DQ6	DQ3	DQ1
2K	14	VREFB2KN0	IO				LVDS2K_17p	No	E18	DQ13	DQ6	DQ3	DQ1
2K	13	VREFB2KN0	IO				LVDS2K_18n	Yes	C22	DQ13	DQ6	DQSn3/CQn3	DQ1
2K	12	VREFB2KN0	IO				LVDS2K_18p	Yes	C23	DQ13	DQ6	DQS3/CQ3	DQ1
2K	11	VREFB2KN0	IO				LVDS2K_19n	No	E17	DQ14	DQ7	DQ3	DQ1
2K	10	VREFB2KN0	IO				LVDS2K_19p	No	D17	DQ14	DQ7	DQ3	DQ1
2K	9	VREFB2KN0	IO				LVDS2K_20n	Yes	C18	DQSn14	DQ7	DQ3	DQ1

Bank Number	Index within I/O Bank (2)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	F35	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
2K	8	VREFB2KN0	IO				LVDS2K_20p	Yes	B18	DQS14	DQ7	DQ3	DQ1
2K	7	VREFB2KN0	IO				LVDS2K_21n	No	B20	DQ14	DQ7	DQ3	DQ1
2K	6	VREFB2KN0	IO				LVDS2K_21p	No	A20	DQ14	DQ7	DQ3	DQ1
2K	5	VREFB2KN0	IO				LVDS2K_22n	Yes	B21	DQSn15	DQSn7/CQn7	DQ3	DQ1
2K	4	VREFB2KN0	IO				LVDS2K_22p	Yes	A21	DQS15	DQS7/CQ7	DQ3	DQ1
2K	3	VREFB2KN0	IO				LVDS2K_23n	No	C17	DQ15	DQ7	DQ3	DQ1
2K	2	VREFB2KN0	IO				LVDS2K_23p	No	B17	DQ15	DQ7	DQ3	DQ1
2K	1	VREFB2KN0	IO				LVDS2K_24n	Yes	A18	DQ15	DQ7	DQ3	DQ1
2K	0	VREFB2KN0	IO				LVDS2K_24p	Yes	A19	DQ15	DQ7	DQ3	DQ1
2J	47	VREFB2JN0	IO				LVDS2J_1n	No	AN19	DQ16	DQ8	DQ4	DQ2
2J	46	VREFB2JN0	IO				LVDS2J_1p	No	AP19	DQ16	DQ8	DQ4	DQ2
2J	45	VREFB2JN0	IO				LVDS2J_2n	Yes	AM21	DQSn16	DQ8	DQ4	DQ2
2J	44	VREFB2JN0	IO				LVDS2J_2p	Yes	AL21	DQS16	DQ8	DQ4	DQ2
2J	43	VREFB2JN0	IO				LVDS2J_3n	No	AG22	DQ16	DQ8	DQ4	DQ2
2J	42	VREFB2JN0	IO				LVDS2J_3p	No	AH23	DQ16	DQ8	DQ4	DQ2
2J	41	VREFB2JN0	IO				LVDS2J_4n	Yes	AM17	DQSn17	DQSn8/CQn8	DQ4	DQ2
2J	40	VREFB2JN0	IO				LVDS2J_4p	Yes	AN17	DQS17	DQSn8/CQn8	DQ4	DQ2
2J	39	VREFB2JN0	IO				LVDS2J_5n	No	AP17	DQ17	DQ8	DQ4	DQ2
2J	38	VREFB2JN0	IO				LVDS2J_5p	No	AP16	DQ17	DQ8	DQ4	DQ2
2J	37	VREFB2JN0	IO				LVDS2J_6n	Yes	AM18	DQ17	DQ8	DQSn4/CQn4	DQ2
2J	36	VREFB2JN0	IO				LVDS2J_6p	Yes	AN18	DQ17	DQ8	DQSn4/CQn4	DQ2
2J	35	VREFB2JN0	IO				LVDS2J_7n	No	AF21	DQ18	DQ9	DQ4	DQ2
2J	34	VREFB2JN0	IO				LVDS2J_7p	No	AF20	DQ18	DQ9	DQ4	DQ2
2J	33	VREFB2JN0	IO				LVDS2J_8n	Yes	AD21	DQSn18	DQ9	DQ4	DQ2
2J	32	VREFB2JN0	IO				LVDS2J_8p	Yes	AE21	DQS18	DQ9	DQ4	DQ2
2J	31	VREFB2JN0	IO				LVDS2J_9n	No	AF19	DQ18	DQ9	DQ4	DQ2
2J	30	VREFB2JN0	IO				LVDS2J_9p	No	AF18	DQ18	DQ9	DQ4	DQ2
2J	29	VREFB2JN0	IO	PLL_2J_CLKOUT1n			LVDS2J_10n	Yes	AE18	DQSn19	DQSn9/CQn9	DQ4	DQ2
2J	28	VREFB2JN0	IO	PLL_2J_CLKOUT1p,PLL_2J_CLKOUT1,PLL_2J_FB1			LVDS2J_10p	Yes	AE17	DQS19	DQS9/CQ9	DQ4	DQ2
2J	27	VREFB2JN0	IO				LVDS2J_11n	No	AE22	DQ19	DQ9	DQ4	DQ2
2J	26	VREFB2JN0	IO	RZQ_2J			LVDS2J_11p	No	AD22	DQ19	DQ9	DQ4	DQ2
2J	25	VREFB2JN0	IO	CLK_2J_1n			LVDS2J_12n	Yes	AH18	DQ19	DQ9	DQ4	DQ2
2J	24	VREFB2JN0	IO	CLK_2J_1p			LVDS2J_12p	Yes	AG18	DQ19	DQ9	DQ4	DQ2
2J	23	VREFB2JN0	IO	CLK_2J_0n			LVDS2J_13n	No	AK23	DQ20	DQ10	DQ5	DQ2
2J	22	VREFB2JN0	IO	CLK_2J_0p			LVDS2J_13p	No	AL23	DQ20	DQ10	DQ5	DQ2
2J	21	VREFB2JN0	IO				LVDS2J_14n	Yes	AN20	DQSn20	DQ10	DQ5	DQSn2/CQn2
2J	20	VREFB2JN0	IO				LVDS2J_14p	Yes	AM20	DQS20	DQ10	DQ5	DQS2/CQ2
2J	19	VREFB2JN0	IO	PLL_2J_CLKOUT0n			LVDS2J_15n	No	AJ22	DQ20	DQ10	DQ5	DQ2
2J	18	VREFB2JN0	IO	PLL_2J_CLKOUT0p,PLL_2J_CLKOUT0,PLL_2J_FB0			LVDS2J_15p	No	AH22	DQ20	DQ10	DQ5	DQ2
2J	17	VREFB2JN0	IO				LVDS2J_16n	Yes	AJ20	DQSn21	DQSn10/CQn10	DQ5	DQ2
2J	16	VREFB2JN0	IO				LVDS2J_16p	Yes	AJ21	DQS21	DQS10/CQ10	DQ5	DQ2
2J	15	VREFB2JN0	IO				LVDS2J_17n	No	AP20	DQ21	DQ10	DQ5	DQ2
2J	14	VREFB2JN0	IO				LVDS2J_17p	No	AP21	DQ21	DQ10	DQ5	DQ2
2J	13	VREFB2JN0	IO				LVDS2J_18n	Yes	AK22	DQ21	DQ10	DQSn5/CQn5	DQ2
2J	12	VREFB2JN0	IO				LVDS2J_18p	Yes	AK21	DQ21	DQ10	DQS5/CQ5	DQ2
2J	11	VREFB2JN0	IO				LVDS2J_19n	No	AL19	DQ22	DQ11	DQ5	DQ2
2J	10	VREFB2JN0	IO				LVDS2J_19p	No	AL20	DQ22	DQ11	DQ5	DQ2
2J	9	VREFB2JN0	IO				LVDS2J_20n	Yes	AJ17	DQSn22	DQ11	DQ5	DQ2
2J	8	VREFB2JN0	IO				LVDS2J_20p	Yes	AK17	DQS22	DQ11	DQ5	DQ2
2J	7	VREFB2JN0	IO				LVDS2J_21n	No	AG20	DQ22	DQ11	DQ5	DQ2
2J	6	VREFB2JN0	IO				LVDS2J_21p	No	AG21	DQ22	DQ11	DQ5	DQ2
2J	5	VREFB2JN0	IO				LVDS2J_22n	Yes	AH20	DQSn23	DQSn11/CQn11	DQ5	DQ2
2J	4	VREFB2JN0	IO				LVDS2J_22p	Yes	AH19	DQS23	DQSn11/CQn11	DQ5	DQ2
2J	3	VREFB2JN0	IO				LVDS2J_23n	No	AL18	DQ23	DQ11	DQ5	DQ2
2J	2	VREFB2JN0	IO				LVDS2J_23p	No	AK18	DQ23	DQ11	DQ5	DQ2
2J	1	VREFB2JN0	IO				LVDS2J_24n	Yes	AK19	DQ23	DQ11	DQ5	DQ2
2J	0	VREFB2JN0	IO				LVDS2J_24p	Yes	AJ19	DQ23	DQ11	DQ5	DQ2
2I	35	VREFB2IN0	IO				LVDS2I_7n	No	AG16	DQ26	DQ13	DQ6	DQ3
2I	34	VREFB2IN0	IO				LVDS2I_7p	No	AH15	DQ26	DQ13	DQ6	DQ3
2I	33	VREFB2IN0	IO				LVDS2I_8n	Yes	AK16	DQSn26	DQ13	DQ6	DQ3
2I	32	VREFB2IN0	IO				LVDS2I_8p	Yes	AJ16	DQS26	DQ13	DQ6	DQ3
2I	31	VREFB2IN0	IO				LVDS2I_9n	No	AF15	DQ26	DQ13	DQ6	DQ3
2I	30	VREFB2IN0	IO				LVDS2I_9p	No	AF16	DQ26	DQ13	DQ6	DQ3
2I	29	VREFB2IN0	IO	PLL_2I_CLKOUT1n			LVDS2I_10n	Yes	AG17	DQSn27	DQSn13/CQn13	DQ6	DQ3
2I	28	VREFB2IN0	IO	PLL_2I_CLKOUT1p,PLL_2I_CLKOUT1,PLL_2I_FB1			LVDS2I_10p	Yes	AH17	DQS27	DQS13/CQ13	DQ6	DQ3
2I	27	VREFB2IN0	IO				LVDS2I_11n	No	AJ15	DQ27	DQ13	DQ6	DQ3
2I	26	VREFB2IN0	IO	RZQ_2I			LVDS2I_11p	No	AH14	DQ27	DQ13	DQ6	DQ3
2I	25	VREFB2IN0	IO	CLK_2I_1n			LVDS2I_12n	Yes	AF14	DQ27	DQ13	DQ6	DQ3
2I	24	VREFB2IN0	IO	CLK_2I_1p			LVDS2I_12p	Yes	AG15	DQ27	DQ13	DQ6	DQ3
2A	47	VREFB2AN0	IO		DATA0		LVDS2A_1n	No	AE14	DQ40	DQ20	DQ10	DQ5
2A	46	VREFB2AN0	IO		DATA1		LVDS2A_1p	No	AF13	DQ40	DQ20	DQ10	DQ5
2A	45	VREFB2AN0	IO		DATA2		LVDS2A_2n	Yes	AN14	DQSn40	DQ20	DQ10	DQ5
2A	44	VREFB2AN0	IO		DATA3		LVDS2A_2p	Yes	AP14	DQS40	DQ20	DQ10	DQ5
2A	43	VREFB2AN0	IO		DATA4		LVDS2A_3n	No	AM13	DQ40	DQ20	DQ10	DQ5
2A	42	VREFB2AN0	IO		DATA5		LVDS2A_3p	No	AN13	DQ40	DQ20	DQ10	DQ5
2A	41	VREFB2AN0	IO		DATA6		LVDS2A_4n	Yes	AG12	DQSn41	DQSn20/CQn20	DQ10	DQ5
2A	40	VREFB2AN0	IO		DATA7		LVDS2A_4p	Yes	AH12	DQS41	DQS20/CQ20	DQ10	DQ5
2A	39	VREFB2AN0	IO		DATA8		LVDS2A_5n	No	AG11	DQ41	DQ20	DQ10	DQ5
2A	38	VREFB2AN0	IO		DATA9		LVDS2A_5p	No	AF11	DQ41	DQ20	DQ10	DQ5
2A	37	VREFB2AN0	IO		DATA10		LVDS2A_6n	Yes	AG10	DQ41	DQ20	DQSn10/CQn10	DQ5
2A	36	VREFB2AN0	IO		DATA11		LVDS2A_6p	Yes	AF10	DQ41	DQ20	DQS10/CQ10	DQ5
2A	35	VREFB2AN0	IO		DATA12		LVDS2A_7n	No	AP12	DQ42	DQ21	DQ10	DQ5
2A	34	VREFB2AN0	IO		DATA13		LVDS2A_7p	No	AP11	DQ42	DQ21	DQ10	DQ5
2A	33	VREFB2AN0	IO		DATA14		LVDS2A_8n	Yes	AN12	DQSn42	DQ21	DQ10	DQ5
2A	32	VREFB2AN0	IO		DATA15		LVDS2A_8p	Yes	AM12	DQS42	DQ21	DQ10	DQ5

Bank Number	Index within I/O Bank (2)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	F35	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
2A	31	VREFB2AN0	IO		DATA16		LVDS2A_9n	No	AK9	DQ42	DQ21	DQ10	DQ5
2A	30	VREFB2AN0	IO		DATA17		LVDS2A_9p	No	AL9	DQ42	DQ21	DQ10	DQ5
2A	29	VREFB2AN0	IO		DATA18	PLL_2A_CLKOUT1n	LVDS2A_10n	Yes	AP10	DQSn43	DQSn21/CQn21	DQ10	DQ5
2A	28	VREFB2AN0	IO		DATA19	PLL_2A_CLKOUT1p,PLL_2A_CLK	LVDS2A_10p	Yes	AN10	DQS43	DQS21/CQ21	DQ10	DQ5
2A	27	VREFB2AN0	IO		nCEO		LVDS2A_11n	No	AM11	DQ43	DQ21	DQ10	DQ5
2A	26	VREFB2AN0	IO	RZQ_2A			LVDS2A_11p	No	AL11	DQ43	DQ21	DQ10	DQ5
2A	25	VREFB2AN0	IO	CLK_2A_1n	DATA20		LVDS2A_12n	Yes	AL10	DQ43	DQ21	DQ10	DQ5
2A	24	VREFB2AN0	IO	CLK_2A_1p	DATA21		LVDS2A_12p	Yes	AM10	DQ43	DQ21	DQ10	DQ5
2A	23	VREFB2AN0	IO	CLK_2A_0n	DATA22		LVDS2A_13n	No	AL16	DQ44	DQ22	DQ11	DQ5
2A	22	VREFB2AN0	IO	CLK_2A_0p	DATA23		LVDS2A_13p	No	AM16	DQ44	DQ22	DQ11	DQ5
2A	21	VREFB2AN0	IO		DATA24		LVDS2A_14n	Yes	AD10	DQSn44	DQ22	DQ11	DQSn5/CQn5
2A	20	VREFB2AN0	IO		DATA25		LVDS2A_14p	Yes	AE11	DQS44	DQ22	DQ11	DQS5/CQ5
2A	19	VREFB2AN0	IO		DATA26	PLL_2A_CLKOUT0n	LVDS2A_15n	No	AN15	DQ44	DQ22	DQ11	DQ5
2A	18	VREFB2AN0	IO		DATA27	PLL_2A_CLKOUT0p,PLL_2A_CLK	LVDS2A_15p	No	AP15	DQ44	DQ22	DQ11	DQ5
2A	17	VREFB2AN0	IO		DATA28		LVDS2A_16n	Yes	AL15	DQSn45	DQSn22/CQn22	DQ11	DQ5
2A	16	VREFB2AN0	IO		DATA29		LVDS2A_16p	Yes	AM15	DQS45	DQS22/CQ22	DQ11	DQ5
2A	15	VREFB2AN0	IO		DATA30		LVDS2A_17n	No	AE12	DQ45	DQ22	DQ11	DQ5
2A	14	VREFB2AN0	IO		DATA31		LVDS2A_17p	No	AE13	DQ45	DQ22	DQ11	DQ5
2A	13	VREFB2AN0	IO		CLKUSR		LVDS2A_18n	Yes	AL14	DQ45	DQ22	DQSn11/CQn11	DQ5
2A	12	VREFB2AN0	IO		PR_REQUEST		LVDS2A_18p	Yes	AL13	DQ45	DQ22	DQSn11/CQ11	DQ5
2A	11	VREFB2AN0	IO		PR_READY		LVDS2A_19n	No	AG13	DQ46	DQ23	DQ11	DQ5
2A	10	VREFB2AN0	IO		nPERSTL0		LVDS2A_19p	No	AH13	DQ46	DQ23	DQ11	DQ5
2A	9	VREFB2AN0	IO		PR_DONE		LVDS2A_20n	Yes	AJ11	DQSn46	DQ23	DQ11	DQ5
2A	8	VREFB2AN0	IO		nPERSTL1		LVDS2A_20p	Yes	AJ10	DQS46	DQ23	DQ11	DQ5
2A	7	VREFB2AN0	IO		PR_ERROR		LVDS2A_21n	No	AK14	DQ46	DQ23	DQ11	DQ5
2A	6	VREFB2AN0	IO				LVDS2A_21p	No	AJ14	DQ46	DQ23	DQ11	DQ5
2A	5	VREFB2AN0	IO		CvP_CONFDONE		LVDS2A_22n	Yes	AK13	DQSn47	DQSn23/CQn23	DQ11	DQ5
2A	4	VREFB2AN0	IO				LVDS2A_22p	Yes	AK12	DQS47	DQS23/CQ23	DQ11	DQ5
2A	3	VREFB2AN0	IO		INIT_DONE		LVDS2A_23n	No	AJ12	DQ47	DQ23	DQ11	DQ5
2A	2	VREFB2AN0	IO		DEV_OE		LVDS2A_23p	No	AK11	DQ47	DQ23	DQ11	DQ5
2A	1	VREFB2AN0	IO		CRC_ERROR		LVDS2A_24n	Yes	AH10	DQ47	DQ23	DQ11	DQ5
2A	0	VREFB2AN0	IO		DEV_CLRn		LVDS2A_24p	Yes	AJ9	DQ47	DQ23	DQ11	DQ5
3D	47	VREFB3DN0	IO				LVDS3D_1n	No	K8	DQ64	DQ32	DQ16	DQ8
3D	46	VREFB3DN0	IO				LVDS3D_1p	No	L8	DQ64	DQ32	DQ16	DQ8
3D	45	VREFB3DN0	IO				LVDS3D_2n	Yes	K9	DQSn64	DQ32	DQ16	DQ8
3D	44	VREFB3DN0	IO				LVDS3D_2p	Yes	J9	DQS64	DQ32	DQ16	DQ8
3D	43	VREFB3DN0	IO				LVDS3D_3n	No	L10	DQ64	DQ32	DQ16	DQ8
3D	42	VREFB3DN0	IO				LVDS3D_3p	No	L9	DQ64	DQ32	DQ16	DQ8
3D	41	VREFB3DN0	IO				LVDS3D_4n	Yes	H8	DQSn65	DQSn32/CQn32	DQ16	DQ8
3D	40	VREFB3DN0	IO				LVDS3D_4p	Yes	H9	DQS65	DQS32/CQ32	DQ16	DQ8
3D	39	VREFB3DN0	IO				LVDS3D_5n	No	K7	DQ65	DQ32	DQ16	DQ8
3D	38	VREFB3DN0	IO				LVDS3D_5p	No	K6	DQ65	DQ32	DQ16	DQ8
3D	37	VREFB3DN0	IO				LVDS3D_6n	Yes	L6	DQ65	DQ32	DQSn16/CQn16	DQ8
3D	36	VREFB3DN0	IO				LVDS3D_6p	Yes	L5	DQ65	DQ32	DQS16/CQ16	DQ8
3D	35	VREFB3DN0	IO				LVDS3D_7n	No	J7	DQ66	DQ33	DQ16	DQ8
3D	34	VREFB3DN0	IO				LVDS3D_7p	No	J6	DQ66	DQ33	DQ16	DQ8
3D	33	VREFB3DN0	IO				LVDS3D_8n	Yes	H7	DQSn66	DQ33	DQ16	DQ8
3D	32	VREFB3DN0	IO				LVDS3D_8p	Yes	G7	DQS66	DQ33	DQ16	DQ8
3D	31	VREFB3DN0	IO				LVDS3D_9n	No	G8	DQ66	DQ33	DQ16	DQ8
3D	30	VREFB3DN0	IO				LVDS3D_9p	No	F8	DQ66	DQ33	DQ16	DQ8
3D	29	VREFB3DN0	IO			PLL_3D_CLKOUT1n	LVDS3D_10n	Yes	D7	DQSn67	DQSn33/CQn33	DQ16	DQ8
3D	28	VREFB3DN0	IO			PLL_3D_CLKOUT1p,PLL_3D_CLKOUT1,PLL_3D_FB1	LVDS3D_10p	Yes	D6	DQS67	DQS33/CQ33	DQ16	DQ8
3D	27	VREFB3DN0	IO				LVDS3D_11n	No	G6	DQ67	DQ33	DQ16	DQ8
3D	26	VREFB3DN0	IO			RZQ_3D	LVDS3D_11p	No	G5	DQ67	DQ33	DQ16	DQ8
3D	25	VREFB3DN0	IO			CLK_3D_1n	LVDS3D_12n	Yes	E6	DQ67	DQ33	DQ16	DQ8
3D	24	VREFB3DN0	IO			CLK_3D_1p	LVDS3D_12p	Yes	E7	DQ67	DQ33	DQ16	DQ8
3D	23	VREFB3DN0	IO			CLK_3D_0n	LVDS3D_13n	No	F6	DQ68	DQ34	DQ17	DQ8
3D	22	VREFB3DN0	IO			CLK_3D_0p	LVDS3D_13p	No	F5	DQ68	DQ34	DQ17	DQ8
3D	21	VREFB3DN0	IO				LVDS3D_14n	Yes	J5	DQSn68	DQ34	DQ17	DQSn8/CQn8
3D	20	VREFB3DN0	IO				LVDS3D_14p	Yes	J4	DQS68	DQ34	DQ17	DQS8/CQ8
3D	19	VREFB3DN0	IO			PLL_3D_CLKOUT0n	LVDS3D_15n	No	H5	DQ68	DQ34	DQ17	DQ8
3D	18	VREFB3DN0	IO			PLL_3D_CLKOUT0p,PLL_3D_CLKOUT0,PLL_3D_FB0	LVDS3D_15p	No	H4	DQ68	DQ34	DQ17	DQ8
3D	17	VREFB3DN0	IO				LVDS3D_16n	Yes	E4	DQSn69	DQSn34/CQn34	DQ17	DQ8
3D	16	VREFB3DN0	IO				LVDS3D_16p	Yes	E3	DQS69	DQS34/CQ34	DQ17	DQ8
3D	15	VREFB3DN0	IO				LVDS3D_17n	No	F4	DQ69	DQ34	DQ17	DQ8
3D	14	VREFB3DN0	IO				LVDS3D_17p	No	F3	DQ69	DQ34	DQ17	DQ8
3D	13	VREFB3DN0	IO				LVDS3D_18n	Yes	G3	DQ69	DQ34	DQSn17/CQn17	DQ8
3D	12	VREFB3DN0	IO				LVDS3D_18p	Yes	G2	DQ69	DQ34	DQS17/CQ17	DQ8
3D	11	VREFB3DN0	IO				LVDS3D_19n	No	E2	DQ70	DQ35	DQ17	DQ8
3D	10	VREFB3DN0	IO				LVDS3D_19p	No	E1	DQ70	DQ35	DQ17	DQ8
3D	9	VREFB3DN0	IO				LVDS3D_20n	Yes	H3	DQSn70	DQ35	DQ17	DQ8
3D	8	VREFB3DN0	IO				LVDS3D_20p	Yes	H2	DQS70	DQ35	DQ17	DQ8
3D	7	VREFB3DN0	IO				LVDS3D_21n	No	J1	DQ70	DQ35	DQ17	DQ8
3D	6	VREFB3DN0	IO				LVDS3D_21p	No	J2	DQ70	DQ35	DQ17	DQ8
3D	5	VREFB3DN0	IO				LVDS3D_22n	Yes	K4	DQSn71	DQSn35/CQn35	DQ17	DQ8
3D	4	VREFB3DN0	IO				LVDS3D_22p	Yes	K3	DQS71	DQS35/CQ35	DQ17	DQ8
3D	3	VREFB3DN0	IO				LVDS3D_23n	No	F1	DQ71	DQ35	DQ17	DQ8
3D	2	VREFB3DN0	IO				LVDS3D_23p	No	G1	DQ71	DQ35	DQ17	DQ8
3D	1	VREFB3DN0	IO				LVDS3D_24n	Yes	K2	DQ71	DQ35	DQ17	DQ8
3D	0	VREFB3DN0	IO				LVDS3D_24p	Yes	K1	DQ71	DQ35	DQ17	DQ8
3C	47	VREFB3CN0	IO				LVDS3C_1n	No	L3	DQ72	DQ36	DQ18	DQ9
3C	46	VREFB3CN0	IO				LVDS3C_1p	No	L4	DQ72	DQ36	DQ18	DQ9
3C	45	VREFB3CN0	IO				LVDS3C_2n	Yes	N8	DQSn72	DQ36	DQ18	DQ9
3C	44	VREFB3CN0	IO				LVDS3C_2p	Yes	M8	DQS72	DQ36	DQ18	DQ9
3C	43	VREFB3CN0	IO				LVDS3C_3n	No	M6	DQ72	DQ36	DQ18	DQ9

Bank Number	Index within I/O Bank (2)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	F35	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
3C	42	VREFB3CN0	IO				LVDS3C_3p	No	M5	DQ72	DQ36	DQ18	DQ9
3C	41	VREFB3CN0	IO				LVDS3C_4n	Yes	M1	DQSn73	DQSn36/CQn36	DQ18	DQ9
3C	40	VREFB3CN0	IO				LVDS3C_4p	Yes	L1	DQS73	DQS36/CQ36	DQ18	DQ9
3C	39	VREFB3CN0	IO				LVDS3C_5n	No	M3	DQ73	DQ36	DQ18	DQ9
3C	38	VREFB3CN0	IO				LVDS3C_5p	No	M2	DQ73	DQ36	DQ18	DQ9
3C	37	VREFB3CN0	IO				LVDS3C_6n	Yes	M7	DQ73	DQ36	DQSn18/CQn18	DQ9
3C	36	VREFB3CN0	IO				LVDS3C_6p	Yes	N7	DQ73	DQ36	DQSn18/CQ18	DQ9
3C	35	VREFB3CN0	IO				LVDS3C_7n	No	P7	DQ74	DQ37	DQ18	DQ9
3C	34	VREFB3CN0	IO				LVDS3C_7p	No	P6	DQ74	DQ37	DQ18	DQ9
3C	33	VREFB3CN0	IO				LVDS3C_8n	Yes	T6	DQSn74	DQ37	DQ18	DQ9
3C	32	VREFB3CN0	IO				LVDS3C_8p	Yes	R6	DQS74	DQ37	DQ18	DQ9
3C	31	VREFB3CN0	IO				LVDS3C_9n	No	T5	DQ74	DQ37	DQ18	DQ9
3C	30	VREFB3CN0	IO				LVDS3C_9p	No	U5	DQ74	DQ37	DQ18	DQ9
3C	29	VREFB3CN0	IO	PLL_3C_CLKOUT1n			LVDS3C_10n	Yes	U1	DQSn75	DQSn37/CQn37	DQ18	DQ9
3C	28	VREFB3CN0	IO	PLL_3C_CLKOUT1p,PLL_3C_CLKOUT1,PLL_3C_FB1			LVDS3C_10p	Yes	T1	DQS75	DQS37/CQ37	DQ18	DQ9
3C	27	VREFB3CN0	IO				LVDS3C_11n	No	U3	DQ75	DQ37	DQ18	DQ9
3C	26	VREFB3CN0	IO	RZQ_3C			LVDS3C_11p	No	U2	DQ75	DQ37	DQ18	DQ9
3C	25	VREFB3CN0	IO	CLK_3C_1n			LVDS3C_12n	Yes	T4	DQ75	DQ37	DQ18	DQ9
3C	24	VREFB3CN0	IO	CLK_3C_1p			LVDS3C_12p	Yes	T3	DQ75	DQ37	DQ18	DQ9
3C	23	VREFB3CN0	IO	CLK_3C_0n			LVDS3C_13n	No	R4	DQ76	DQ38	DQ19	DQ9
3C	22	VREFB3CN0	IO	CLK_3C_0p			LVDS3C_13p	No	P4	DQ76	DQ38	DQ19	DQ9
3C	21	VREFB3CN0	IO				LVDS3C_14n	Yes	P5	DQSn76	DQ38	DQ19	DQSn9/CQn9
3C	20	VREFB3CN0	IO				LVDS3C_14p	Yes	N5	DQS76	DQ38	DQ19	DQS9/CQ9
3C	19	VREFB3CN0	IO	PLL_3C_CLKOUT0n			LVDS3C_15n	No	N4	DQ76	DQ38	DQ19	DQ9
3C	18	VREFB3CN0	IO	PLL_3C_CLKOUT0p,PLL_3C_CLKOUT0,PLL_3C_FB0			LVDS3C_15p	No	N3	DQ76	DQ38	DQ19	DQ9
3C	17	VREFB3CN0	IO				LVDS3C_16n	Yes	N2	DQSn77	DQSn38/CQn38	DQ19	DQ9
3C	16	VREFB3CN0	IO				LVDS3C_16p	Yes	P2	DQS77	DQS38/CQ38	DQ19	DQ9
3C	15	VREFB3CN0	IO				LVDS3C_17n	No	P1	DQ77	DQ38	DQ19	DQ9
3C	14	VREFB3CN0	IO				LVDS3C_17p	No	R1	DQ77	DQ38	DQ19	DQ9
3C	13	VREFB3CN0	IO				LVDS3C_18n	Yes	R3	DQ77	DQ38	DQSn19/CQn19	DQ9
3C	12	VREFB3CN0	IO				LVDS3C_18p	Yes	R2	DQ77	DQ38	DQSn19/CQ19	DQ9
3C	11	VREFB3CN0	IO				LVDS3C_19n	No	U8	DQ78	DQ39	DQ19	DQ9
3C	10	VREFB3CN0	IO				LVDS3C_19p	No	U7	DQ78	DQ39	DQ19	DQ9
3C	9	VREFB3CN0	IO				LVDS3C_20n	Yes	R8	DQSn78	DQ39	DQ19	DQ9
3C	8	VREFB3CN0	IO				LVDS3C_20p	Yes	R7	DQS78	DQ39	DQ19	DQ9
3C	7	VREFB3CN0	IO				LVDS3C_21n	No	T10	DQ78	DQ39	DQ19	DQ9
3C	6	VREFB3CN0	IO				LVDS3C_21p	No	T9	DQ78	DQ39	DQ19	DQ9
3C	5	VREFB3CN0	IO				LVDS3C_22n	Yes	R9	DQSn79	DQSn39/CQn39	DQ19	DQ9
3C	4	VREFB3CN0	IO				LVDS3C_22p	Yes	T8	DQS79	DQS39/CQ39	DQ19	DQ9
3C	3	VREFB3CN0	IO				LVDS3C_23n	No	P10	DQ79	DQ39	DQ19	DQ9
3C	2	VREFB3CN0	IO				LVDS3C_23p	No	P9	DQ79	DQ39	DQ19	DQ9
3C	1	VREFB3CN0	IO				LVDS3C_24n	Yes	N10	DQ79	DQ39	DQ19	DQ9
3C	0	VREFB3CN0	IO				LVDS3C_24p	Yes	N9	DQ79	DQ39	DQ19	DQ9
3B	47	VREFB3BN0	IO				LVDS3B_1n	No	W6	DQ80	DQ40	DQ20	DQ10
3B	46	VREFB3BN0	IO				LVDS3B_1p	No	W5	DQ80	DQ40	DQ20	DQ10
3B	45	VREFB3BN0	IO				LVDS3B_2n	Yes	V3	DQSn80	DQ40	DQ20	DQ10
3B	44	VREFB3BN0	IO				LVDS3B_2p	Yes	V4	DQS80	DQ40	DQ20	DQ10
3B	43	VREFB3BN0	IO				LVDS3B_3n	No	V2	DQ80	DQ40	DQ20	DQ10
3B	42	VREFB3BN0	IO				LVDS3B_3p	No	W2	DQ80	DQ40	DQ20	DQ10
3B	41	VREFB3BN0	IO				LVDS3B_4n	Yes	Y4	DQSn81	DQSn40/CQn40	DQ20	DQ10
3B	40	VREFB3BN0	IO				LVDS3B_4p	Yes	W4	DQS81	DQS40/CQ40	DQ20	DQ10
3B	39	VREFB3BN0	IO				LVDS3B_5n	No	U6	DQ81	DQ40	DQ20	DQ10
3B	38	VREFB3BN0	IO				LVDS3B_5p	No	V5	DQ81	DQ40	DQ20	DQ10
3B	37	VREFB3BN0	IO				LVDS3B_6n	Yes	W1	DQ81	DQ40	DQSn20/CQn20	DQ10
3B	36	VREFB3BN0	IO				LVDS3B_6p	Yes	Y1	DQ81	DQ40	DQS20/CQ20	DQ10
3B	35	VREFB3BN0	IO				LVDS3B_7n	No	V9	DQ82	DQ41	DQ20	DQ10
3B	34	VREFB3BN0	IO				LVDS3B_7p	No	V8	DQ82	DQ41	DQ20	DQ10
3B	33	VREFB3BN0	IO				LVDS3B_8n	Yes	W7	DQSn82	DQ41	DQ20	DQ10
3B	32	VREFB3BN0	IO				LVDS3B_8p	Yes	V7	DQS82	DQ41	DQ20	DQ10
3B	31	VREFB3BN0	IO				LVDS3B_9n	No	Y9	DQ82	DQ41	DQ20	DQ10
3B	30	VREFB3BN0	IO				LVDS3B_9p	No	W9	DQ82	DQ41	DQ20	DQ10
3B	29	VREFB3BN0	IO	PLL_3B_CLKOUT1n			LVDS3B_10n	Yes	Y8	DQSn83	DQSn41/CQn41	DQ20	DQ10
3B	28	VREFB3BN0	IO	PLL_3B_CLKOUT1p,PLL_3B_CLKOUT1,PLL_3B_FB1			LVDS3B_10p	Yes	AA8	DQS83	DQS41/CQ41	DQ20	DQ10
3B	27	VREFB3BN0	IO				LVDS3B_11n	No	V10	DQ83	DQ41	DQ20	DQ10
3B	26	VREFB3BN0	IO	RZQ_3B			LVDS3B_11p	No	W10	DQ83	DQ41	DQ20	DQ10
3B	25	VREFB3BN0	IO	CLK_3B_1n			LVDS3B_12n	Yes	Y7	DQ83	DQ41	DQ20	DQ10
3B	24	VREFB3BN0	IO	CLK_3B_1p			LVDS3B_12p	Yes	Y6	DQ83	DQ41	DQ20	DQ10
3B	23	VREFB3BN0	IO	CLK_3B_0n			LVDS3B_13n	No	AA6	DQ84	DQ42	DQ21	DQ10
3B	22	VREFB3BN0	IO	CLK_3B_0p			LVDS3B_13p	No	AA5	DQ84	DQ42	DQ21	DQ10
3B	21	VREFB3BN0	IO				LVDS3B_14n	Yes	AB6	DQSn84	DQ42	DQ21	DQSn10/CQn10
3B	20	VREFB3BN0	IO				LVDS3B_14p	Yes	AB5	DQS84	DQ42	DQ21	DQS10/CQ10
3B	19	VREFB3BN0	IO	PLL_3B_CLKOUT0n			LVDS3B_15n	No	Y3	DQ84	DQ42	DQ21	DQ10
3B	18	VREFB3BN0	IO	PLL_3B_CLKOUT0p,PLL_3B_CLKOUT0,PLL_3B_FB0			LVDS3B_15p	No	Y2	DQ84	DQ42	DQ21	DQ10
3B	17	VREFB3BN0	IO				LVDS3B_16n	Yes	AA4	DQSn85	DQSn42/CQn42	DQ21	DQ10
3B	16	VREFB3BN0	IO				LVDS3B_16p	Yes	AA3	DQS85	DQS42/CQ42	DQ21	DQ10
3B	15	VREFB3BN0	IO				LVDS3B_17n	No	AB3	DQ85	DQ42	DQ21	DQ10
3B	14	VREFB3BN0	IO				LVDS3B_17p	No	AB2	DQ85	DQ42	DQ21	DQ10
3B	13	VREFB3BN0	IO				LVDS3B_18n	Yes	AA1	DQ85	DQ42	DQSn21/CQn21	DQ10
3B	12	VREFB3BN0	IO				LVDS3B_18p	Yes	AB1	DQ85	DQ42	DQS21/CQ21	DQ10
3B	11	VREFB3BN0	IO				LVDS3B_19n	No	AA10	DQ86	DQ43	DQ21	DQ10
3B	10	VREFB3BN0	IO				LVDS3B_19p	No	AA9	DQ86	DQ43	DQ21	DQ10
3B	9	VREFB3BN0	IO				LVDS3B_20n	Yes	AC8	DQSn86	DQ43	DQ21	DQ10
3B	8	VREFB3BN0	IO				LVDS3B_20p	Yes	AC7	DQS86	DQ43	DQ21	DQ10
3B	7	VREFB3BN0	IO				LVDS3B_21n	No	AB8	DQ86	DQ43	DQ21	DQ10
3B	6	VREFB3BN0	IO				LVDS3B_21p	No	AB7	DQ86	DQ43	DQ21	DQ10

Bank Number	Index within I/O Bank (2)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	F35	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
3B	5	VREFB3BN0	IO				LVDS3B_22n	Yes	AC9	DQSn87	DQSn43/CQn43	DQ21	DQ10
3B	4	VREFB3BN0	IO				LVDS3B_22p	Yes	AB10	DQS87	DQS43/CQ43	DQ21	DQ10
3B	3	VREFB3BN0	IO				LVDS3B_23n	No	AC5	DQ87	DQ43	DQ21	DQ10
3B	2	VREFB3BN0	IO				LVDS3B_23p	No	AC4	DQ87	DQ43	DQ21	DQ10
3B	1	VREFB3BN0	IO				LVDS3B_24n	Yes	AC3	DQ87	DQ43	DQ21	DQ10
3B	0	VREFB3BN0	IO				LVDS3B_24p	Yes	AC2	DQ87	DQ43	DQ21	DQ10
3A	47	VREFB3AN0	IO				LVDS3A_1n	No	AD6	DQ88	DQ44	DQ22	DQ11
3A	46	VREFB3AN0	IO				LVDS3A_1p	No	AD7	DQ88	DQ44	DQ22	DQ11
3A	45	VREFB3AN0	IO				LVDS3A_2n	Yes	AE1	DQSn88	DQ44	DQ22	DQ11
3A	44	VREFB3AN0	IO				LVDS3A_2p	Yes	AE2	DQS88	DQ44	DQ22	DQ11
3A	43	VREFB3AN0	IO				LVDS3A_3n	No	AE3	DQ88	DQ44	DQ22	DQ11
3A	42	VREFB3AN0	IO				LVDS3A_3p	No	AE4	DQ88	DQ44	DQ22	DQ11
3A	41	VREFB3AN0	IO				LVDS3A_4n	Yes	AD4	DQSn89	DQSn44/CQn44	DQ22	DQ11
3A	40	VREFB3AN0	IO				LVDS3A_4p	Yes	AD5	DQS89	DQS44/CQ44	DQ22	DQ11
3A	39	VREFB3AN0	IO				LVDS3A_5n	No	AD1	DQ89	DQ44	DQ22	DQ11
3A	38	VREFB3AN0	IO				LVDS3A_5p	No	AD2	DQ89	DQ44	DQ22	DQ11
3A	37	VREFB3AN0	IO				LVDS3A_6n	Yes	AF1	DQ89	DQ44	DQSn22/CQn22	DQ11
3A	36	VREFB3AN0	IO				LVDS3A_6p	Yes	AG1	DQ89	DQ44	DQS22/CQ22	DQ11
3A	35	VREFB3AN0	IO				LVDS3A_7n	No	AG2	DQ90	DQ45	DQ22	DQ11
3A	34	VREFB3AN0	IO				LVDS3A_7p	No	AH2	DQ90	DQ45	DQ22	DQ11
3A	33	VREFB3AN0	IO				LVDS3A_8n	Yes	AE6	DQSn90	DQ45	DQ22	DQ11
3A	32	VREFB3AN0	IO				LVDS3A_8p	Yes	AF6	DQS90	DQ45	DQ22	DQ11
3A	31	VREFB3AN0	IO				LVDS3A_9n	No	AF4	DQ90	DQ45	DQ22	DQ11
3A	30	VREFB3AN0	IO				LVDS3A_9p	No	AF5	DQ90	DQ45	DQ22	DQ11
3A	29	VREFB3AN0	IO	PLL_3A_CLKOUT1n			LVDS3A_10n	Yes	AF3	DQSn91	DQSn45/CQn45	DQ22	DQ11
3A	28	VREFB3AN0	IO	PLL_3A_CLKOUT1p,PLL_3A_CLKOUT1,PLL_3A_FB1			LVDS3A_10p	Yes	AG3	DQS91	DQS45/CQ45	DQ22	DQ11
3A	27	VREFB3AN0	IO				LVDS3A_11n	No	AJ1	DQ91	DQ45	DQ22	DQ11
3A	26	VREFB3AN0	IO	RZQ_3A			LVDS3A_11p	No	AJ2	DQ91	DQ45	DQ22	DQ11
3A	25	VREFB3AN0	IO	CLK_3A_1n			LVDS3A_12n	Yes	AE8	DQ91	DQ45	DQ22	DQ11
3A	24	VREFB3AN0	IO	CLK_3A_1p			LVDS3A_12p	Yes	AE7	DQ91	DQ45	DQ22	DQ11
3A	23	VREFB3AN0	IO	CLK_3A_0n			LVDS3A_13n	No	AG5	DQ92	DQ46	DQ23	DQ11
3A	22	VREFB3AN0	IO	CLK_3A_0p			LVDS3A_13p	No	AG6	DQ92	DQ46	DQ23	DQ11
3A	21	VREFB3AN0	IO				LVDS3A_14n	Yes	AK1	DQSn92	DQ46	DQ23	DQSn11/CQn11
3A	20	VREFB3AN0	IO				LVDS3A_14p	Yes	AK2	DQS92	DQ46	DQ23	DQS11/CQ11
3A	19	VREFB3AN0	IO	PLL_3A_CLKOUT0n			LVDS3A_15n	No	AH3	DQ92	DQ46	DQ23	DQ11
3A	18	VREFB3AN0	IO	PLL_3A_CLKOUT0p,PLL_3A_CLKOUT0,PLL_3A_FB0			LVDS3A_15p	No	AH4	DQ92	DQ46	DQ23	DQ11
3A	17	VREFB3AN0	IO				LVDS3A_16n	Yes	AK3	DQSn93	DQSn46/CQn46	DQ23	DQ11
3A	16	VREFB3AN0	IO				LVDS3A_16p	Yes	AL3	DQS93	DQS46/CQ46	DQ23	DQ11
3A	15	VREFB3AN0	IO				LVDS3A_17n	No	AL1	DQ93	DQ46	DQ23	DQ11
3A	14	VREFB3AN0	IO				LVDS3A_17p	No	AM1	DQ93	DQ46	DQ23	DQ11
3A	13	VREFB3AN0	IO				LVDS3A_18n	Yes	AJ4	DQ93	DQ46	DQSn23/CQn23	DQ11
3A	12	VREFB3AN0	IO				LVDS3A_18p	Yes	AK4	DQ93	DQ46	DQS23/CQ23	DQ11
3A	11	VREFB3AN0	IO				LVDS3A_19n	No	AG7	DQ94	DQ47	DQ23	DQ11
3A	10	VREFB3AN0	IO				LVDS3A_19p	No	AH7	DQ94	DQ47	DQ23	DQ11
3A	9	VREFB3AN0	IO				LVDS3A_20n	Yes	AH5	DQSn94	DQ47	DQ23	DQ11
3A	8	VREFB3AN0	IO				LVDS3A_20p	Yes	AJ5	DQS94	DQ47	DQ23	DQ11
3A	7	VREFB3AN0	IO				LVDS3A_21n	No	AE9	DQ94	DQ47	DQ23	DQ11
3A	6	VREFB3AN0	IO				LVDS3A_21p	No	AF9	DQ94	DQ47	DQ23	DQ11
3A	5	VREFB3AN0	IO				LVDS3A_22n	Yes	AF8	DQSn95	DQSn47/CQn47	DQ23	DQ11
3A	4	VREFB3AN0	IO				LVDS3A_22p	Yes	AG8	DQS95	DQS47/CQ47	DQ23	DQ11
3A	3	VREFB3AN0	IO				LVDS3A_23n	No	AJ6	DQ95	DQ47	DQ23	DQ11
3A	2	VREFB3AN0	IO				LVDS3A_23p	No	AK6	DQ95	DQ47	DQ23	DQ11
3A	1	VREFB3AN0	IO				LVDS3A_24n	Yes	AJ7	DQ95	DQ47	DQ23	DQ11
3A	0	VREFB3AN0	IO				LVDS3A_24p	Yes	AK7	DQ95	DQ47	DQ23	DQ11
			GND						AN9				
CSS			TDO		TDO				AM6				
CSS			TMS		TMS				AK8				
CSS			TRST		TRST				AP5				
CSS			TCK		TCK				AL6				
CSS			TDI		TDI				AM5				
CSS			MSEL0		MSEL0				AN8				
CSS			MSEL1		MSEL1				AL5				
CSS			MSEL2		MSEL2				AL4				
CSS			nIO_PULLUP		nIO_PULLUP				AH9				
CSS			nSTATUS		nSTATUS				AL8				
CSS			CONF_DONE		CONF_DONE				AN7				
			GND						AM8				
CSS			nCONFIG		nCONFIG				AP9				
CSS			nCE		nCE				AH8				
CSS			nCSO0		nCSO0				AP7				
CSS			nCSO1		nCSO1				AM7				
CSS			nCSO2		nCSO2				AP6				
CSS			AS_DATA0,ASDO		AS_DATA0,ASDO				AN3				
CSS			AS_DATA1		AS_DATA1				AP2				
CSS			AS_DATA2		AS_DATA2				AN2				
CSS			AS_DATA3		AS_DATA3				AP4				
CSS			DCLK		DCLK				AN5				
			ADCGND						D1				
			GND						J12				
			GND						H13				
			GND						J14				
			GND						K12				
			GND						K13				
			GND						K14				
			GND						J15				

Bank Number	Index within I/O Bank (2)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	F35	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			GND						A12				
			GND						A17				
			GND						A2				
			GND						A22				
			GND						A24				
			GND						A27				
			GND						A28				
			GND						A31				
			GND						A32				
			GND						A33				
			GND						A7				
			GND						AA12				
			GND						AA17				
			GND						AA2				
			GND						AA22				
			GND						AA23				
			GND						AA24				
			GND						AA27				
			GND						AA28				
			GND						AA31				
			GND						AA32				
			GND						AA7				
			GND						AB14				
			GND						AB19				
			GND						AB23				
			GND						AB29				
			GND						AB30				
			GND						AB33				
			GND						AB34				
			GND						AB9				
			GND						AC1				
			GND						AC11				
			GND						AC16				
			GND						AC21				
			GND						AC23				
			GND						AC24				
			GND						AC27				
			GND						AC28				
			GND						AC31				
			GND						AC32				
			GND						AC6				
			GND						AD13				
			GND						AD18				
			GND						AD23				
			GND						AD24				
			GND						AD29				
			GND						AD3				
			GND						AD30				
			GND						AD33				
			GND						AD34				
			GND						AE10				
			GND						AE23				
			GND						AE24				
			GND						AE27				
			GND						AE28				
			GND						AE31				
			GND						AE32				
			GND						AF17				
			GND						AF2				
			GND						AF23				
			GND						AF29				
			GND						AF30				
			GND						AF33				
			GND						AF34				
			GND						AG23				
			GND						AG24				
			GND						AG27				
			GND						AG28				
			GND						AG31				
			GND						AG32				
			GND						AG4				
			GND						AH1				
			GND						AH21				
			GND						AH24				
			GND						AH29				
			GND						AH30				
			GND						AH33				
			GND						AH34				
			GND						AH6				
			GND						AJ13				
			GND						AJ18				
			GND						AJ23				
			GND						AJ24				
			GND						AJ27				
			GND						AJ28				

Bank Number	Index within I/O Bank (2)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	F35	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			GND						AJ3				
			GND						AJ31				
			GND						AJ32				
			GND						AJ8				
			GND						AK10				
			GND						AK15				
			GND						AK20				
			GND						AK24				
			GND						AK25				
			GND						AK26				
			GND						AK29				
			GND						AK30				
			GND						AK33				
			GND						AK34				
			GND						AK5				
			GND						AL12				
			GND						AL17				
			GND						AL2				
			GND						AL22				
			GND						AL24				
			GND						AL27				
			GND						AL28				
			GND						AL31				
			GND						AL32				
			GND						AL7				
			GND						AM14				
			GND						AM19				
			GND						AM2				
			GND						AM22				
			GND						AM23				
			GND						AM24				
			GND						AM25				
			GND						AM26				
			GND						AM29				
			GND						AM3				
			GND						AM30				
			GND						AM33				
			GND						AM34				
			GND						AM4				
			GND						AM9				
			GND						AN1				
			GND						AN11				
			GND						AN16				
			GND						AN21				
			GND						AN24				
			GND						AN27				
			GND						AN28				
			GND						AN31				
			GND						AN32				
			GND						AN4				
			GND						AN6				
			GND						AP13				
			GND						AP18				
			GND						AP22				
			GND						AP24				
			GND						AP25				
			GND						AP26				
			GND						AP29				
			GND						AP3				
			GND						AP30				
			GND						AP33				
			GND						AP8				
			GND						B1				
			GND						B14				
			GND						B19				
			GND						B2				
			GND						B22				
			GND						B23				
			GND						B24				
			GND						B25				
			GND						B26				
			GND						B29				
			GND						B3				
			GND						B30				
			GND						B33				
			GND						B34				
			GND						B4				
			GND						B9				
			GND						C1				
			GND						C11				
			GND						C16				
			GND						C24				
			GND						C27				
			GND						C28				
			GND						C31				

Bank Number	Index within I/O Bank (2)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	F35	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			GND						C32				
			GND						C6				
			GND						D23				
			GND						D24				
			GND						D25				
			GND						D26				
			GND						D29				
			GND						D3				
			GND						D30				
			GND						D33				
			GND						D34				
			GND						D8				
			GND						E10				
			GND						E24				
			GND						E27				
			GND						E28				
			GND						E31				
			GND						E32				
			GND						E5				
			GND						F17				
			GND						F2				
			GND						F22				
			GND						F23				
			GND						F29				
			GND						F30				
			GND						F33				
			GND						F34				
			GND						F7				
			GND						G14				
			GND						G19				
			GND						G24				
			GND						G27				
			GND						G28				
			GND						G31				
			GND						G32				
			GND						G9				
			GND						H1				
			GND						H11				
			GND						H16				
			GND						H21				
			GND						H23				
			GND						H24				
			GND						H29				
			GND						H30				
			GND						H33				
			GND						H34				
			GND						H6				
			GND						J13				
			GND						J18				
			GND						J23				
			GND						J24				
			GND						J27				
			GND						J28				
			GND						J31				
			GND						J32				
			GND						J8				
			GND						K10				
			GND						K15				
			GND						K20				
			GND						K23				
			GND						K29				
			GND						K30				
			GND						K33				
			GND						K34				
			GND						L12				
			GND						L17				
			GND						L2				
			GND						L22				
			GND						L23				
			GND						L24				
			GND						L27				
			GND						L28				
			GND						L31				
			GND						L32				
			GND						L7				
			GND						M14				
			GND						M19				
			GND						M23				
			GND						M24				
			GND						M29				
			GND						M30				
			GND						M33				
			GND						M34				
			GND						M9				
			GND						N1				

Bank Number	Index within I/O Bank (2)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	F35	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			GND						N11				
			GND						N16				
			GND						N21				
			GND						N23				
			GND						N24				
			GND						N27				
			GND						N28				
			GND						N31				
			GND						N32				
			GND						N6				
			GND						P13				
			GND						P18				
			GND						P23				
			GND						P29				
			GND						P30				
			GND						P33				
			GND						P34				
			GND						P8				
			GND						R10				
			GND						R15				
			GND						R20				
			GND						R23				
			GND						R24				
			GND						R27				
			GND						R28				
			GND						R31				
			GND						R32				
			GND						T12				
			GND						T17				
			GND						T2				
			GND						T22				
			GND						T23				
			GND						T24				
			GND						T29				
			GND						T30				
			GND						T33				
			GND						T34				
			GND						T7				
			GND						U14				
			GND						U19				
			GND						U23				
			GND						U24				
			GND						U27				
			GND						U28				
			GND						U31				
			GND						U32				
			GND						U4				
			GND						U9				
			GND						V1				
			GND						V11				
			GND						V16				
			GND						V21				
			GND						V23				
			GND						V29				
			GND						V30				
			GND						V33				
			GND						V34				
			GND						V6				
			GND						W13				
			GND						W18				
			GND						W23				
			GND						W24				
			GND						W27				
			GND						W28				
			GND						W31				
			GND						W32				
			GND						W8				
			GND						Y10				
			GND						Y15				
			GND						Y20				
			GND						Y23				
			GND						Y24				
			GND						Y29				
			GND						Y30				
			GND						Y33				
			GND						Y34				
			GNDSENSE						Y17				
			VCC						AA15				
			VCC						AA16				
			VCC						AA18				
			VCC						AA21				
			VCC						AB15				
			VCC						AB16				
			VCC						AB17				
			VCC						AB21				

Bank Number	Index within I/O Bank (2)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	F35	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			VCC						AB22				
			VCC						AC14				
			VCC						AC15				
			VCC						AC17				
			VCC						AC18				
			VCC						AC19				
			VCC						AC20				
			VCC						AC22				
			VCC						AD15				
			VCC						AD16				
			VCC						AD17				
			VCC						AD19				
			VCC						AD20				
			VCC						L11				
			VCC						L13				
			VCC						L14				
			VCC						L15				
			VCC						L16				
			VCC						L18				
			VCC						L19				
			VCC						L20				
			VCC						L21				
			VCC						M11				
			VCC						M12				
			VCC						M13				
			VCC						M15				
			VCC						M16				
			VCC						M17				
			VCC						M18				
			VCC						M20				
			VCC						M21				
			VCC						M22				
			VCC						N14				
			VCC						N15				
			VCC						N17				
			VCC						N20				
			VCC						N22				
			VCC						P11				
			VCC						P15				
			VCC						P16				
			VCC						P17				
			VCC						P21				
			VCC						P22				
			VCC						R11				
			VCC						R12				
			VCC						R13				
			VCC						R14				
			VCC						R16				
			VCC						R17				
			VCC						R18				
			VCC						R19				
			VCC						R21				
			VCC						R22				
			VCC						T11				
			VCC						T13				
			VCC						T14				
			VCC						T15				
			VCC						T16				
			VCC						T18				
			VCC						T19				
			VCC						T20				
			VCC						T21				
			VCC						U11				
			VCC						U12				
			VCC						U16				
			VCC						U17				
			VCC						U20				
			VCC						U22				
			VCC						V12				
			VCC						V15				
			VCC						V17				
			VCC						V18				
			VCC						V19				
			VCC						V20				
			VCC						V22				
			VCC						W11				
			VCC						W12				
			VCC						W14				
			VCC						W15				
			VCC						W16				
			VCC						W17				
			VCC						W19				
			VCC						W20				
			VCC						W21				
			VCC						W22				

Bank Number	Index within I/O Bank (2)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	F35	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			VCC						Y11				
			VCC						Y12				
			VCC						Y13				
			VCC						Y14				
			VCC						Y18				
			VCC						Y19				
			VCC						Y21				
			VCC						Y22				
			VCCPT						AA13				
			VCCPT						AA14				
			VCCPT						AA19				
			VCCPT						AA20				
			VCCPT						P12				
			VCCPT						P14				
			VCCPT						P19				
			VCCPT						P20				
			DNU						AN22				
			DNU						AP23				
			DNU						AD11				
			DNU						AC10				
			DNU						AD12				
			VCCPGM						AC12				
			VCCPGM						AC13				
			TEMPDIODEn						D2				
			TEMPDIODEp						C2				
			VCCBAT						AB11				
			VCCA_PLL						V13				
			VCCA_PLL						V14				
			VCCIO2A						AF12				
			VCCIO2A						AG9				
			VCCIO2A						AH11				
			VCCIO2I						AE15				
			VCCIO2I						AG14				
			VCCIO2I						AH16				
			VCCIO2J						AE20				
			VCCIO2J						AF22				
			VCCIO2J						AG19				
			VCCIO2K						C21				
			VCCIO2K						D18				
			VCCIO2K						E20				
			VCCIO2L						D13				
			VCCIO2L						E15				
			VCCIO2L						F12				
			VCCIO3A						AD8				
			VCCIO3A						AE5				
			VCCIO3A						AF7				
			VCCIO3B						AB4				
			VCCIO3B						W3				
			VCCIO3B						Y5				
			VCCIO3C						M4				
			VCCIO3C						P3				
			VCCIO3C						R5				
			VCCIO3D						G4				
			VCCIO3D						J3				
			VCCIO3D						K5				
2A		VREFB2AN0	VREFB2AN0						AD14				
2I		VREFB2IN0	VREFB2IN0						AE16				
2J		VREFB2JN0	VREFB2JN0						AE19				
2K		VREFB2KN0	VREFB2KN0						K19				
2L		VREFB2LN0	VREFB2LN0						G15				
3A		VREFB3AN0	VREFB3AN0						AD9				
3B		VREFB3BN0	VREFB3BN0						AA11				
3C		VREFB3CN0	VREFB3CN0						U10				
3D		VREFB3DN0	VREFB3DN0						M10				
			VREFN_ADC						D5				
			VREFP_ADC						D4				
			NC						H10				
			NC						H12				
			NC						F11				
			NC						J11				
			NC						F9				
			NC						G11				
			NC						E8				
			NC						J10				
			NC						G10				
			NC						H15				
			NC						G13				
			NC						K16				
			NC						K11				
			NC						F10				
			NC						J16				
			NC						G12				
			NC						H14				
			VCCH_GXBL						AB24				
			VCCH_GXBL						AF24				

Bank Number	Index within I/O Bank (2)	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-Dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	F35	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			VCCH_GXBL						F24				
			VCCH_GXBL						K24				
			VCCH_GXBL						P24				
			VCCH_GXBL						V24				
			VCCR_GXBL1C						AH25				
			VCCR_GXBL1C						AH26				
			VCCR_GXBL1D						AD25				
			VCCR_GXBL1D						AD26				
			VCCR_GXBL1E						Y25				
			VCCR_GXBL1E						Y26				
			VCCR_GXBL1F						T25				
			VCCR_GXBL1F						T26				
			VCCR_GXBL1G						M25				
			VCCR_GXBL1G						M26				
			VCCR_GXBL1H						H25				
			VCCR_GXBL1H						H26				
			VCCT_GXBL1C						AF25				
			VCCT_GXBL1C						AF26				
			VCCT_GXBL1D						AB25				
			VCCT_GXBL1D						AB26				
			VCCT_GXBL1E						V25				
			VCCT_GXBL1E						V26				
			VCCT_GXBL1F						P25				
			VCCT_GXBL1F						P26				
			VCCT_GXBL1G						K25				
			VCCT_GXBL1G						K26				
			VCCT_GXBL1H						F25				
			VCCT_GXBL1H						F26				
			RREF_BL						AN23				
			RREF_TL						A23				
			VCCERAM						U13				
			VCCERAM						U15				
			VCCERAM						U18				
			VCCERAM						U21				
			VCCLSENSE						Y16				
			VCCP						AB12				
			VCCP						AB13				
			VCCP						AB18				
			VCCP						AB20				
			VCCP						N12				
			VCCP						N13				
			VCCP						N18				
			VCCP						N19				
			VSIGN_0						C4				
			VSIGN_1						B5				
			VSIGP_0						C3				
			VSIGP_1						C5				

Notes:

(1) For more information about pin definition and pin connection guidelines, refer to the

[Arria 10 GT, GX, and SX Device Family Pin Connection Guidelines.](#)

(2) For more information about the external memory interface schemes of the pins with indices, refer to the

[Arria10EMIF.xls](#)

Version Number	Date	Changes Made
1.0	10/10/2014	Initial release.
1.1	11/26/2014	Added Pin List F29.
1.2	3/24/2017	Rebranded as Intel.