

## 充满信心地设计军用 SWaP 产品

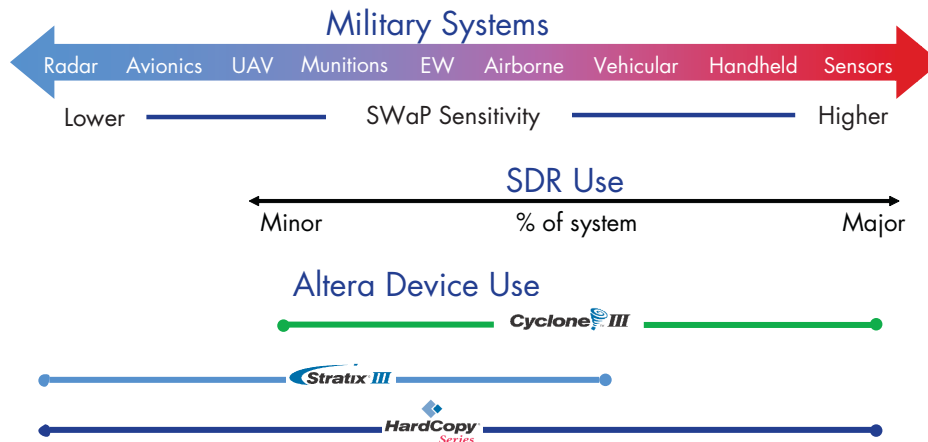
### 引言

21 世纪的战场以网络战为中心，从卫星到单兵，直到各种装备中，系统的体积、重量和功耗 (SWaP) 都非常关键。不论是在有人 (舰艇、飞机以及车辆)，还是无人 (导弹、传感器，以及空中、地面车辆 (UAV 和 UGV)) 装备中，保密无线通信都是各种方案关注的焦点。在所有战场上，保密通信设备的三重业务 (语音、视频和数据) 功能和多兆位带宽设计是难度最大的。机载和海上软件无线电 (SDR) 设计遇到的挑战是功能和散热 (制冷) 问题，而 SWaP 最迫切的要求则是采用手持式、单兵携带和小外形 (HMS) 电池工作系统。

### SWaP 军事应用

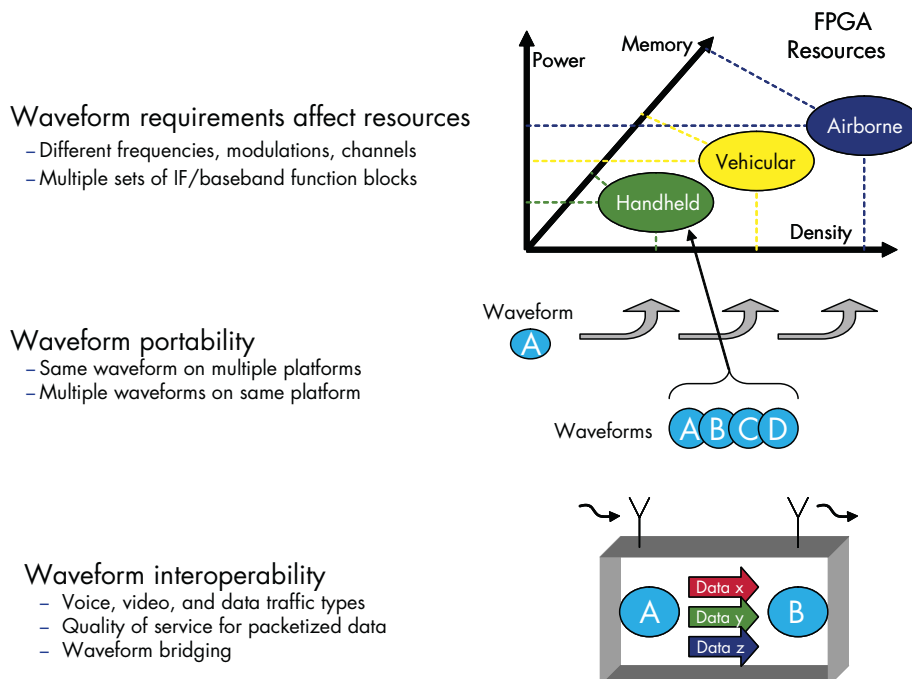
图 1 所示为 SWaP 军事系统保密通信的工作范围，从一般的雷达和电子战 (左面) 到最敏感的 HMS 无线电和无人地面传感器。大部分雷达和电子战系统更重视功能而不是 SWaP，有足够的体积和功耗。UAV 和 UGV 的无线通信系统对 SWaP 比较敏感，总功耗预算中的一部分被分配给空中和地面移动。而武器和导弹体积非常紧凑，发射后任务执行时间较短，因此，对功耗要求较低。然而，对于 HMS 电池供电的无线电设备，其体积、重量和功耗要求较高，SWaP 显得越来越重要。

图 1. 军事系统中各种应用对 SWaP 的敏感程度



生产手持式无线电设备有一定的难度。士兵需要携带大量的弹药和人体防护装备，尽量少带电池，因此，SWaP 非常关键。各种战场环境下苛刻的工作需求迫使无线电设备封装采用最小的外形，元件数量尽可能少。如图 2 所示，SRW 和 WNW 等新的军用信号处理不但需要低功耗数字信号处理 (DSP) 设备，更重视灵活性和功能。SDR 设计的高级信号 (中频 (IF)、调制和每秒兆比特 (Mbps) 级处理)、三重业务数据包处理和军用软件通信体系结构 (SCA) 中间件 (对于独立硬件) 都需要可编程功能，所有这些都涉及到 FPGA 资源的应用。最终，SDR 电子设备的功耗会对军事任务执行时间有不利影响，在恶劣环境下，甚至会超过系统散热的影响。

图 2. 军用信号需求



总结一下车载和机载应用中电池供电 HMS、SWaP 敏感射频在 SWaP 设计中遇到的挑战:

- **苛刻的体积和重量限制:** 最小的设备体积小于 25 立方厘米。
- **功耗直接影响任务执行时间:** 使用典型的军用电池, 目前的可编程电子设备功耗约 4 瓦, 无线电系统连续工作时间大约只有 6 个小时。
- **数字电子信号处理对功耗预算的影响最大:** 随着信号带宽和复杂度的提升, 数字处理占据了无线电设备中的大部分功能和功耗。
- **采用数字逻辑的折衷考虑:** CPU 和 ASIC 的数字处理有不同的选择。一般而言, DSP 和 FPGA 组合可实现最佳功能组合, 灵活性好, 对功耗要折衷考虑。
- **对静态和动态功耗的折衷考虑:** 由于无线电的占空比问题, 待机功耗与总功耗之比为 10:1。因此, 降低待机工作时的数字泄漏功耗势在必行。
- **折衷考虑电压和频率调整, 以节省功耗:** 通过仔细的系统设计, 可以降低待机、信标和紧急模式下的电压和频率, 只有小部分无线电功能保持工作。
- **软件和硬件划分, 以节省功耗:** 软件设计人员需要理解无线电工作模式, 巧妙的管理硬件资源, 有效地降低功耗。

现在对产品的 HMS 要求降低了。各种单兵无线电信号 (SRW) 等信号处理对高性能 FPGA 的功耗非常敏感, 超出了低功耗 DSP 器件和低成本 FPGA 的性能范围。随着数据速率从 Kbps 提高到 Mbps, 低功耗 DSP 器件无法实现 IF、调制、比特级、数据包处理和组服务功能。很多低成本 FPGA 需要采用多种器件来实现所需的功能, 从而限制了产品的体积和重量。

高性能 FPGA 供应商曾尝试开发电压调整、信号集成部分配置等功能, 但是成功的不多, 经常会导致开发推迟, 并且增加了系统风险。如果不仔细地控制器件设计和制造约束, 调整电压 (降低无线电设备待机时的电压, 以减小静态功耗泄漏) 会劣化对功能、时序和 I/O 参数的验证。在高性能工作的 FPGA 中, 由于没有使用的功能区会吸收几瓦的静态功率 (泄漏), 因此, 进行部分重新配置 (对部分逻辑重新编程, 而其他功能保持不变) 以降低功耗的效果并不好。

## 设计人员为成功设立的目标

要达到计划要求，设计人员面临非常严峻的功能和进度挑战：

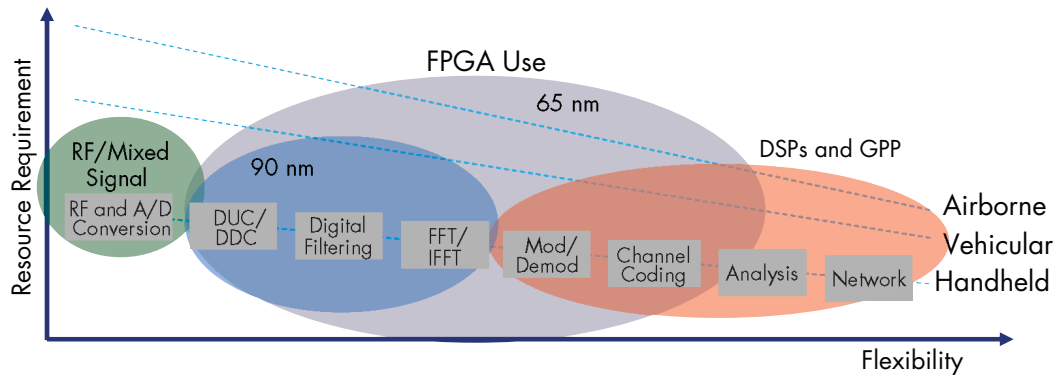
- 实现小外形、轻型军用方案
- 在 1 瓦功率范围内实现信号集成，延长任务执行时间，提高灵活性。
- 实现大批量、低成本 SDR 手持设备的最大价值

即使面临这些挑战，设计人员采用 Altera 最新的 65nm FPGA 器件，也能够充满信心地达到 SDR 产品的 SWaP 要求。Altera 在成功的 90nm 器件基础上，实现了车载和机载 SDR，为 SDR 电池供电方案提供功耗最佳的 Stratix® III 和 Cyclone® III FPGA，并进行量产。

## 解决 SDR 设计挑战

Altera 新的 65nm Stratix III 和 Cyclone III FPGA 恰到好处地结合了高级体系结构以及最先进的低功耗技术。以前的 90nm 器件充分结合各种资源，实现系统开发和演示无线电 (SDD 计划)，Altera 的 65nm 系列则针对 SWaP 产品应用进行了优化。图 3 所示为 65nm 器件性能和灵活性的进一步扩展。对于采用 90nm 可编程逻辑器件 (PLD) 实现 IF、滤波和频率 / 时域转换的情况，65nm 器件在所有的 SDR 应用外形封装上都实现更多的波形调制和通道以及数据包处理功能。

图 3. FPGA 在 SDR 性能和灵活性上的扩展



## 低功耗器件

最新的高性能、高密度 Stratix III FPGA 以最低的功耗实现了最好的信号处理性能和多模式功能，解决了大量机载和地面移动无线电问题（例如，AMF 和 GMR）。Stratix III FPGA 器件的逻辑单元资源超过 340K，嵌入式存储器达到 17Mbytes，乘法器数量接近 900 个，最适合对功能要求较高的 SDR 应用。设计人员必须能够实现 WNW 和 JAN-TE 等新的高性能信号，同时也要支持 SRW 等低性能信号，并且没有代价。当不需要电池时，Altera 获得专利的可编程功耗技术对不重要通路上的所有电路进行优化，从而降低了散热和制冷要求。在传感器或者机载单事件反转 (SEU) 敏感系统等对功耗非常敏感的大批量应用中，只有 Altera 能够提供无缝途径，实现逻辑效率最高的 HardCopy® 结构化 ASIC，同时提供 ITAR 保密生产工艺。

HardCopy 器件使用和 Stratix 系列 FPGA 相同的 Quartus® 工具包和设计流程，支持快速原型开发，能够迅速将功耗和成本降低 70%。

在小外形、轻型、电池供电 SDR 以及使用 SRW 和传统信号的专业无线电设备中，Altera® Cyclone III 器件经过优化，能够解决各种 SWaP 设计难题。

- *苛刻的体积和重量限制*：对于设备体积小于 10 立方英寸的最小型应用，新器件在单个芯片中有足够的资源来处理 SRW-CC(士兵无线电信号，战斗通信机模式)等高级信号。丰富的信号处理模块和充足的分布式存储器满足了外部大功率存储器元件对功耗的要求。还可以提供器件管芯，以便进行高级微封装。
- *功耗直接影响了任务执行时间*：Cyclone III 器件能够以小于 1 瓦的功率来实现全部的信号处理功能，任务执行时间是目前 PLD 方案的 4 倍。
- *数字信号处理对功耗预算的影响最大*：随着信号复杂度的提升，大部分功能都可以在 Cyclone III FPGA 中优化实现，从数字电子功耗预算中去掉 DSP 器件的功耗。
- *采用数字逻辑的折衷考虑*：Cyclone III 器件等低功耗 PLD 在每瓦每秒百万指令 (MIPS) 指标上已经超过了 DSP，可以实现效率更高、功耗更低的数字方案。
- *对静态和动态功耗的折衷考虑*：可以通过使用低静态功耗的 Cyclone III 器件来降低待机功耗，静态功耗低于其他 90nm 和 65nm FPGA 的十分之一。
- *折衷考虑电压和频率调整，以节省功耗*：通过将 Cyclone III 器件的功能区划分为多个 PLD 时钟域，可以调整频率来节省功耗。按照 Altera 的指导，仔细进行系统设计，采用电压调整 (Stratix III FPGA 提供 1.1V 和 0.9V 工作模式) 和器件关断方法来降低待机工作时的静态泄漏。
- *软件和硬件划分，以节省功耗*：效率最高的 SWaP 使用系统和器件效能工具来优化系统应用、工作模式、智能软件控制以及 GPP、PLD、DSP 和 ASIC 方案之间设计人员的功能划分等。为了进一步节省功耗，可以采用软件控制，在器件之间进行智能系统划分，关断待机时不重要的部分。利用 Altera 的低功耗 PLD 等其他系统优势，设计人员还可以使用效率更高的电源、更小的外形封装和更小、更轻、更便宜的电池。

图 4 所示为 Stratix 和 Cyclone 系列与其他 90nm 和 65nm PLD 系列的静态功耗对比。采用两家 PLD 公司的功耗估算工具以及 85°C 时典型和最差情况的器件进行对比，并归一化为 70K LE (请注意，公布的 25°C 静态功耗明显低)。从左面一列开始，Altera 器件不但有优异的性能，而且 90-nm Cyclone II 器件要比竞争对手静态功耗低 50%，在功耗上有优异的制造容差，99.9% 的器件都在 20% 以内。Cyclone III 器件 (第二列) 进一步提高了 50%，对于 SwaP 敏感产品应用，在所有 PLD 中具有最低的静态功耗 (图 5 显示了整个 Cyclone III 系列在 25°C 和 85°C 时的静态功耗)。Stratix II 器件 (第三列) 相对于功耗的性能最佳，性能一般比竞争对手高 25%，动态功耗低 35%。Altera 还提供工业和军用温度范围的 Stratix 系列器件，具有优异的功耗性能。最后，Stratix III 器件 (第四列) 单位功耗的功能最佳，提供可编程功耗技术等创新特性，电压调整为 0.09V 实现最低功耗，即使这样性能也要优于竞争器件。

图 4. Altera 的低功耗 PLD 和竞争器件的对比

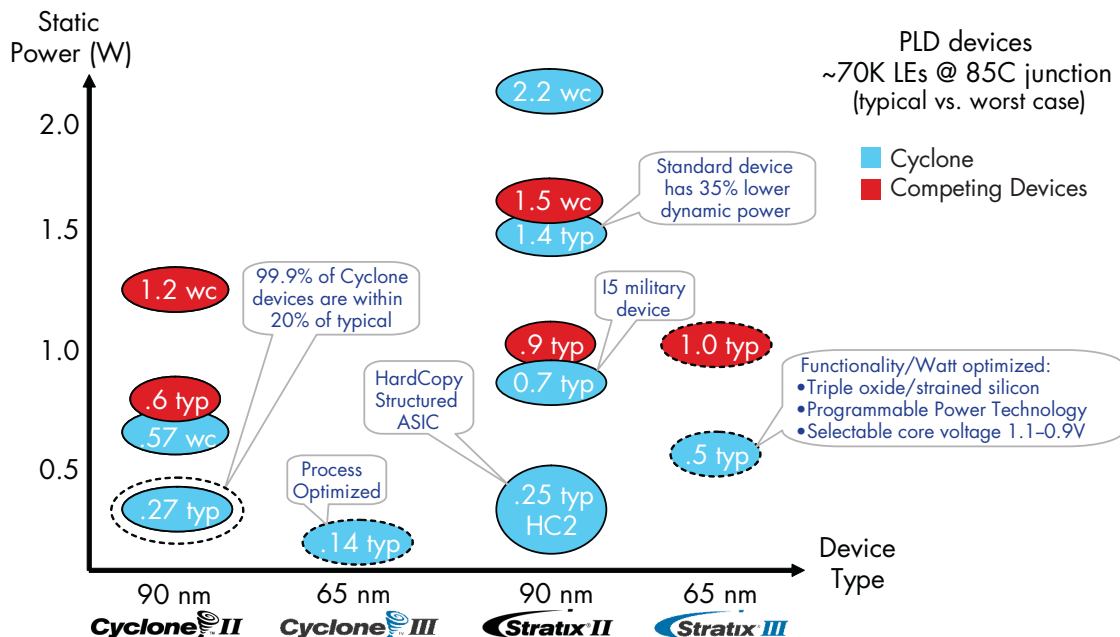
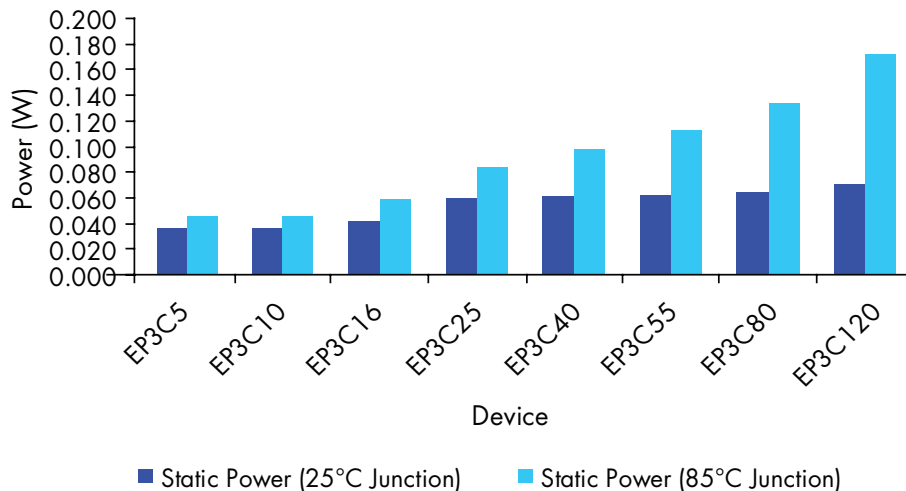


图 5. Cyclone III 静态功耗



### SDR 集成能力

除了功耗优势，为了进一步提高 SWaP 应用的其他优势，PLD 还必须具有优异的集成能力。图 6 和表 1 介绍了容量最大的 Cyclone EP3C120 器件在 OFDMA 和 MIMO 标准等高级信号功能 SDR 应用中的集成能力。所有比特级、符号级和 IF 级信号功能在黑色处理部分实现，速率达到 36-Mbps，静态功耗低于 200 mW，使用了 110K LE、500 个乘法器和 3.8 Mbits 内部存储器——这是任何其他低功耗 PLD 或者 DSP 处理器都无法实现的。

图 6. Cyclone III 的集成能力, 使用了 EP3C120

Radio Metrics: 36 Mbps, 4-channel MIMO, 2 carriers, 16 QAM, 112  $\mu$ s symbol rate  
 - 5.7-MHz Ch-BW, 420 11-KHz subcarrier channels (280 data, 140 pilot, 92 guard), 512 tap IFFT/FFT

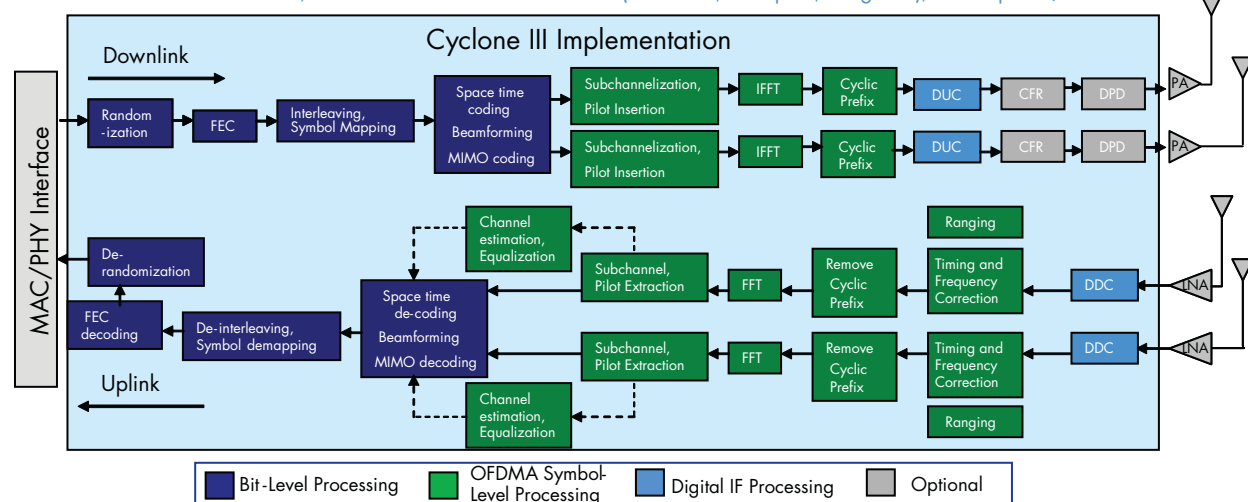


表 1. 资源总结

| 资源        | KLE        | 9x9 乘法器    | M512       | M4K        | MRAM     |
|-----------|------------|------------|------------|------------|----------|
| 接口        | 0          | 0          | 0          | 0          | 0        |
| Nios® 处理器 | 3.3        | 0          | 0          | 0          | 1        |
| 比特级处理     | 4.8        | 1          | 22         | 10         | 0        |
| 系统级处理     | 64         | 156        | 4          | 321        | 0        |
| 数字 IF 处理  | 17.8       | 320        | 118        | 134        | 0        |
| 控制和接口开销   | 18         | 0          | 0          | 0          | 0        |
| <b>总计</b> | <b>108</b> | <b>477</b> | <b>144</b> | <b>465</b> | <b>1</b> |

Cyclone III 器件可以提供最小的封装外形, 甚至为专业应用提供管芯。容量最大的 Cyclone III 器件 EP3C120 在 23 x 23 mm 封装中具有 120K LE 和 3.8-Mbits 嵌入式存储器, 比最相近的竞争器件封装小 57%, LE 多 20K, 而静态功耗只有其八分之一。对于 SwaP 敏感应用, 更重要的是减小电池体积, 进行电压稳压。由于 Cyclone III 器件对电源的适应能力强, 可以采用体积更小的圆柱形电池, 而不必采用笨重的标准军用块状电池 (图 7 所示), 这样, 体积减小了 95%, 电池重量轻了 78% (参见表 2)。

图 7. 电池体积减小



表 2. 军用电池的对比

| SWaP  | 老电池                    | 新电池                | 节省  |
|-------|------------------------|--------------------|-----|
| 外形    | 块状                     | 圆柱                 | -   |
| 大小、尺寸 | 12.5 cm x 11 cm x 6 cm | 3 cm x 9 cm        | -   |
| 大小、尺寸 | 825 cm <sup>3</sup>    | 42 cm <sup>3</sup> | 95% |
| 重量    | 1.0 Kg                 | 0.22 Kg            | 78% |

## SDR 设计流程和工具

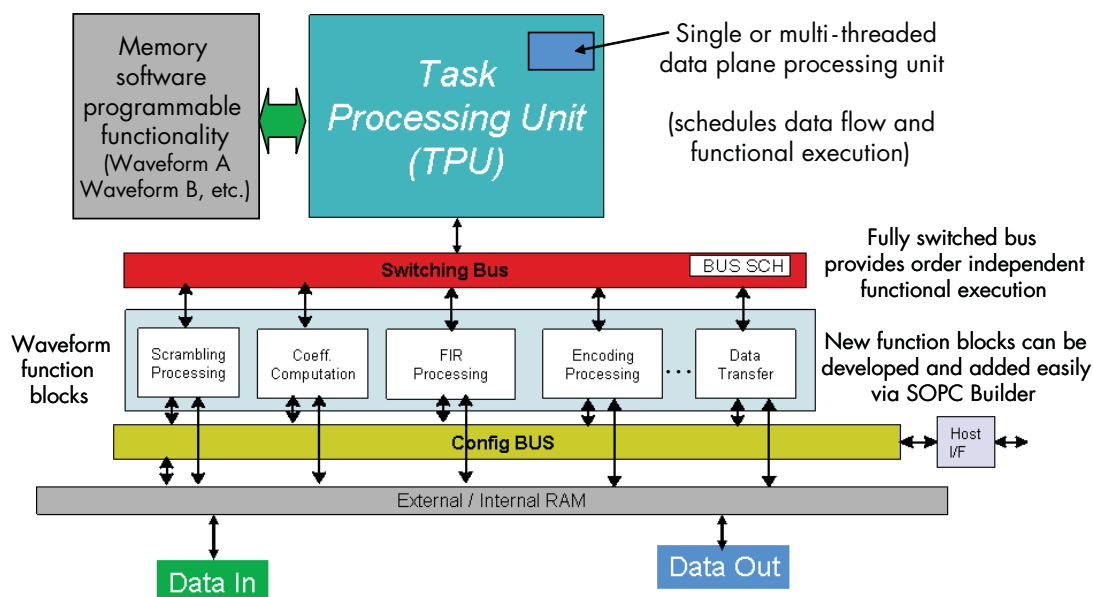
要保持在 SWaP 上的设计信心，设计人员应采用能够简化并加速系统设计流程的方法和工具，集成最新开发和能够重复使用的知识产权 (IP)，以及 FPGA 和第三方供应商的 IP。

### 软件编程重新配置

软件编程重新配置 (SPR) 是支持各种可编程器件（相对于一种器件系列）在 SDR 频谱范围内应用的设计方法。SPR 方法利用 Altera 的 SOPC Builder IP 集成工具和 Avalon<sup>®</sup> 流接口 (Quartus 工具包的组成部分)，简化了数据包、DSP、图像和雷达处理等多种应用领域的系统设计。

例如，在 SDR 系统中，重新配置非常重要。系统输入多种信号，进行交换，结合保密子系统，动态改变密钥和算法。SPR 方法（图 8）通过全交换架构将多种信号需要的功能构建模块 (IP 模块) 连接在一起。然后，将 Nios II 软核 CPU 或者其他嵌入式任务处理器放在最有效的地方，控制模块的功能和工作顺序（例如，改变模块内部和模块间的功能）。这样，通过软件加载来改变 PLD 功能，而不是重新装入部分硬件比特配置，后一种方法将设计人员局限在一种 PLD 系列上，对于 SWaP 敏感应用并不是最佳选择。

图 8. 软件编程重新配置



相对于部分重新配置 (PR)，软件规划人员更熟悉 SPR 方法，这种方法还简化了高级算法的端口操作和调试。使用 SPR 而不是 PR，一次就可以验证多种信号的硬件需求，而不用对每一信号进行多次验证。在架构中可以很容易加入最新开发的模块，在软件控制下进行工作，减少了多种分立信号的验证操作。

随着 SDR 需求的变化，SPR 方法采用 Altera 基于 FPGA 的 HardCopy 结构化 ASIC，降低了编程风险，简化了 IP 使用，实现了功耗和成本更低的解决方案。和功能等价的 Stratix FPGA 相比，HardCopy 器件切实减小了管芯（一般小 70%），从而大大降低了功耗和成本，进一步提高了性能。利用 SPR，HardCopy 器件和 DSP、FPGA 一样灵活，而且更经济，更节电。

### Altera 工具包

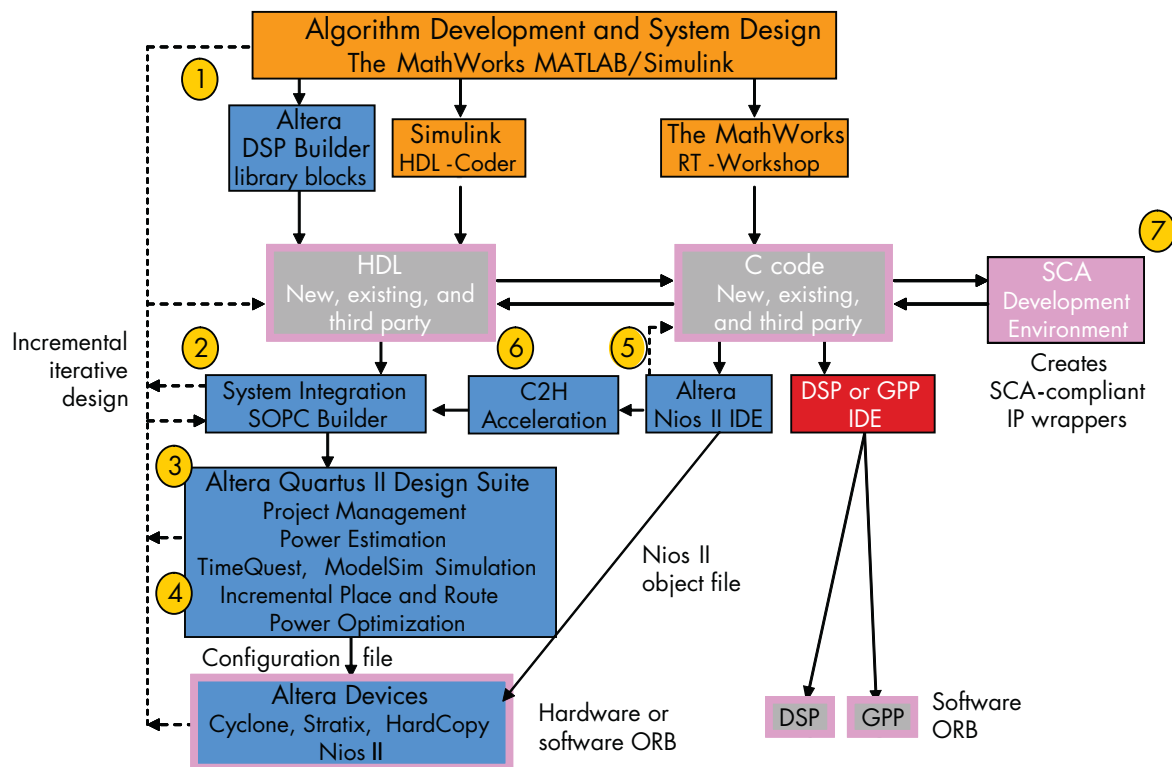
对于 SWaP 敏感 SDR 设计，Altera 的高级工具包提供多种特性以及高效能软件来帮助设计人员尽快将产品推向市场。从图 9 的第一层开始：

1. 利用 The MathWorks 或者 Synplicity 等第三方工具对高层系统进行建模和均衡评估，加速实现信号算法和 SDR 系统设计。这些供应商提供 CPU/DSP 的 C 代码综合以及 FPGA 实现的 HDL 等。例如，Altera 的 DSP Builder 提供大量的模块库，将 Simulink 设计映射到 Cyclone III 和 Stratix III 器件中。
2. SOPC Builder 软件工具自动进行 SDR 集成，利用 Altera 的 Avalon 流和存储器映射接口，重新使用新的以及现有的信号 IP。这些接口连接 Altera IP 模块，提供总线调整、中断控制以及模块间的仲裁等功能。通过 SOPC Builder 工具，很容易将用户 IP 映射到这一架构中，迅速实现定制芯片系统。
3. Quartus II 设计软件为信号实现提供最新的渐进式分层设计方法，编译时间缩短了 70%，在每一设计步骤中优化 IP 模块，简化了 SPR。其他的关键 SDR 设计特性还包括虚拟团队和工程管理功能，支持业界标准 SDH，以及 TimeQuest 时序分析器仿真功能和 HardCopy 结构化 ASIC 无缝设计流程等。
4. 在整个设计周期中，包括预设计估算、预布局和后布局仿真等，PowerPlay 工具包分析功能提供最精确的功耗估算，优化了 25%，为低功耗 SDR 设计提供系统功耗建议。



5. 利用嵌入式 PLD CPU 实现传统的低性能信号，以及 SCA 软件等。Altera 的 Nios II 集成开发环境 (IDE) 是非常全面的软件工具包，可以在 SDR 设计中实现多个 Nios 32 位 RISC 软核 CPU。IDE 兼容 Eclipse，含有 GNU C 编译器、链接器和调试器。
6. 为了逐步提高 SDR CPU 的性能，在设计人员的控制下，Nios II C 语言至硬件加速 (C2H) 编译器自动构建协处理模块，连接已有的嵌入式设计，加速应用软件的实现。设计人员分析 ANSI C 代码，在信号设计中加入硬件加速器后，自动综合分析性能和面积。只需要比 Nios CPU 多出 2 到 3 倍的逻辑，一般就能加速 30 倍以上。
7. 军用 SDR 领域采用了 SCA 来简化各种 SDR 平台的信号。Prismtech、OIS、Zeligsoft 和 Greenhills 等供应商为 GPP、DSP 和 FPGA 提供 SCA 组件。粉红色框表示 SCA 组件对组件设计流程的影响。

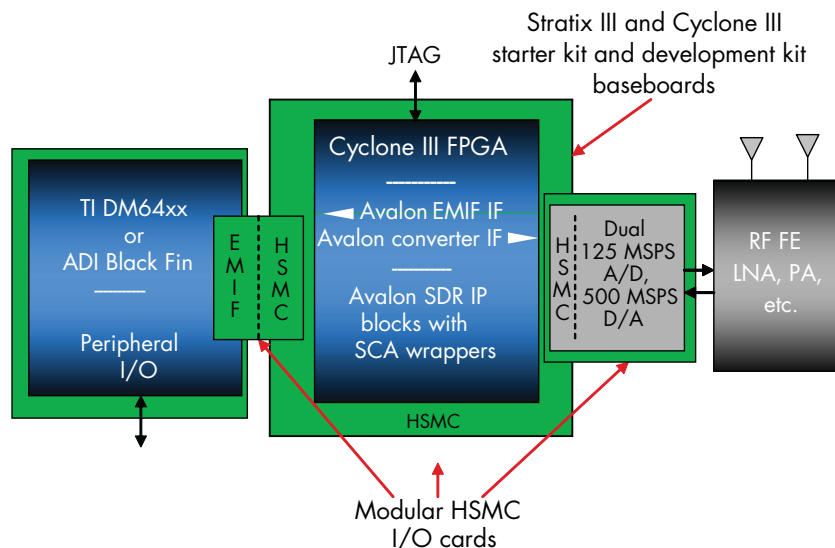
图 9. 符合 SCA 的 SDR SWaP 效能工具和设计流程



## 辅助系统

为尽快开始信号处理和 SDR 应用软件开发，设计人员可以针对 Altera 的 PLD 系列，采用模块化基本开发板。器件基本开发板为各种 SWaP 提供高速 I/O 接口，扩展了功能和 I/O 灵活性，可实现高级原型开发。Altera 为其 FPGA 系列同时提供低成本和高性能开发板，都具有高速中间连接器 (HSMC)。这些 HSMC 连接器采用 Altera 和第三方开发的模块化子卡，能够灵活地进行原型开发 (图 10)。

图 10. 面向 SDR 应用平台的 Altera 模块化开发套件



利用这些 I/O 模块，Altera 为 SDR 以及其他军用成像、DSP 和雷达应用提供了多种平台支持。结合内部和第三方资源，继续开发参考设计来演示这些应用的功能。Altera 进一步扩大了与系统集成商和 SCA 供应商的第三方合作关系，为 SDR 和其他军事领域提供中间件、工程和应用专业支持。例如，SDR 系统设计人员在 2007 年能够获得 SPR、信号连接和 SCA 兼容等方面的应用实例。Altera 还与经过认证的 COTS 系统公司进行合作，提供丰富的业界标准接口板，包括 PCI、AMC 和 VME 等。

## 优异的运营

Altera 听取客户反馈，不断提高工艺，提供最好的器件和工具，以加速军用方案的开发，降低其风险。客户顾问董事会为下一代芯片提供最直接的建议，最佳业务规划流程保证了器件和工具能够达到甚至超过产品进度要求，降低了军用计划的器件风险。而且，业界一流的生产合作伙伴和流程利用最新的产品芯片技术，避免了工艺技术中早期开发的编程风险。

只有 Altera 进一步发展了 COTS 芯片技术。除了 SWaP 方案，Altera 还非常重视军用和航空市场的专业需求，为实现军用器件安全加密功能提供增强型 COTS (eCOTS) 器件和服务，实现反篡改功能，为 MCM 集成提供裸管芯，提供 SEU 探测功能，以及可靠的铅封装等。此外，SDR 应用器件符合工业和军用温度工作要求，在极端环境条件下仍能正常工作。与专门的军用器件相比，国防应用使用 eCOTS 器件后，从根本上实现了价格和产品生命周期等优势。

## 结论

FPGA 以更低的成本，继续提供更丰富的功能，非常灵活。Altera 最新一代 FPGA 支持外形更小、重量更轻的电池，实现最新的 SDR 系统，是 SWaP 的最佳方案。您可以了解 Altera 最新的 65nm FPGA，充满信心地进行设计，高效实现 SWaP SDR 产品。

## 详细信息

Altera 的军事保密通信网页：

[www.altera.com/end-markets/military-aerospace/secure/mil-secure.html](http://www.altera.com/end-markets/military-aerospace/secure/mil-secure.html)

Altera 的软件无线电网页：

[www.altera.com/end-markets/wireless/software/sdr/wir-sdr.html](http://www.altera.com/end-markets/wireless/software/sdr/wir-sdr.html)

## 致谢

Charlie Jenkins, 军用和航空业务部资深技术营销经理, Altera 公司



101 Innovation Drive  
San Jose, CA 95134  
[www.altera.com](http://www.altera.com)

版权 © 2007 Altera 公司。保留所有版权。Altera, 可编程解决方案公司、程式化 Altera 标识、专用器件名称和其他所有其他专有商标或者服务标记, 除非特别声明, 均为 Altera 公司在美国和其他国家的商标和服务标记。所有其他产品或者服务名称的所有权属于其各自持有人。Altera 产品受美国和其他国家多种专利、未决应用、掩模著作权和版权的保护。Altera 保证当前规范下的半导体产品性能与 Altera 标准质保一致, 但是保留对产品和服务在没有事先通知时的变更权利。除非与 Altera 公司的书面条款完全一致, 否则 Altera 不承担由使用或者应用此处所述信息、产品或者服务导致的责任。Altera 建议客户在决定购买产品或者服务, 以及确信任何公开信息之前, 阅读 Altera 最新版的器件规范说明。