

什么是 SoC FPGA?

引言

处理器和 FPGA（现场可编程门阵列）是大部分嵌入式系统中最关键的内核。在一个器件中集成处理器的高级管理功能以及 FPGA（现场可编程门阵列）严格的实时运算、极强的数据处理以及接口功能，从而形成更加强大的嵌入式计算平台。

这一体系结构摘录旨在帮助系统设计人员、工程师和管理人员确定其应用是否适合选择 SoC FPGA。

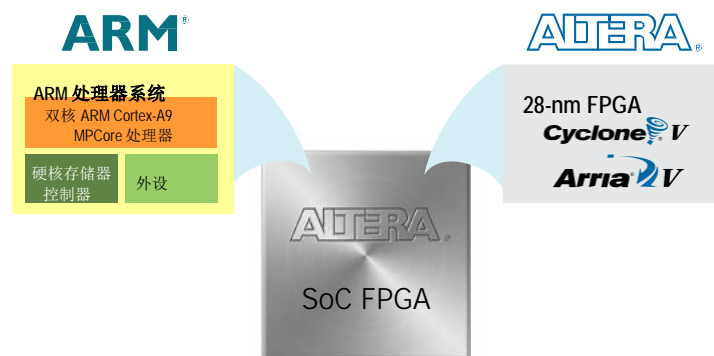
www.altera.com.cn/socarchitecture 上的在线视频系列“深入了解：SoC FPGA”重点介绍了本文中的关键内容。

SoC FPGA 器件在一个器件中同时集成了处理器和 FPGA 体系结构。因此，这具有更高的集成度、更低的功耗、更小的电路板面积，以及处理器和 FPGA 之间带宽更大的通信。它们还有丰富的外设、片内存储器、FPGA 类型的逻辑阵列，以及高速收发器。

目前可以提供的 SoC FPGA

目前，市场上有三种 SoC FPGA，如表 1 所示。这些器件的处理器是完全专用的“硬核”处理器子系统（而不是 FPGA 架构中实现的软核 IP）。

下面画出了 Altera SoC FPGA 模型。



ARM + Altera = SoC FPGA

所有这三种工业产品线都采用了全功能 ARM®处理器，具有分层的存储器结构，以及专用外设，启动、运行和工作都与“普通”的 ARM 处理器一样。

表 1: 商用 SoC FPGA 器件

	Altera SoC	Xilinx Zynq 7000 EPP	Microsemi SmartFusion2
处理器	ARM Cortex-A9	ARM Cortex-A9	ARM Cortex-M3
处理器类型	应用处理器	应用处理器	微控制器
单核或者双核	单核或者双核	两个	一个
处理器最大频率	1.05 GHz	1.0 GHz	166 MHz
L1 高速缓存	数据: 32 KB 指令: 32 KB	数据: 32 KB 指令: 32 KB	无数据高速缓存 指令: 8 KB
L2 高速缓存	统一: 512 KB 支持纠错码	统一: 512 KB	不支持
存储器管理单元(MMU)	是	是	是
浮点单元/NEON 多媒体引擎	是	是	不支持
加速一致性端口(ACP)	是	是	不支持
中断控制器	通用(GIC)	通用(GIC)	嵌套、量化化(NVIC)
片内处理器 RAM	64 KB, 支持 ECC	256 KB, 没有 ECC	64 KB, 没有 ECC
直接存储器访问控制器	8 通道 ARM DMA330 32 路外设请求 (FPGA + 硬核处理器系统)	8 通道 ARM DMA330 4 路外设请求(仅 FPGA)	1 通道 HPDMA 4 路请求
外部存储器控制器	是	是	是
支持的存储器类型	LPDDR2、DDR2、DDR3L、DDR3	LPDDR2、DDR2、DDR3L、DDR3	LPDDR、DDR2、DDR3
外部存储器 ECC	16 位, 32 位	16 位	8 位, 16 位, 32 位
外部存储器总线最大频率	400 MHz (Cyclone V SoC), 533 MHz (Arria V SoC)	667 MHz	333 MHz
处理器外设	1x Quad SPI 控制器 1x NAND 控制器 2x 10/100/1G 以太网控制器 2x USB 2.0 On the Go (OTG)控制器 1x SD/MMC/SDIO 控制器 2x UART 4x I ² C 控制器 2x CAN 控制器 2x SPI 主机, 2x SPI 从机控制器 4x 32 位通用定时器 2x 32 位看门狗定时器	1x Quad SPI 控制器 1x 静态存储器控制器(NAND, NOR, 或者 SSRAM) 2x 10/100/1G 以太网控制器 2x USB 2.0 OTG 控制器 2x SD/SDIO 控制器 2x UART 2x I ² C 控制器 2x CAN 控制器 2x SPI 控制器(主机或者从机) 2x 16 位三模式定时器/计数器 1x 24 位看门狗定时器	1x 10/100/1G 以太网控制器 2x USB 2.0 OTG 控制器 2x UART 2x I ² C 控制器 1x CAN 控制器 2x SPI 2x 通用定时器 1x 看门狗定时器 1x 实时时钟(RTC)
FPGA 架构	Cyclone V, Arria V	Artix-7, Kintex-7	Fusion2
FPGA 逻辑密度范围	25 K 至 462 K LE	28K 至 444 K LC	6 K 至 146 K LE
FPGA 中的硬核存储器控制器	最大 3 个, 支持 ECC	不支持	不支持
高速收发器	所有密度都支持	仅高密度器件支持	仅高密度器件支持
模拟混合信号(AMS)	不支持	2 x 12 位, 1 MSPS 模数转换器(ADC)	不支持
启动排序	处理器先启动, FPGA 先启动, 或者同时启动	处理器先启动	处理器先启动

评估今后的设计是否适合采用 SoC FPGA 时，请考虑以下三个问题：

1. 现有设计使用了 FPGA 和分立微处理器吗？

对于已经使用了 FPGA 和分立微处理器或者 DSP 的设计，完全应该考虑 SoC FPGA。其功能和性能与这些分立器件相当甚至是更好，但是减小了电路板面积，降低了功耗和系统成本——高达 50%以上(参加下面)。

独立处理器(或者 DSP)和 FPGA 集成到一片 SoC FPGA 中



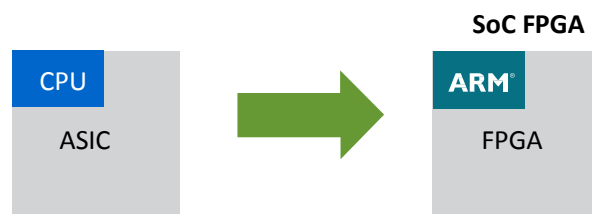
通过把这些技术集成到同一个硅片中，避免了塑料封装的成本问题，节省了电路板面积。如果 CPU 和 FPGA 都使用分立的外部存储器，那么，应该将这些合并到一个存储器件中，进一步降低系统成本和功耗，减小电路板面积。

处理器和 FPGA 之间的信号现在是在同一个硅片中，它们之间通信消耗的能耗要比使用分立芯片低很多。处理器和 FPGA 之间集成了数千路内部连接，与两芯片解决方案相比，有效的提高了带宽，降低了延时。

2. 目前一代产品使用含有微处理器的专用 ASIC 吗？

以前，缺少 ARM 处理器一直是阻碍使用 FPGA 技术全面投产的原因，但是，新一类 SoC FPGA 采用当今的 28nm 工艺技术，提供了全功能、全兼容的高性能双核 ARM Cortex-A9 处理器，运行速度高达 1GHz。

具有 CPU 的 ASIC 过渡到基于 ARM 的 SoC FPGA



SoC FPGA 发挥了传统 FPGA 相对于标准 ASIC 技术的优势，例如：

- 对于一片 SoC FPGA，或者数百万片器件，没有昂贵的 NRE 费用或者最小购买量要求，性价比更高；
- 产品更迅速面市。提供货架器件；
- 降低了风险。即使是发售之后，也可以随时对 SoC FPGA 重新编程；
- 能够适应变化的市场需求和标准，支持在现场更新和更新；
- 不需要对嵌入式处理器、高速收发器或者其他高级系统技术支付额外的许可或者版税。

3. 虽然使用了微处理器，应用能够受益于定制外设吗？

货架处理器过时的接口或者没有外设，与 SoC FPGA 的可定制外设和接口对比



如果只满足于大概能适合应用的货架处理器，那就可能没有以太网端口，或者中断线，例如，桌面上立即就能有的定制 ARM 微处理器衍生产品。设计在硬件和软件上都能够突出优势，那么竞争对手很难复制。

结论

本文介绍了 SoC FPGA 适用于很多当前的和下一代电子设计。这种新一类可编程逻辑器件发挥了 FPGA 体系结构的灵活性优势，能够跟上标准和最终用户需求的变化，结合处理器的管理功能，满足了预期的性能要求，没有 NRE，以及投资和风险代价。

需要了解详细信息？

请参考 SoC FPGA 产品手册，了解 Altera SoC FPGA 系列产品的详细信息。请访问 <http://www.altera.com.cn/literature/br/br-soc-fpga.pdf>。

Altera 香港总部

香港九龙观塘观塘道 388 号
创纪之城 1 期 1 座 9 楼 11-18 室
电话：(852) 2945 7000

Altera 上海代表处

上海市浦东新区碧波路 888 号
畅星大楼 301 室
邮编：201203
电话：(86-21) 6146 1700

Altera 北京代表处

北京市海淀区丹棱街 3 号
中国电子大厦 B 座 709-710 室
邮编：100080
电话：(86-10) 6260 8900

Altera 深圳代表处

深圳市南山区蛇口太子路 1
号新时代广场第 27 层 F-J 室
邮编：518067
电话：(86-755) 2680 6200

