

Altera SoC 软件开发工具流程

引言

集成了 FPGA 单元的 SoC 硅片增加了最终器件功能，但是对于处理器软件开发人员而言却增加了复杂度。处理器和 FPGA 开发分开的设计流程支持开发人员使用相应而且熟悉的开发工具，停留在现有的开发环境中。

本体系结构摘要介绍能够增强开发的软件开发工具流程。

www.altera.com.cn/socarchitecture 的在线视频“地球人都知道...”重点介绍了本体系结构摘要中的关键内容。

为能够给嵌入式软件开发人员和 FPGA 设计人员提供合适的 SoC FPGA 设计流程，应解决四个关键问题，软件调试，硬件/软件交付，启动顺序和 OS 支持。这样，软件开发人员能够使用与其他 SoC 相同的工具、基础设施和方法。对于由于 FPGA 集成而需要的任何功能，应尽可能将其分开。这样，在设计流程中，相互分开的处理器和 FPGA 开发团队能够继续开发，集成的 SoC-FPGA 组件就像是分开的器件。

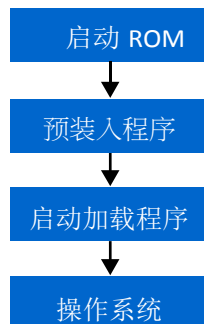
但是，处理器软件开发人员使用集成了处理器的 FPGA 是有好处的，特别是在驱动开发和调试工具方面。调试工具把 FPGA 设计当做硬核集成 ASIC 组件。这降低了 FPGA 的复杂度，不需要学习 FPGA 自适应调试以及调试和跟踪工具就能够进行开发和调试。(请参考这一系列的体系结构摘要——[FPGA 自适应调试](#)。)

通过把 Altera Qsys 和 Quartus II FPGA 设计工具定义硬件的生成文件导入到嵌入式软件设计流程中，维持了完全分开的设计环境，同时发挥了处理器和 FPGA 集成的优势。

硬件软件交付和预装入

图1 描述了处理器启动序列。

图 1：处理器启动序列

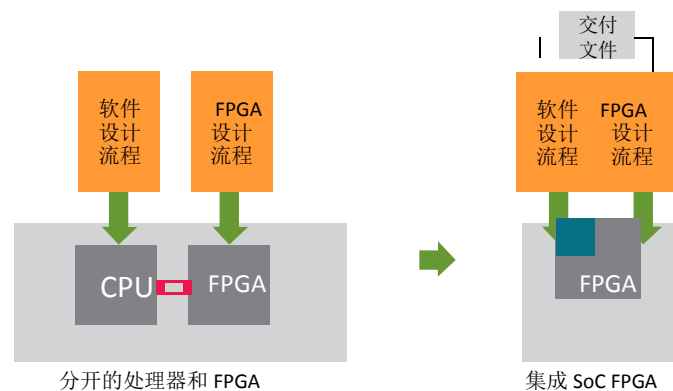


这种模块化特性支持了软件开发人员更加灵活的对处理器进行编程。启动 ROM 是固定的，装入启动选择引脚所定义位置的预装入程序。预装入程序是由 FPGA 设计工具自动生成的，是启动源最先运行的代码。其目的是初始化硅片的程序单元，这些硅片有与 FPGA 相关的引脚和 SDRAM 硬件配置，使硅片处于启动加载程序所知道的状态。配置所选择的启动加载程序，就像任何其他 SoC 启动加载程序那样运行。启动加载程序是硬核处理器系统(HPS)最后运行的镜像，使用裸金属或者非常薄的 RTOS 时就是这种情形，或者会装入并运行 Linux 等高级操作系统(HLOS)。预装入程序和启动加载程序分开后，支持自动生成并配置与 FPGA 相关的所有可配置单元，如果使用了标准启动加载程序(例如 uboot)，这不会带来非标准相关问题。

软件调试工具

调试工具也采用了分开的处理器和 FPGA 设计流程。[图2](#)对此进行了介绍。

图 2：处理器和 FPGA 设计流程的调试工具选择



右侧的 SoC 具有标准 ARM 处理器和子系统；提供完整的 ARM 辅助支持系统，以选择调试工具链。为处理器和 FPGA 域提供单独的 JTAG 插头，这样两个域之间就没有相关性。

FPGA 是可编程的，因此，从处理器的角度看，其硬件并不是静态的。为支持用户查看并修改用户在 FPGA 中建立的硬件寄存器，就像是固定的硬件，Altera 和 ARM 联合开发了 ARM® Development Studio 5 (DS-5™) Altera 版工具包，是第一款适用于 Altera SoC 的 FPGA 自适应统一调试器。FPGA 自适应调试是指调试器能够看到 FPGA 中用户建立的硬件寄存器，并导出到处理器调试视图中。

这消除了处理器子系统与片内 FPGA 之间的调试壁垒，支持可视化控制。这通过 FPGA 工具链建立的交付文件来实现。建立了 FPGA 新比特流之后，产生一个单独的.svd 文件，可以导入到 DS-5 调试器中，给出比特流硬件的寄存器视图。采用正确的.svd 文件，处理器软件开发人员能够建立并调试驱动程序以及 FPGA 镜像的其他底层软件，就像是静态硬件一样。

Linux

Linux 的开发与任何其他 SoC 的方式一样。克隆 git 树 (<http://rocketboards.org/gitweb>)以及内核构建。可以独立构建内核，也可以作为大规模构建系统(例如，Yocto)或者分配(例如，Angstrom 分配)的一部分来构建。不要求 FPGA 设计工具有相关性。

Linux 内核，特别是嵌入式系统，发挥器件树特性的优势，很容易管理集成外设。为能够将 FPGA 镜像无缝集成到内核器件树中，建立了比特流之后，Quartus II FPGA 设计工具导出一个可编程芯片系统(SOPC)信息(.sopcinfo)文件。器件树发生器可以使用这一文件来建立 Linux 内核使用的器件树。

合作伙伴操作系统

很多操作系统都可以导入到各种 Altera SoC FPGA 器件中，这些操作系统每个都有专门的电路板支持包(BSP)。这些 OS 启动和工作都与在任何其他 SoC 上一样。如果 OS 支持器件树(例如，VxWorks)，那么，器件树发生器可以使用建立比特流时产生的 SOPC 信息文件，为 FPGA 镜像建立器件树。如果没有使用器件树，那么，某一 OS 无论使用哪种驱动基础结构，都必须手动集成某种 OS 驱动。

结论

处理器和 FPGA 工具流程相互分开为软件开发人员和 FPGA 设计人员提供了熟悉的开发环境。支持他们使用自己喜欢的 SoC FPGA 设计流程。Altera 增强了来自 ARM 的 DS-5 调试器，支持用户查看 FPGA 寄存器，并导出至处理器调试视图中，软件开发人员不需要学习 FPGA 工具，提高了他们的灵活性。为 Linux 和其他合作伙伴 OS 提供多种 OS 支持，不依赖 FPGA 工具就能够管理 SoC FPGA 中的集成功能。

希望试用吗?

请下载 SoC 嵌入式设计套装(EDS)，包括了 ARM DS-5 Altera 版工具包，可以免费试用 30 天，下载地址是

<http://dl.altera.com/soceds/?edition=subscription>

参考文献

http://www.altera.com.cn/literature/ug/ug_soc_eds.pdf

http://www.altera.com.cn/literature/hb/cyclone-v/cv_5400A.pdf

<http://rocketboards.org/gitweb/>

<http://www.rocketboards.org/foswiki/News/Angstrom>

m1

ARM® Development Studio 5 Altera 版工具包

赢得设计视觉奖



设计验证工具类 DesignCon
2014

Altera 香港总部

香港九龙观塘观塘道 388 号
创纪之城 1 期 1 座 9 楼 11-18 室
电话：(852) 2945 7000

Altera 上海代表处

上海市浦东新区碧波路 888 号
畅星大楼 301 室
邮编：201203
电话：(86-21) 6146 1700

Altera 北京代表处

北京市海淀区丹棱街 3 号
中国电子大厦 B 座 709-710 室
邮编：100080
电话：(86-10) 6260 8900

Altera 深圳代表处

深圳市南山区蛇口太子路 1
号新时代广场第 27 层 F-J 室
邮编：518067
电话：(86-755) 2680 6200

