

Altera SoC FPGA 自适应调试

引言

通过在一个芯片中集成处理器、外设和 FPGA，SoC FPGA 支持实现速度更快、成本更低、能效更高的产品。然而，这种硬件上的创新必须有软件开发和调试工具支持才能真正变为现实。

UBM 和 EETIMES 在其 2014 嵌入式市场研究中，发现“**满足进度要求**仍然是开发**调试过程**所面临的主要难题。”实际上，调试过程是最长的开发阶段之一。任何能够加速调试以满足进度要求的工具都有很高的价值。调试过程中的一个最难的阶段是优化性能和功耗，在这一阶段不能把设计弄的四分五裂。

本体系结构摘录介绍 Altera SoC 嵌入式设计套装(EDS)工具集，这包括 ARM® Development Studio 5 (DS-5™) Altera 版工具包，可以用于帮助设计人员充满信心的快速调试 Altera SoC FPGA。

核心是 FPGA 自适应调试功能。

来自 ARMflix 的两段视频重点介绍了这一体系结构摘录的关键内容：

- “使用 ARM DS-5 在 Altera SoC 上进行 FPGA 自适应调试”
(<http://www.youtube.com/watch?v=2NBcUv2TxbI>)
- “Altera 版 DS-5：FPGA 自适应 Linux 内核调试和跟踪”
(<http://www.youtube.com/watch?v=lrR-SfVZd18>)

开发工具面临的挑战

FPGA 的可编程能力意味着工程师可以在项目开发过程中对硬件进行重新编程；甚至在运行时也能对硬件重新配置。这实际上在软件方面有两层重要的含义：

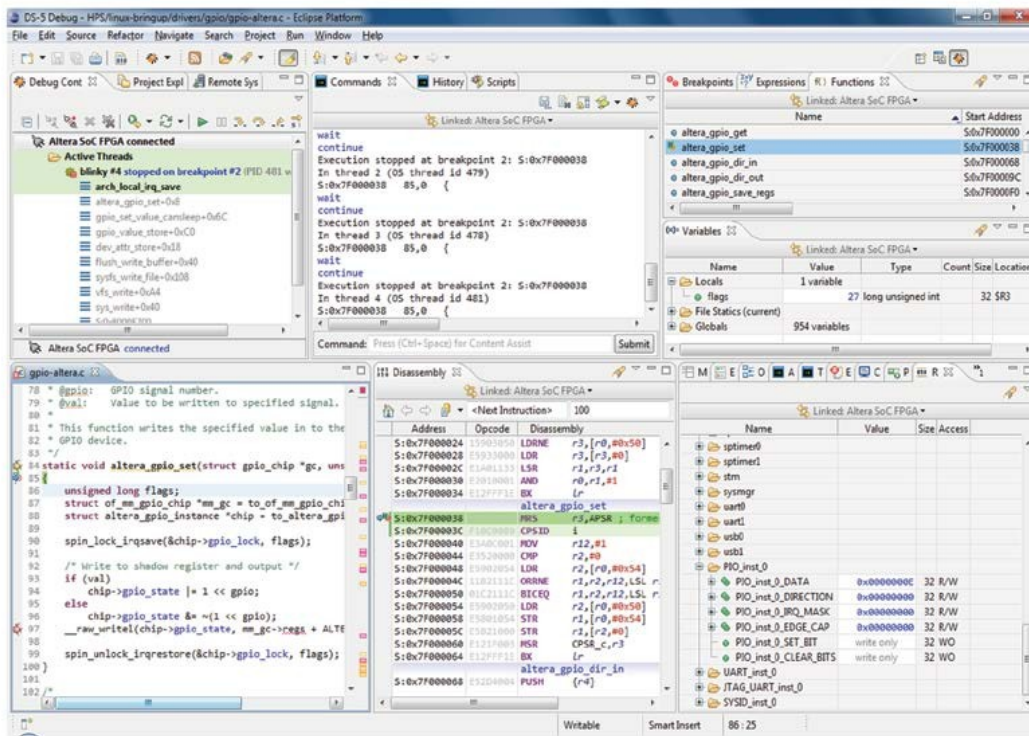
1. 协同开发并调试 CPU 软件和 FPGA 程序；传统 SoC 中，在固定硬件顶层进行嵌入式软件开发。
2. 由于 FPGA 硬件定义是用户定义的，软件开发工具以及随 SoC FPGA 一起发售的电路板支持包(BSP)能够支持所有标准外设，但是，并没有与存储器映射信息一同预装入，也没有与硬件团队要建立的基于 FPGA 的外设调试工具一同预装入。

Altera 版 ARM DS-5 工具包

为支持 Altera SoC FPGA 特有的优势和特性，并且不需要使用新的供应商专用工具，Altera 与业界领头羊 ARM 合作开发特殊版本的业界标准 ARM DS-5™工具包，为 Altera SoC FPGA 提供支持。ARM DS-5 Altera 版工具包使用熟悉的业界标准 ARM DS-5 接口，提供了 FPGA 自适应调试和其他关键的多核特性(图1)。

这一工具包还支持在硬件和软件调试中只使用一条 Altera USB-Blaster™ II 电缆。

图 1：很多 ARM 开发人员已经非常熟悉 ARM DS-5™ Altera 版工具包接口



ARM 兼容已有；FPGA 突出优势

目前市场上的所有 SoC FPGA 都采用了 ARM 处理器 IP，通常包括了来自 ARM 处理器软件开发工具广泛的辅助支持系统的支持。首先也是最重要的，这些新器件的工具应兼容 ARM，利用了 ARM 辅助支持系统，这一点非常关键。但是，每一家供应商针对器件增加的 FPGA 部分有不同的处理方法。这些对以下方面的影响较大：

全芯片调试

采用 SoC FPGA，SoC 不再是预定义的，调试工具必须支持很多新结构，即：

- 能够适应在 FPGA 中实现的用户定义外设的变化
- 在 FPGA 中实现的含有硬件加速模块的测试软件功能
- FPGA 中实现专用算法的调试定制逻辑模块

传统的软件调试工具并不是设计用于定制开发功能，传统的 FPGA 工具与软件工具也没有什么关系。为衔接这种调试断层，必须有一套工具提供：

- 处理器和 FPGA 子系统的全芯片可视化
- CPU 和 FPGA 子系统之间的交叉触发和在系统跟踪
- 软件、CPU 硬件和 FPGA 硬件事件的全系统监视
- 性能分析

理想情况下，调试工具应该和 FPGA 一样灵活。这称之为‘FPGA 自适应调试’，Altera SoC FPGA 开发流程已经使之成为现实。

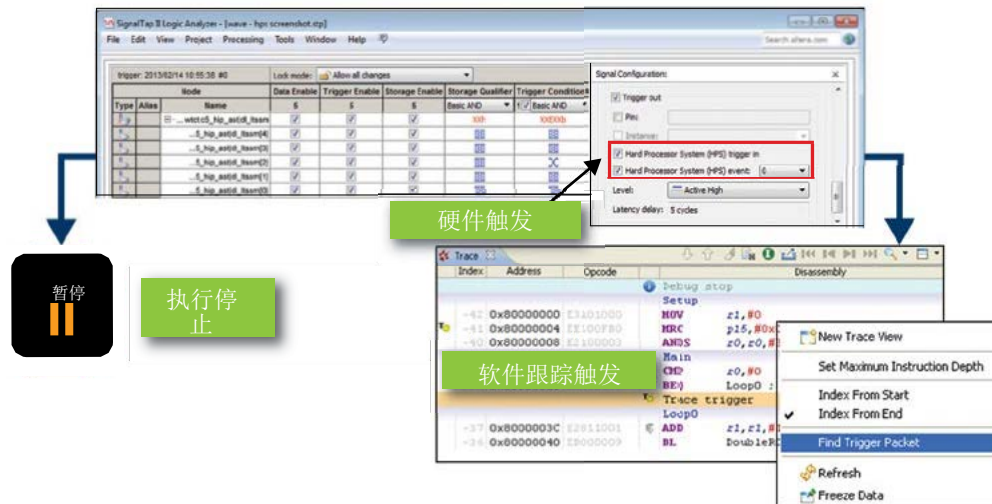
FPGA 自适应调试意味着，软件调试工具自动适应由于 FPGA 逻辑变化导致的硬件变化。硬件工程师通过各种 FPGA 配置进行迭代时，软件调试视图自动更新，所有基于 FPGA 的外设自动出现在寄存器视图中。

CoreSight 兼容交叉触发

如果处理器子系统和 FPGA 子系统能够从代码到波形或者从波形到代码交叉触发，那么就很容易找到缺陷原因，开发团队能够找到并跟踪系统中某一状态是怎样出现的，为什么出现。图 2 显示了来自 ARM Development Studio-5 (DS-5™) Altera 版工具包软件的一个交叉触发实例。与 Altera SignalTap™ II 逻辑分析器的波形视图相结合，对于 IP 验证、定制驱动开发以及项目中系统集成部分，交叉触发、跟踪和全局时间戳是非常重要的特性。

虽然为 ARM 处理器和 FPGA 架构提供了各种调试工具以及相关的电缆，但是很难在系统级管理两种不同的调试工作框架。相关事件也几乎不可能。大部分开发人员倾向于使用一条(低成本) JTAG 电缆，支持所有目标硬件(FPGA 和 CPU 子系统)。使用一条电缆以及大家都理解的软件界面，提供了高效而且使用方便的手段来帮助驱动开发人员、电路板工程师和 FPGA 设计人员一起工作，开发整个系统。

图 2：从硬件到软件的交叉触发



除了找到故障位置之外，还应该知道系统为什么会进入这种故障状态，是怎样进入的，这也非常重要。Altera SoC FPGA 含有的 ARM CoreSight™ 系统跟踪模组 (STM) 支持对基于 CPU 的软件事件的跟踪，以及‘低功耗模式’或者‘高性能模式’等用户定义系统级状态的跟踪。当系统执行时，应用软件可以发出硬件和软件事件“探测”信号，以监视系统行为。在 FPGA 自适应调试环境中，STM 支持 CPU 和 FPGA 域的事件监视，不要求系统停止工作，也不会影响执行性能。

多核调试

随着嵌入式向多核的发展，开发工具也应该随之改变。为多核平台开发软件要比单核复杂得多。选择对哪一内核设置断点；确定某时刻软件在哪一内核上运行，这对于多核调试非常关键。

应能够同时控制并监视内核，也能够分别控制并监视内核。在某些情况下，可能需要在断点上停止所有内核；但是在其他情况下，最好是让一个内核运行在一个断点上。而且，更好的是能够查看每一内核上运行的软件。调试器和分析工具是从根本上针对多核系统而开发的，因此，应使用这样的工具。

GNU 工具设计满足单核需求；GNU 调试器 (GDB) 工作起来非常好，但是一次只能处理一个内核。在多核系统中使用基于 GDB 的调试器时，可以在多个内核上设置断点。在调试过程中，当软件到达一个断点时，只能查看出现断点的内核，这对于多核调试是很大的限制。

表 1 : SoC FPGA 器件的在系统调试和开发工具特性

| 功能/特性 | Altera SoC EDS (有 ARM DS-5 Altera 版) | 供应商 B 的调试工具 |
|-----------------------------------|---|----------------------|
| 版本对比 | 13.1 | 2013.3 |
| FPGA 自适应调试 | 是 | 无 |
| 所有 ARM 处理器和 FPGA 工具采用一条 USB 电缆来工作 | 是 | 无 |
| 外设寄存器自动显示 | 是 | 无 |
| VFP 和 Neon 寄存器显示 | 是 | 无 |
| 调试: 单步、观察点, 等等 | 是 | 是 |
| CPU↔FPGA CoreSight 兼容交叉触发 | 是 | 无 供应商专有 |
| CPU↔FPGA 交叉触发, 提供时间戳和跟踪数据流。 | 是 ARM CoreSight™兼容, 使用了系统跟踪宏单元(STM) | 无 需要购买其他的第三方硬件和软件 |
| 处理器跟踪支持 | 是 | 无 需要其他的第三方硬件和软件 |
| 跟踪缓冲 | 32 KB | 4 KB |
| 其他目的地路由跟踪数据包(例如, DRAM 或者高速收发器) | 是 Coresight 嵌入式跟踪路由 | 无 |
| 至外部跟踪探针的路由跟踪数据包 | 是 | 是 |
| ARM 跟踪流中含有 FPGA 信息 | 是 使用 ARM CoreSight 系统跟踪宏单元 | 是 供应商专有解决方案 |
| 为硬件辅助跟踪提供固有 Linux 支持 | 是 内核和应用 | 无 |
| 同时多内核调试 | 是 ARM DS-5 专门为多内核系统设计 | 无 |
| 不对称多处理(AMP)应用的多核调试 | 是 | 是 |
| 对称多处理(AMP)操作系统的多核调试 | 是 | 无 |
| Linux 内核支持 | 是 | 无 |
| 代码分析 | 是 ARM Streamline 包括处理器、FPGA 以及功率分析功能。 不需要仪表 | 无 |
| 半主机支持(主机和 ARM 处理器之间通过 JTAG 进行通信) | 是 | 无 |
| FPGA 逻辑分析器 | SignalTap II 逻辑分析器 | 是 |
| 裸金属应用开发 | 可修改硬件库, 提供友好开放的 BSD 许可。 | 供应商专有 BSP 工程开发 |
| 硬件 VFP 和 NEON 编译器支持 | 是(Linux) 14.0 版支持裸金属编译器 | 是(Linux/裸金属) |

结论

为硬件和软件团队提供他们所需要的工具, 项目能够按计划, 符合预算要求完成, 那么, 合适的在系统调试工具非常关键。本体系结构摘录介绍了基于 ARM DS-5 Altera 版工具包的 Altera 解决方案能够同时深入观察并控制 SoC FPGA 的 ARM 处理器和 FPGA 逻辑, 支持项目团队实现这些新器件先进的特性, 同时保证项目按期完成。

希望深入了解吗?

关于 ARM DS-5™ Altera 版工具包的详细信息, 请访问网站:

<http://www.altera.com.cn/devices/processor/arm/cortex-a9/software/proc-arm-development-suite-5.html>

Altera 香港总部

香港九龙观塘观塘道 388 号
创纪之城 1 期 1 座 9 楼 11-18 室
电话：(852) 2945 7000

Altera 上海代表处

上海市浦东新区碧波路 888 号
物星大楼 301 室
邮编：201203
电话：(86-21) 6146 1700

Altera 北京代表处

北京市海淀区丹棱街 3 号
中国电子大厦 B 座 709-710 室
邮编：100080
电话：(86-10) 6260 8900

Altera 深圳代表处

深圳市南山区蛇口太子路 1
号新时代广场第 27 层 F-J 室
邮编：518067
电话：(86-755) 2680 6200



版权 © 2014 Altera 公司。保留所有权利。Altera、程式化 Altera 标识、专用器件名称和所有其他被认为是专有商标或者服务标记的字词和标识，除非特别声明，均为 Altera 公司在美国和其他国家的商标和服务标记。所有其他产品或者服务名称的所有权属于其各自持有人。Altera 产品受到美国国外专利以及待批复应用、模板工作权和版权的保护。Altera 保证当前规范下的半导体产品性能与 Altera 标准质保一致，但是保留对产品和服务在没有事先通知时的升级变更权利。除非与 Altera 公司的书面条款完全一致，否则 Altera 不承担由此处所述信息、产品或者服务导致的责任。Altera 建议客户在决定购买产品或者服务，以及确信任何公开信息之前，阅读 Altera 最新版的器件规范说明。2014 年 7 月

AB20-01226